

SISTEMA AUTOMÁTICO DE LEITURA DE AMOSTRAS EM MICROSCÓPIOS ÓPTICOS

Afonso Henriques Souza da Costa e Silva

7.2.5	Geração da Temporização de Aquisição da Imagem	89
7.2.6	Circuito de Ajuste do Contraste	92
7.2.7	Endereçamento do hardware do digitalizador de vídeo.	92
7.3	O software do sistema de digitalização de imagens.	94
7.3.1	Alocação dinâmica	95
7.3.2	Aquisição da imagem	96
7.4	Conclusões.	96
8	Aplicações do sistema de digitalização de imagens	99
8.1	Operação do Sistema <i>VIDEOEYES</i>100
8.1.1	Introdução ao sistema <i>VIDEOEYES</i>100
8.1.2	Ajuste de Brilho e Contraste.100
8.1.3	Capturar Imagem104
8.1.4	Visualizar Imagem104
8.1.5	Mudar Modo Gráfico.105
8.1.6	Acesso a Disco.105
8.1.7	Realçar Imagem106
8.1.8	Imprimir Imagem107
8.1.9	Saindo do Programa para o DOS.107
8.2	Processamento Digital da Imagem107
8.2.1	Operações de Ajuste do Brilho.107
8.2.2	Operações de Ajuste de Contraste.108
8.2.3	Operações de Convolução.	HO
8.2.4	Filtro da Mediana113
8.2.5	Equalização do Histograma113
8.2.6	Meios Tons.114
9	Conclusões	117
9.1	Sugestões para trabalhos futuros.118

O pino 2 é o meio pelo qual o PC transmite dados ou comandos ao microcontrolador 8051, enquanto que o pino 3 é o meio de recepção dos dados vindos do microcontrolador.

O protocolo utilizado para a comunicação foi muito simples, podendo ser considerado em dois casos:

1. Transmissão PC => 8051; e
2. Transmissão 8051 => PC.

6.4.1 Transmissão PC => 8051

A transmissão do PC para o microcontrolador 8051 acontece na Versão 2, para enviar os parâmetros **AA'** e **AY** na opção **Inicialização Automática**, e na Versão 3, na opção **Operação Automática**, onde o PC substitui o controle remoto e comanda o sistema via interface serial.

O protocolo utilizado quando o PC quer transmitir um byte (que pode ser dado ou comando) para o PC é o seguinte:

1. o PC ativa o sinal *RTS* (ativo em nível lógico 0), indicando ao microcontrolador que deseja enviar um byte;
2. o 8051 responde com um sinal *CTS* (também ativo em nível lógico 0), liberando a transmissão;
3. o PC transmite o byte via linha *TxD* (*RxD* do microcontrolador 8051);
4. o 8051, ao receber o byte, desativa o sinal *CTS* inibindo outras transmissões;
5. o PC inibe o sinal *RTS*, encerrando a transmissão.

Caso o PC deseje transmitir outro byte, o processo acima se repete, até que não haja mais bytes a serem transmitidos ao sistema.

6.4.2 Transmissão 8051 => PC

A transmissão do microcontrolador 8051 para o PC foi implementada na Versão 2 para enviar ao PC o resultado da leitura da lâmina contendo a amostra (número de filarias em cada esfregaço e total de filarias na amostra) e os parâmetros **AA'** (largura do campo) e **AY** (altura do campo). Na versão 3, o sistema fornece ao PC o estado completo do sistema (número do esfregaço, campo e posição da mesa X-Y, número de filarias em cada esfregaço, tipo de movimentação) cada vez que o PC envia um comando ao 8051.

O protocolo utilizado quando o 8051 quer transmitir um dado ao PC é o seguinte:

1. o 8051 ativa o sinal *DSR* (ativo em nível lógico 0), indicando ao PC que deseja enviar um dado;

2. o PC responde com um sinal *DTR* (também ativo em nível lógico 0), liberando a transmissão;
3. o 8051 transmite o byte via linha *TxD* (*RxD* do PC);
4. o PC, ao receber o byte, desativa o sinal *DTR* inibindo outras transmissões;
5. o 8051 inibe o sinal *DSR*, encerrando a transmissão.

O processo se repete até que não haja mais dados a serem transmitidos pelo microcontrolador para o PC.

6.4.3 Taxa de Transmissão

A taxa de transmissão escolhida para a comunicação serial entre o microcontrolador 8051 e o PC foi de 1200 Bauds.

Esta taxa foi gerada no PC através da programação de sua interface serial para trabalhar a 1200 Bauds no modo assíncrono, com um bit de partida, oito bits de dados e um bit de parada, sem bit de paridade.

No microcontrolador 8051, a taxa de 1200 Bauds foi obtida através da programação do canal de comunicação serial no modo 1, com 1 bit de partida, oito bits de dados e um bit de parada. A taxa de transmissão foi obtida com o bit SMOD do registrador PCON ativado em nível lógico 1, e pela programação do temporizador T1 no modo 2 (temporizador de 8 bits com recarga automática).

6.4.4 Comunicação 8051 ↔ PC na Versão 3

Na Versão 3 do sistema, a comunicação entre o PC e o microcontrolador 8051 é feita na opção **Operação Automática**.

Esta opção foi implementada no sentido de automatizar o sistema, permitindo sua operação através de comandos enviados por microcomputador do tipo IBM-PC.

A filosofia utilizada foi a de substituir a ação do operador no teclado dedicado por comandos enviados pelo PC via canal de comunicação serial, de modo que o microcontrolador agisse como se estivesse respondendo a uma tecla pressionada no controle remoto.

Para implementar o comando do sistema pelo PC, foi necessário estabelecer uma relação de códigos, cada um simulando um determinado comando ou uma tecla. O microcontrolador, ao receber um byte do PC, compara este byte com uma relação pré-estabelecida, e então toma a ação correspondente. A relação de códigos utilizados foi a seguinte:

1. Códigos dos comandos de operação do sistema:

00: Comando para finalizar a operação automática.

- 01: Inicialização Automática.** Ao receber este comando, o microcontrolador 8051 espera a transmissão dos parâmetros AA' e AV pelo PC.
- 02: Inicialização Assistida.** Ao receber este comando, o 8051 ativa a rotina de inicialização do esfregão, onde são definidos o Campo (1,1), os parâmetros AA' e AY e o Campo (Nx,Ny). A movimentação da mesa X-Y e o ajuste do foco são feitos através dos códigos das teclas correspondentes enviados pelo PC.
- 03: Movimentação Contínua.** Ao receber este comando, o microcontrolador 8051 ativa o modo de movimentação contínua.
- 04: Movimentação por Campos.** Ao receber este comando, o microcontrolador faz o ajuste da posição da mesa X-Y e ativa o modo de movimentação por campos.
- 05: Definição do Esfregão.** Ao receber este comando, o 8051 chama a subrotina de definição do número do esfregão. na qual o PC, através do envio dos códigos das teclas [*""]' ajusta o número do esfregão a ser lido.
- 06: Reinicialização do Esfregão.** Ao receber este comando, o microcontrolador 8051 move a mesa X-Y para o Campo (1,1), zerando o número de filarias do esfregão.
- 07: Total de Filarias.** Ao receber este comando, o 8051 mostra no display auxiliar o total de filarias da amostra.
- 08: Transmissão para o PC.** Ao receber este comando, o 8051 transmite para o PC o número de filarias contados em cada esfregão, o total de filarias da amostra e os parâmetros AA' e AY.
- 09: Varredura do Esfregão.** Ao receber este comando, o microcontrolador 8051 ativa a opção de varredura do esfregão. A movimentação da mesa X-Y, o ajuste do foco da imagem e a contagem das microfíliarias é feita pelo PC através da transmissão ordenada dos códigos das teclas correspondentes à ação desejada.

Códigos das teclas:

- 10:** Código da tecla [F]). O recebimento deste código pelo microcontrolador durante operações de movimentação da mesa X-Y é interpretado como se a tecla [F f] de acionamento do motor de ajuste do foco tivesse sido pressionada.
- 11:** Código da tecla [F []]. O recebimento deste código pelo microcontrolador durante operações de movimentação da mesa X-Y é interpretado como se a tecla [F []] de acionamento do motor de ajuste do foco tivesse sido pressionada.
- 12:** Código da tecla []]. O recebimento deste código pelo microcontrolador é interpretado como se a tecla [j] tivesse sido pressionada.
- 13:** Código da tecla [[]]. O recebimento deste código pelo microcontrolador é interpretado como se a tecla J tivesse sido pressionada.
- 14:** Código da tecla [—•]. O recebimento deste código pelo microcontrolador é interpretado como se a tecla [—•] tivesse sido pressionada.
- 15:** Código da tecla [—]. O recebimento deste código pelo microcontrolador é interpretado como se a tecla [←] tivesse sido pressionada.

- 16:** Código da tecla [F]. O recebimento deste código pelo microcontrolador é interpretado como se a tecla [F] tivesse sido pressionada.
- 17:** Código da tecla [E]. O recebimento deste código pelo microcontrolador é interpretado como se a tecla [E] tivesse sido pressionada.

Após executar um comando enviado pelo PC, o sistema transmite seu estado de parâmetros e variáveis de volta para o PC, com o objetivo de manter o PC sempre informado deste estado. Os parâmetros transmitidos são:

- (a) $A'_{x,y,z}$, $Yatuah$, $A'_{x,x}$ e $A'_{y,y}$, informando a posição da lâmina contendo a amostra.
- (b) Nx , Ny , AX,AY e o número do esfregão em inspeção.
- (c) O número de filarias contados em cada esfregão.
- (d) O número total de filarias da amostra.
- (e) O tipo de movimentação (contínua/campos) selecionado.

Um programa em linguagem Pascal foi implementado no PC com o objetivo de demonstrar a automação do sistema. Este programa consistiu de uma simulação do PC como sendo o controle remoto do sistema, com seu teclado servindo como teclado dedicado e seu monitor como display auxiliar. Este programa mostrou que a automação do sistema pela comunicação serial com o PC foi realizada de maneira bastante satisfatória.

Capítulo 7

Sistema de Aquisição e Digitalização de Imagens

A aquisição e digitalização de imagens de amostras sanguíneas constitui um passo fundamental e indispensável ao reconhecimento e contagem automática das microfilárias.

No intuito do desenvolvimento de um digitalizador de vídeo com este propósito, um sistema de aquisição, digitalização e processamento digital de imagens para microcomputadores do tipo IBM-PC foi obtido. Este sistema, por suas características, entre elas:

- (a) ser de baixo custo e, portanto, de fácil aquisição;
- (b) poder ser operado a partir de uma configuração para computadores pessoais do tipo IBM-PC a mais simples possível;
- (c) possuir uma resolução espacial e de níveis de cinza compatível com resoluções fornecidas por sistemas comerciais;
- (d) produzir imagens que possam ser operadas por softwares de processamento de imagem mais avançados;

resultou em um sistema de propósitos completamente gerais e não apenas restritos à digitalização de imagens de amostras sanguíneas.

Um software de processamento digital de imagens foi desenvolvido como um programa de demonstração e testes do digitalizador de imagens. Este programa, a ser detalhado no próximo capítulo, inclui, em termos de processamento de imagem, rotinas de ajuste de brilho e contraste, suavização, realce de bordas, equalização, filtro da mediana, convolução com máscara definida pelo usuário e simulação binária dos tons de cinza.

Este capítulo trata do desenvolvimento do sistema de digitalização de imagens, ressaltando, em termos de hardware, os circuitos utilizados e, em termos de software, o princípio utilizado para a aquisição das imagens.

7.1 Características técnicas do digitalizador de vídeo

O digitalizador de vídeo foi desenvolvido com duas preocupações principais a serem observadas: (a) ler uma resolução espacial e de níveis de cinza adequados à sua utilização no processamento digital de imagem em microcomputadores pessoais do tipo IBM-PC; e (b) ser um sistema de baixo custo e, portanto, de fácil aquisição.

As principais características técnicas do sistema desenvolvido são:

Resolução Horizontal	160, 320 ou 640 pixels
Resolução Vertical	512 linhas no máximo
Número de Tons de Cinza	256
Tempo de Conversão	1,07s, 2,13s ou 4,27s

O tempo de conversão depende apenas da resolução horizontal desejada, independentemente da resolução vertical, ou seja, o tempo necessário para se obter uma imagem no padrão MCGA, de 640x480 pixels, é o mesmo tempo necessário à aquisição de uma imagem no padrão CGA, que tem uma resolução vertical de apenas 200 linhas.

7.2 O hardware do sistema de digitalização de imagens

O funcionamento do circuito digitalizador de vídeo pode ser melhor compreendido dividindo-o em partes, cada uma com uma dada função específica.

7.2.1 Isolação do sinal de vídeo

Ao entrar no circuito digitalizador, o sinal de vídeo percorre dois caminhos. O primeiro caminho é um amplificador isolador do tipo seguidor de emissor, cuja impedância de entrada é de 75Ω , como mostra a figura 7.1. A finalidade deste amplificador é a de prover o casamento de impedância do sinal vindo da câmara de vídeo, e isolá-lo dos possíveis efeitos de carregamento dos estágios seguintes.

7.2.2 Fixação do nível de preto do sinal de vídeo

O sinal que sai do amplificador isolador do tipo seguidor de emissor vai diretamente para a entrada V_i do conversor A/D, acompanhada por um circuito grampeador que fixa o pódio posterior do pulso de sincronismo horizontal (*Burst*) como sendo o nível de preto do sinal de vídeo a ser convertido. Este circuito grampeador foi implementado utilizando-se um circuito integrado (C1) do tipo CD 4066, que é constituído por 4 chaves analógicas CMOS (figura 7.2). O fechamento das chaves é feito pelo pulso de sincronismo horizontal *Burst*.

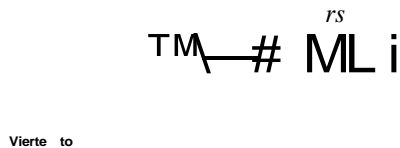


Figura 7.1: Amplificador isolador do tipo seguidor de emissor utilizado na entrada do digitalizado! de vídeo.

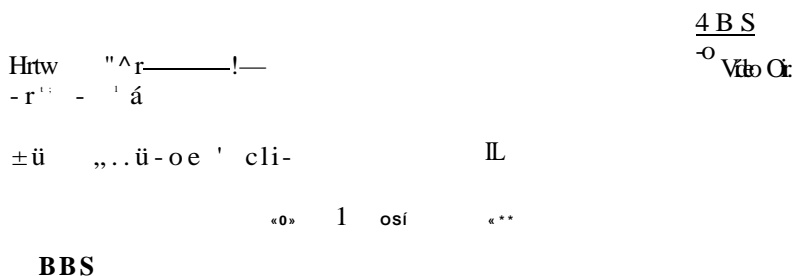


Figura 7.2: Circuito de restauração do nível de preto do sinal de vídeo.

7.2.3 Separador de Sincronismo

Um dos CFs mais versáteis utilizados no projeto do digitalizador de vídeo foi o Separador de Sincronismo de Vídeo LM 1881 (figura 7.3), fabricado pela National Semiconductor Corp. Este CI tem por função extrair os sinais de sincronismo de um sinal de vídeo composto padrão, a saber:

- Sinal de sincronismo composto (COM), via pino 1;
- Sinal de sincronismo vertical (VSINC), via pino 3;
- Sinal de sincronismo horizontal (BVRST), via pino 5: e
- Sinal de campo Impar/Par (O/E), via pino 7.

Apesar do sinal de sincronismo composto COM não ser utilizado pelo circuito digitalizador, os sinais VSINC, BURST e O/E são fundamentais para a geração da temporização da aquisição da imagem.

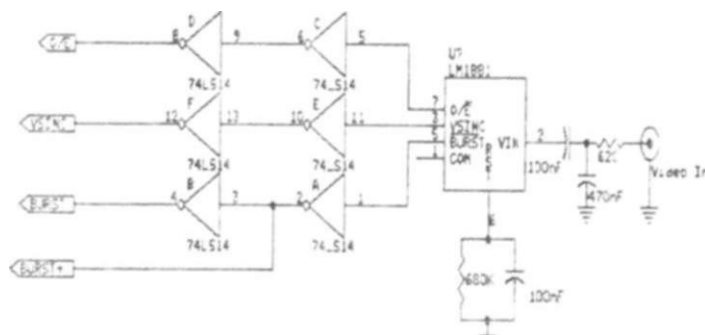


Figura 7.3: Separação de sincronismo do sinal de vídeo.

Os sinais *VSINC* e *O/E* são utilizados pelo software de controle para indicar o início de um campo e se este campo é um campo par ou ímpar. Estes sinais são reforçados por portas inversoras (figura 7.3) e lidos pelo software de controle da aquisição das imagens através de uma porta 3-state do tipo 74LS244 (figura 7.4).

O sinal de sincronismo horizontal, *BURST*, é utilizado para três propósitos principais:

- Restaurar o nível de preto do sinal de vídeo através do acionamento das chaves analógicas do CD 4066;
- Resetar o contador 74LS190, que indica ao software de controle da aquisição da imagem o número de pixels já lidos numa determinada linha (figura 7.4). Este número é lido na parte menos significativa da porta 74LS244;
- Carregar o gerador de temporização com o byte que indica o tempo de atraso após o pulso de sincronismo horizontal para a primeira conversão da linha.

As duas últimas funções do sinal *BURST* serão detalhadas mais adiante, na subseção 7.2.5. Dados técnicos do separador de sincronismo LM1881 podem ser encontrados no apêndice B.

7.2.4 Conversão A/D do sinal de vídeo

O conversor A/D utilizado no digitalizador de vídeo foi o ADC 0820, fabricado pela National Semiconductor Corp. Este conversor CMOS de oito bits utiliza a técnica half-flash e oferece um tempo máximo de $2.5/\text{IS}$ no modo de operação RD. Ele também possui um circuito de amostragem e retenção interno que elimina a necessidade de um circuito similar externo para sinais com taxa de variação inferior a $100\text{mV}/\text{zs}$.

A conversão A/D do sinal de vídeo se inicia com os sinais *CS* e *RD* levados simultaneamente para nível lógico 0 (a geração deste sinais será discutida mais adiante, na subseção 7.2.5). Neste instante uma amostra do sinal de vídeo presente no pino 1 (K'_1) do ADC0820 é tomada (figura 7.4). A conversão dura em torno de $1.6/\text{zs}$ ($2.5/\text{is}$ no máximo), e um sinal *INT* de nível lógico 0 é

fornecido, indicando que a conversão terminou e que o valor digitalizado do pixel está pronto para ser lido. Este valor é armazenado em um CI do tipo 74LS374 quando da subida dos sinais *CS* e *RD*. A subida do sinal *INT* incrementa o contador 74LS190, que indica ao software de controle da aquisição quantos pixels já foram digitalizados nesta linha. Este contador é zerado no início de cada linha pelo sinal *BURST*, e tem sua presença necessária para evitar que o software de controle lenha que detetar a borda de descida e de subida do sinal *RD*.

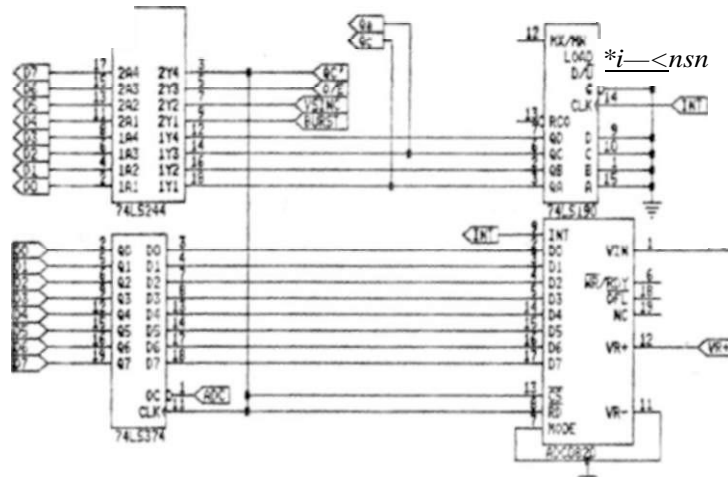


Figura 7.4: Conversão A/D do sinal de vídeo.

O apêndice B traz os dados técnicos do conversor ADC 0820.

7.2.5 Geração da Temporização de Aquisição da Imagem

O sistema de digitalização foi projetado para operar com sinais de vídeo padrão PAL ou NTSC, com frequência de linha $f_l = 15750\text{Hz}$ e frequência de quadro $f_Q = 30\text{Hz}$. A partir destes valores os seguintes parâmetros foram determinados:

- Duração total da linha: $T_i = 4 - \frac{1}{15750} = 63,49/\mu\text{s}$;
- Duração útil da linha: $T_j = 84\% T_i = 53,33 - \mu\text{s}$;
- Número de linhas por quadro: $N_{LQ} = \frac{f_l}{f_Q} = 525$.

Os principais modos gráficos suportados pelos computadores do tipo IBM-PC são:

CGA	MCGA	EGA	VGA
320x200	320x200	320x200	320x200
640x200	640x200	640x200	640x200
	640x480	640x350	640x350
			640x480

II	Apêndices	119
A	Programador de Baixo Custo do Microcontrolador 8751	121
A.1	O Circuito123
A.1.1	Interface de Comunicação Serial do PC.125
A.1.2	Programação da EPROM do 8751.126
A.1.3	Microcontrolador 8048.128
A.2	O Software129
A.3	Conclusões.129
B	Dados Técnicos dos Principais Componentes	131
B.1	Microcontroladores 8051AH/8751H.132
B.2	Conversor A/D ADC0820.147
B.3	Conversor D/A DAC0808.163
B.4	Separador de Sincronismo de Vídeo LM 1881.172
C	Dados Técnicos do Motor de Passo	179

Qualquer modo gráfico entre os indicados acima poder se utilizado pelo sistema para a aquisição, processamento e visualização da imagem.

A separação temporal T_{pp} entre dois pixels adjacentes pode ser definida como $T_{pp} = \frac{1}{Rf}$, onde Rf é a resolução horizontal desejada.

Para $R_h = 640$ pixels, $T_{pp} = 83,33...ns$. Para $R_h = 320$ pixels, $T_{pp} = 166,66...ns$.

Como o tempo de conversão do ADC0820 é de $1,6/zs$, aproximadamente, fica evidente que não é possível fazer a aquisição de todos os pixels da linha de uma única vez. um após o outro, durante o tempo $1/r$ da referida linha. A solução é fazer a aquisição de um número menor Pix_{lin} de pixels por linha e passar nesta linha $RHPi * Lin$ vezes para completar a resolução Ru desejada. Uma rotina do software de controle de aquisição se encarrega de colocar os pixels na ordem certa após a digitalização.

Utilizando-se um PC-XT com clock de 12MHz, verificou-se experimentalmente que não seria possível fazer a aquisição de mais de $PtXLin = 5$ pixels por linha, já que o barramento de 8 bits de dados força que a leitura dos sinais de temporização e dos pixels digitalizados seja feita separadamente.

Considerando a resolução horizontal $RH = 640$ pixels, a digitalização da imagem se completa após 128 quadros, ou seja. em aproximadamente $128/q = 4,27s$. Com a resolução horizontal $RH = 320$ pixels, são necessários 64 quadros para completar a digitalização, correspondendo a um tempo de 2,13s.

A cada linha horizontal são digitalizados, então, $Pix_{lin} = 5$ pixels, igualmente espaçados de $p_{lin} = 10,67\mu s$, conforme mostra a figura 7.5.

A cada quadro, é necessário gerar um atraso T_{pp} para a amostragem do 1 - pixel a ser convertido em cada linha em relação à amostragem do 1- pixel convertido no quadro anterior, conforme mostra a figura 7.5.

O atraso necessário ao deslocamento do instante de amostragem de cada ponto é proporcionado pelo circuito gerador da temporização. Este circuito gera não só o atraso temporal para a amostragem do 1º pixel da linha, após a ocorrência de um pulso de sincronismo horizontal $BURST$, mas também o intervalo de amostragem dos outros $Pix_{lin} - 1$ pixels da linha.

Como a distância mínima entre dois pixels adjacentes é $T_{pp} = 83,33ns$, que corresponde a um pulso de clock de frequência 12MHz, foram utilizados dois contadores binários de 4 bits do tipo 74LS163, cascaieados de modo a formar um único contador de 8 bits, incrementado por um oscilador de frequência 12MHz e carregado por um latch do tipo 74LS374 na formação do circuito gerador da temporização, conforme mostra a figura 7.6.

O oscilador foi obtido com o uso de um cristal de 12MHz, deixando o circuito de temporização de amostragem completamente independente da frequência de clock do microcomputador no qual o digitalizador estiver instalado (figura 7.6).

A saída Q_c da parte mais significativa do contador do circuito de temporização tem um período exatamente $10,67\mu s$, e é utilizada para gerar o instante de amostragem dos $Pix_{lin} = 5$ pixels

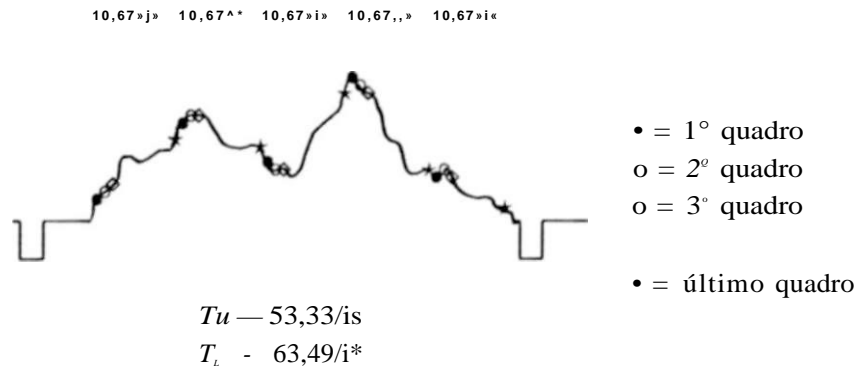


Figura 7.5: Princípio utilizado para a digitalização do sinal de vídeo. O sinal mostrado corresponde a uma única linha.

da linha.

O atraso no instante da 1ª amostragem é fornecido pelo software de controle da aquisição da imagem, através de um byte enviado ao contador do circuito de temporização via um latch do tipo 74LS374 (figura 7.6). Este byte é carregado no contador pelo pulso de sincronismo horizontal *BURST*, ou seja, no início de cada linha, e determina quanto tempo após este pulso *Qc* vai para nível lógico 0 pela primeira vez. O byte de atraso é atualizado pelo software de controle da aquisição sempre no início de um novo quadro.

O circuito gerador da temporização de amostragem se completa com o estágio de habilitação do conversor A/D. Este estágio é composto por um flip-flop do tipo D e quatro portas lógicas do tipo NAO-E (NAND), conforme mostra a figura 7.6, e sua saída é conectada aos pinos *CS* e *RD* do ADC0820. Sua função é habilitar ou inibir o CI ADC 0820, determinando assim os instantes corretos de amostragem do sinal de vídeo.

O flip-flop tem a sua saída *Q* zerada pelo pulso *BURST*, ou seja, no início de cada linha, ou após a 5ª conversão, pelas saídas *Q_s* e *Q_c* do contador 74LS190. A saída *Q_s* do estágio de habilitação do conversor A/D permanece em nível lógico 1, mantendo o ADC0820 desabilitado. Quando a saída *QD* do contador do circuito de temporização sofre uma transição de nível lógico 0 para nível lógico 1, a saída *Q* do flip-flop também vai para nível lógico 1, habilitando a passagem dos pulsos da saída *Qc* do contador do circuito de temporização para o conversor A/D.

A tabela 7.1 mostra os bytes a serem carregados no contador do gerador de temporização para a obtenção do atraso na descida do 1º pulso de *Q_s* após o pulso de sincronismo horizontal *BURST*, para todos os quadros, considerando $R_u = 640$ pixels. Para $R_H = 320$ pixels, o atraso inicial é o mesmo, mas o decremento no byte é de 2 em 2, bem como o número de quadros é de apenas 64.

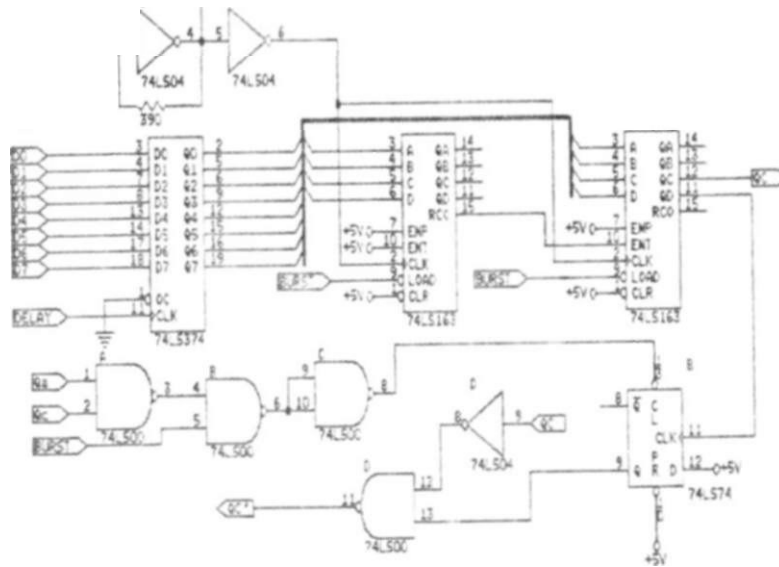


Figura 7.6: Circuito gerador da temporização de amostragem do sinal de vídeo.

7.2.6 Circuito de Ajuste do Contraste

A qualidade da imagem digitalizada depende muito das condições de iluminação do ambiente. Mas ela depende também de uma boa distribuição da amplitude do sinal de vídeo na escala dos níveis de cinza, ou seja, de um bom aproveitamento da resolução do conversor A/D.

A figura 7.7 mostra o circuito de ajuste do contraste. Este circuito tem por função ajustar a tensão de referência do conversor A/D, o que implica em modificar a variação dos valores dos pixels dentro da escala de níveis de cinza, alterando o contraste da imagem digitalizada.

O byte correspondente à tensão de referência desejada no conversor A/D é carregado pelo software de controle da aquisição em um latch do tipo 74LS374, que mantém este byte estável para um conversor D/A do tipo MC1408. Como a saída analógica deste conversor é sob a forma de corrente, um conversor corrente-tensão[23] foi implementado com um amplificador operacional do tipo LM358, cuja saída vai diretamente para o conversor A/D.

7.2.7 Endereçamento do hardware do digitalizador de vídeo

O endereçamento do hardware do digitalizador de vídeo foi feito de forma absoluta, através de um conjunto de portas lógicas e de um decodificador do tipo 74LS138, conforme mostra a figura 7.8. Os endereços escolhidos para acessar o circuito são mostrados na tabela 7.2.

Quadro	Atraso (x83,33ns)	Parte MSB				Parte LSB				Byte
		<i>QD</i>	<i>Qc</i>	<i>QB</i>	<i>QA</i>	<i>QD</i>	<i>Qc</i>	<i>QB</i>	<i>QA</i>	
1	1	0	1	1	1	1	1	1	1	127
2	2	0	1	1	1	1	1	1	0	126
3	3	0	1	1	1	1	1	0	1	125
4	4	0	1	1	1	1	1	0	0	124
5	5	0	1	1	1	1	0	1	1	123
6	6	0	1	1	1	1	0	1	0	122
.	:	:	:	:	:	:	l	:	:	:
123	123	0	0	0	0	0	1	0	1	5
124	124	0	0	0	0	0	1	0	0	4
125	125	0	0	0	0	0	0	1	1	3
126	126	0	0	0	0	0	0	1	0	2
127	127	0	0	0	0	0	0	0	1	1
128	128	0	0	0	0	0	0	0	0	0

Tabela 7.1: Bytes carregados no contador do gerador de temporização para a obtenção do atraso no instante de amostragem.

Estes endereços estão disponíveis ao usuário dos microcomputadores do tipo IBM-PC. O sinal AEN também é utilizado de modo a evitar o acesso do hardware quando estiver ocorrendo alguma transferência DMA no microcomputador. Os dispositivos alocados pelos endereços 300H e 301H, que são dispositivos de leitura, também utilizam o sinal *IORD* do microcomputador para serem ativados apenas durante um pulso deste sinal. Da mesma forma, os dispositivos alocados nos endereços 302H e 303H, que são dispositivos de escrita, também utilizam o sinal *IOWR* do microcomputador para serem ativados apenas durante um pulso deste sinal.

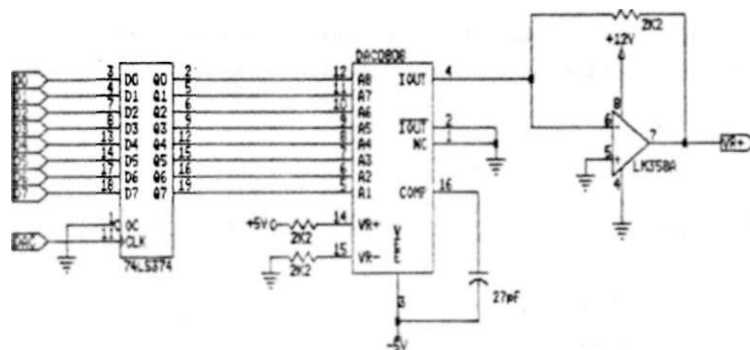


Figura 7.7: Circuito de ajuste do contraste do sinal de vídeo a ser digitalizado.

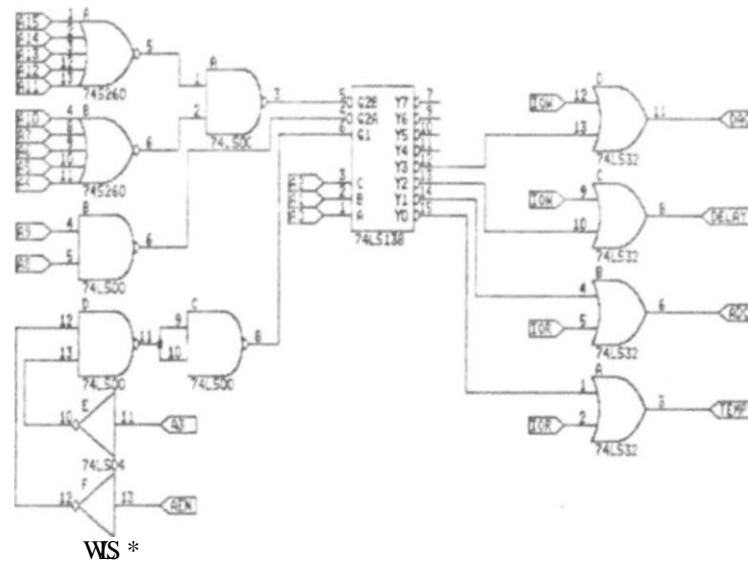


Figura 7.8: Endereçamento do hardware do digitalizador de vídeo.

7.3 O software do sistema de digitalização de imagens

Todo o software de controle da aquisição foi feito em linguagem Pascal, com exceção da rotina de aquisição da imagem, que foi escrita em linguagem Assembly[28,29], pois o Pascal se mostrou lento para acompanhar a temporização do sinal de vídeo.

Um dos pontos a serem destacados no software de controle de aquisição foi o trabalho com ponteiros de alocação dinâmica da memória RAM do microcomputador. Isto permitiu trabalhar com uma estrutura de $640 \times 480 = 307200$ bytes para a imagem com 256 níveis de cinza, e com uma estrutura de $80 \times 480 = 38400$ bytes para a imagem binária.

Endereço	Função
0300H	Sinais de sincronismo e contador do n- de pixels digitalizados
0301H	Valor do pixel digitalizado
0302H	Byte de atraso do circuito gerador da temporização
0303H	Byte de ajuste de contraste

Tabela 7.2: Endereços do hardware do digitalizador de vídeo.

7.3.1 Alocação dinâmica

Para armazenar a imagem capturada na memória do microcomputador, foi criada uma estrutura do tipo:

- $NC = 640$ = número de colunas da imagem;
- $NL = 480$ = número de linhas da imagem;
- $Linha = \text{array}[1..NC]$ of byte, correspondendo a uma linha da imagem;
- $Ptr.Linha = *$ Linha, um ponteiro para a estrutura Linha; e
- $Image = \text{array}[1..NL]$ of $Ptr.Linha$, como sendo NL ponteiros do tipo $Ptr.Linha$.

Assim, a imagem de 640x480 bytes ficou estruturada sob a forma de NL ponteiros para as NL linhas de NC bytes.

Para armazenar a imagem binária na memória do microcomputador, foi criada uma estrutura do tipo:

- $Linha-Bin = \text{array}[1..NC \text{ div } 8]$ of byte, correspondendo a uma linha da imagem binária formada por NC bits;
- $PtrXinha.Bin = *$ Linha-Bin, um ponteiro para a estrutura Linha_Bin; e
- $Image.Bin = \text{array}[1..NL]$ of $Ptr.Linha_Bin$, como sendo NL ponteiros do tipo $Ptr.Linha.Bin$.

Assim, a imagem de 640x480 bits ficou estruturada sob a forma de NL ponteiros para as NL linhas de NC bits.

Ao se executar o grupo de instruções *For i:= 1 to NL do New(Image[i])*, o Pascal aloca na memória NL vetores do tipo Linha, cada um com NC bytes, e coloca no i -ésimo elemento do vetor Image o endereço físico (segmento-foffset) do i -ésimo vetor Linha criado. Para se fazer o acesso ao pixel (x,y) da imagem, basta procurar-se no elemento x do vetor Image o endereço do x -ésimo vetor Linha e então procurar-se o y -ésimo byte deste vetor.

As principais vantagens de se trabalhar com alocação dinâmica são: a possibilidade de trabalho com estruturas de dados de mais de 64KB; e o fato de se poder trabalhar com toda a estrutura indicada por um ponteiro de uma única vez, sem ser necessário trabalhar individualmente com os bytes da estrutura (esta vantagem é válida apenas para algumas operações).

Por exemplo, o grupo de instruções *For i:= 1 to NL do Write(Arq,Image[i])* salva no arquivo Arq as NL linhas de NC bytes, e esta operação é feita com apenas uma referência ao número de linhas, pois o Pascal já sabe o número de colunas de cada linha.

7.3.2 Aquisição da imagem

Uma vez definida a estrutura *Image*, a aquisição da imagem é feita através de uma rotina escrita em linguagem Assembly. A esta rotina é passado como parâmetro o segmento do endereço do 1º vetor Linha da imagem. Este parâmetro é necessário para que a rotina possa acessar os endereços dos pixels da imagem. Apenas o segmento do endereço da 1ª linha é passado, pois as outras linhas têm segmentos separados de $A/C/16$ bytes.

A aquisição da imagem é feita de acordo com o algoritmo especificado a seguir:

1. Inicializa-se o valor do Atraso, do offset e faz-se $Campo = -1$
2. Detecta-se a presença de um campo par no sinal de vídeo;
3. Detecta-se a borda de descida do pulso de sincronismo vertical *VSINC*;
4. Carrega-se o Atraso no contador do circuito gerador da temporização;
5. Detecta-se a borda de subida do pulso de sincronismo vertical *VSINC*;
6. Conta-se 10 linhas horizontais (correspondentes às linhas pretas);
7. Durante $NL/2$ linhas faz-se a seguinte operação:
 - (a) detecta-se o início de uma nova linha;
 - (b) detecta-se o contador do número de pixels convertidos em 1, lê-se o valor do conversor A/D e o guarda na memória, segundo o segmento e offset correspondentes;
 - (c) detecta-se o contador em 2, lê-se o valor do conversor e o coloca na memória;
 - (d) detecta-se o contador em 3, lê-se o valor do conversor e o coloca na memória;
 - (e) detecta-se o contador em 4, lê-se o valor do conversor e o coloca na memória;
 - (f) detecta-se o contador em 5, lê-se o valor do conversor e o coloca na memória;
 - (g) coloca-se em ES o segmento do endereço da próxima linha
8. Faz-se $Campo = - Campo$. Se $Campo = 1$, coloca-se em ES o segmento do endereço da 2ª linha e retorna-se para 3. Se não, coloca-se em ES o segmento da 1ª linha, ajusta-se o offset e decrementa-se o Atraso. Se o Atraso ≤ 0 , parar. Se não, voltar para 2.

A variável *Campo* do algoritmo acima é uma variável auxiliar que indica se o campo do sinal de vídeo é o campo das linhas pares ou o campo das linhas ímpares.

7.4 Conclusões

Um sistema de digitalização e processamento digital de imagens simples, de baixo-custo, mas bastante poderoso e com um propósito de utilização bastante geral, foi obtido. Este sistema mostrou ser bastante eficiente na aquisição e digitalização das imagens, conforme mostram as imagens digitalizadas de microfíliás da figura 7.9.

7.4. CONCLUSÕES

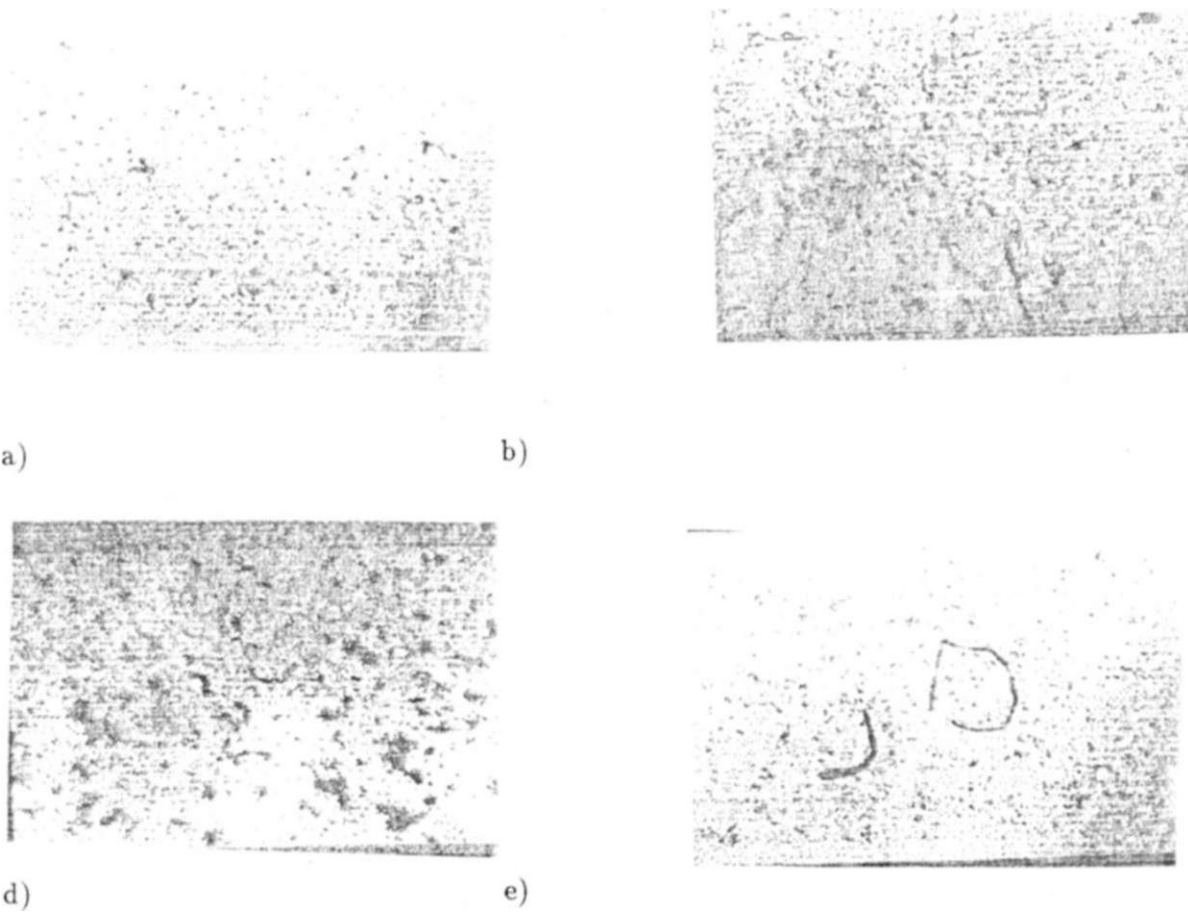


Figura 7.9: Exemplos de imagens de microfilarias digitalizadas com o sistema de aquisição e talização de imagens desenvolvido.

CAPÍTULO 7. SISTEMA DE AQUISIÇÃO E DIGITALIZAÇÃO DE IMAGENS

Capítulo 8

Aplicações do sistema de digitalização de imagens

Um programa demonstrativo do uso do circuito de aquisição e digitalização de imagens tratado no capítulo anterior foi implementado com o propósito de exemplificar suas aplicações. Este programa acabou por se fundir com o hardware desenvolvido para formarem um sistema integrado de digitalização e processamento de imagens, batizado de *VIDEOEYES*.

O sistema obtido superou as expectativas no sentido de ser extremamente barato, de construção e operação bastante simples e nem por isso menos poderoso. Em termos de resolução, ele é capaz de fornecer imagens de 640x480 pixels com 2, 64 ou 256 níveis de cinza. Em termos de processamento de imagem estão incluídas rotinas de ajuste de brilho e contraste da imagem, suavização, realce de bordas, equalização, filtro da mediana, convolução com máscara definida pelo usuário e simulação binária dos tons de cinza.

O desenvolvimento do sistema *VIDEOEYES* serviu não só para a obtenção de um circuito de aquisição de imagens propício ao estudo de imagens de diversas naturezas, mas também como um "mini-laboratório" de processamento de imagem que permite ao usuário testar e utilizar operações sobre as imagens com diversas finalidades e aplicações em áreas tais como: Engenharia Biomédica (na automatização de exames, por exemplo); Robótica (inspeção visual, reconhecimento de objetos, navegação automática, sistemas de segurança, etc); e também na eletrônica de consumo, com utilização como hobby.

Este capítulo foi escrito com o objetivo de detalhar o programa implementado para o sistema *VIDEOEYES*, exemplificando as utilizações do circuito digitalizador de imagens como uma forma de demonstrar sua qualidade.

8.1 Operação do Sistema *VIDEOEYES*

O sistema *VIDEOEYES* foi projetado de modo a ter sua operação por parte do usuário bastante simplificada. Ele pode ser utilizado tanto para fazer a aquisição de novas imagens (sendo para isso necessário que o usuário possua uma câmera que forneça um sinal de vídeo padrão-M), como para fazer o processamento das imagens previamente adquiridas. Esta seção trata da operação do sistema *VIDEOEYES*, enfatizando a aquisição de imagens, enquanto que a seção seguinte trata das rotinas de processamento de imagem implementadas.

8.1.1 Introdução ao sistema *VIDEOEYES*

O sistema *VIDEOEYES* é um sistema de aquisição e processamento de imagens que transforma a imagem proveniente de uma câmara de vídeo padrão-M em uma imagem digital, com resolução de 640x480 pixels, quantizada em 256 níveis de cinza (0 — 255). Uma vez digitalizada, esta imagem pode ser armazenada em disco e/ou ser processada com as mais diversas finalidades.

Para iniciar a operação com o sistema *VIDEOEYES*, o usuário deverá mudar para o diretório onde está o software e digitar *VIDEYES* seguido da tecla [ENTER].

Após uma mensagem de "Inicializando..." e um beep sonoro, a tela principal do software *VIDEOEYES* é mostrada no monitor do microcomputador.

A tela principal está dividida em 5 janelas e a linha de apresentação do sistema, conforme mostra a figura 8.1. A janela 1 mostra a data no formato dd/mm/aa, a hora atual, o menu mostrado na janela 3 e a opção de saída. A janela 2 mostra sempre a frase "*Parâmetros Atuais*", referindo-se aos valores de brilho e contraste e ao modo gráfico atuais. A janela 3 mostra as opções do usuário, com a opção de escolha ressaltada das demais através do uso de letras brancas sobre um fundo vermelho. A janela 4 mostra os valores de brilho e contraste atuais e o modo gráfico selecionado no momento. Finalmente, a janela 5 mostra mensagens de interação com o usuário.

Na janela 3 estão as opções do usuário. A seleção das opções pode ser feita através das teclas I, J ou através da barra de espaço, e a confirmação se dá pressionando-se a tecla [ENTER]. Cada uma das opções será detalhada agora, com exceção da opção **6- Realçar Imagem**, a ser detalhada na próxima seção.

8.1.2 Ajuste de Brilho e Contraste

A opção **1- Ajustar Brilho e Contraste** do menu principal corresponde ao ajuste de brilho e contraste a ser feito antes da aquisição da imagem.

Por brilho entenda-se a média dos níveis de cinza da imagem, e por contraste entenda-se a diferença entre o maior e o menor níveis de cinza da imagem, ou seja, a amplitude do sinal de vídeo. Com relação ao valor do brilho de uma imagem, a seta da janela de brilho da janela 4 indica sempre o menor nível de cinza da imagem, e não o valor médio dos níveis de seus pixels.

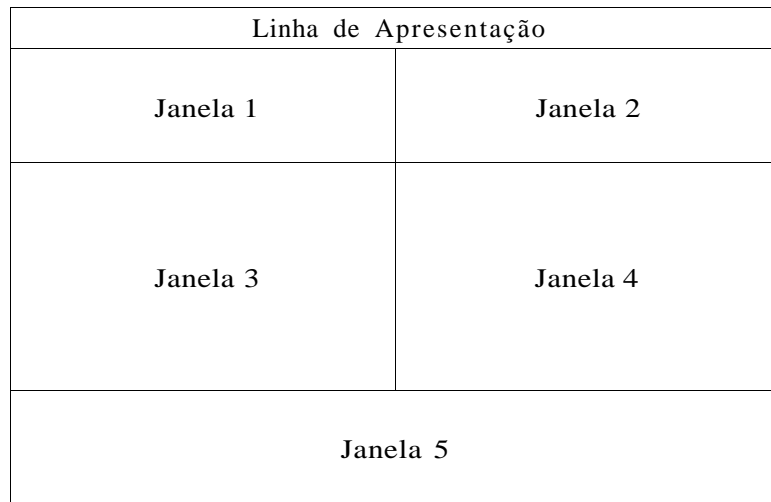


Figura 8.1: Tela Principal do Software *VIDEOEYES*.

Para poder acessar o menu de **Ajustar Brilho e Contraste**, tanto a placa *VIDEOEYES* como a camera de vídeo devem estar conectadas. Uma vez dentro da opção "Ajustar Brilho e Contraste", o usuário tem quatro opções, mostradas no menu da janela 3.

Calibrar

A opção **1- Calibrar** do menu "Ajustar Brilho e Contraste" procura um ajuste próprio de brilho e contraste da imagem a ser capturada. Para isso, esta opção faz uma aquisição desta imagem e calcula o nível de cinza mais alto (Max) e a média (M) dos níveis de cinza (figura 8.2-(a)). A partir destes valores, a tensão de referência do conversor A/D, V_{ref} , é ajustada em $V_{ref} = 5V * 2^{TM+1}$. Isto faz que o nível de cinza mais alto da imagem passe a estar na metade da escala, ou seja, $Max' = 127$, conforme mostra a figura 8.2-(b). Com este ajuste, há um aumento no contraste da imagem pois, para sinais de vídeo padrão, o valor máximo de intensidade de um sinal nunca ultrapassa 1,5V, que corresponde ao nível de cinza 77. A nova média dos níveis de cinza passa a ser $M' = Max * \%50$. O brilho da imagem é então ajustado de modo que esta média passe a ser a metade da escala ($M'' = 127$), e o valor Max'' corresponda a $Max' = 254 - M'$, conforme mostra a figura 8.2-(c).

Ajustar Brilho

A opção **2- Ajustar Brilho** do menu "Ajustar Brilho e Contraste" permite ao usuário pré-selecionar o nível de brilho da imagem a ser capturada. Isso é feito pressionando-se as teclas \rightarrow e \leftarrow conforme se queira aumentar ou diminuir o brilho da imagem. A indicação deste nível de brilho é feita na janela 4 da tela através de um quadro com uma seta que aumenta ou diminui entre os níveis Escuro (0) e Claro (255). O ajuste do nível de brilho também atualiza o quadro de contraste, onde uma seta (que indica a amplitude do sinal de vídeo) se desloca entre os níveis Mínimo e Máximo.

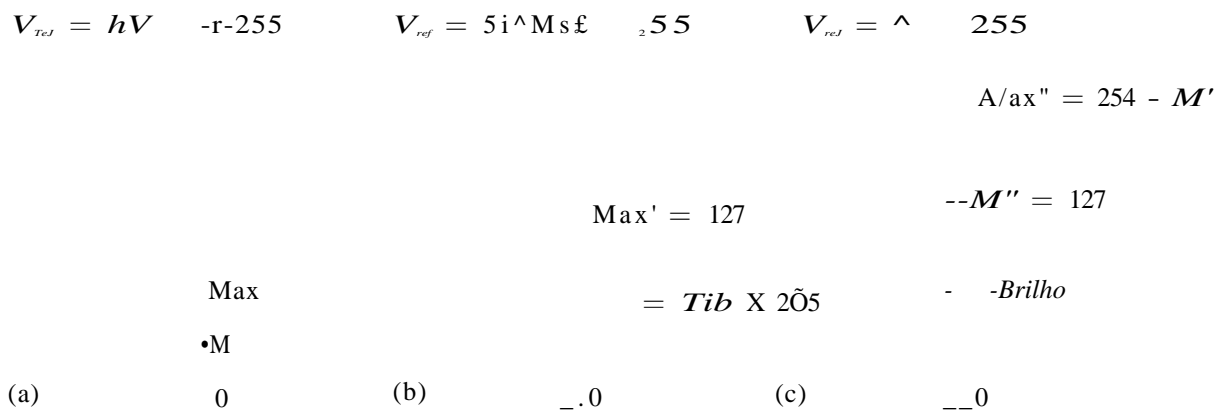


Figura 8.2: Efeito produzido no sinal de vídeo após a calibração: (a) Sinal Original; (b) Ganho de Contraste e (c) Ajuste do Brilho.

Uma vez feito o ajuste pelo usuário, os novos valores *Brilho* e *Max'* do brilho e intensidade máxima, respectivamente, da imagem estão determinados, e uma aquisição da mesma é feita, calculando-se o seu nível de cinza mais alto (*Max*) (figura 8.3-(a)). A partir deste valores, a tensão de referência do conversor A/D é ajustada em $V_{ref} = \wedge/ar'-brilho \bullet \wedge^{az} \wedge^{''} \circ^{ni} \vee \wedge$ de cinza mais alto da imagem passe a ter o valor $Max' - Brilho$, conforme mostra a figura 8.3-(b). O brilho da imagem é então ajustado somando-se o valor de *Brilho* a todos os pixels da imagem, de modo que esta tenha as características de brilho e contraste mostradas na figura 8.3-(c). Deve-se notar que o contraste da imagem, identificado pelo tamanho (e não pela posição) da seta do quadro de contraste, permanece inalterado.

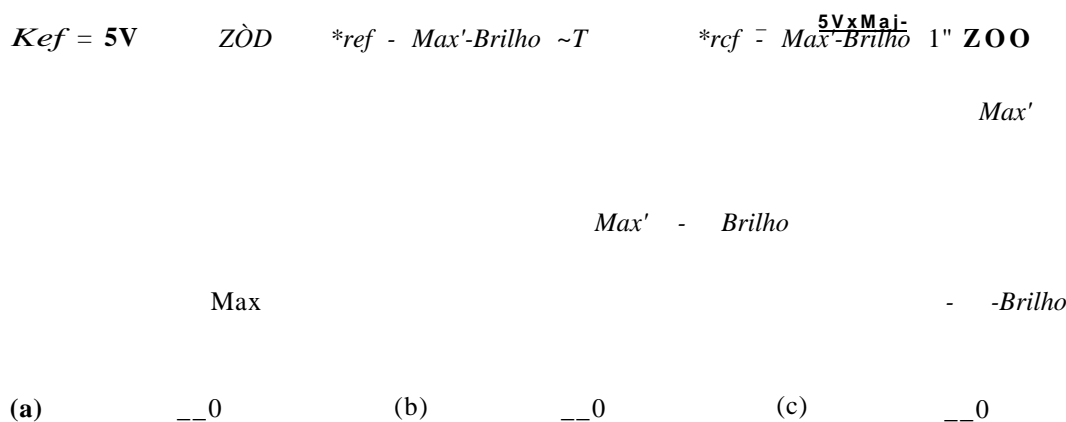


Figura 8.3: Efeito produzido no sinal de vídeo após o ajuste de brilho: (a) Sinal Original; (b) Ajuste de Contraste e (c) Ajuste do Brilho.

Ajustar Contraste

A opção **3- Ajustar Contraste** do menu **Ajustar Brilho e Contraste** permite ao usuário pré-selecionar o nível de contraste, ou seja, a diferença entre o maior e o menor nível de cinza da imagem a ser capturada. Isso é feito pelo operador movendo pressionando as teclas \rightarrow e \leftarrow conforme ele queira aumentar ou diminuir o contraste da imagem. A indicação deste nível de contraste é feita na janela 4 da tela através de um quadro com uma seta que aumenta ou diminui de tamanho entre os níveis Mínimo e Máximo.

Uma vez feito o ajuste pelo usuário, o novo valor Max' da intensidade máxima da imagem está determinado, e uma aquisição da mesma é feita, calculando-se o seu nível de cinza mais alto (Max) (figura 8.4-(a)). A partir deste valores, a tensão de referência do conversor A/D é ajustada em $V_{ref} = \frac{V_{max} \cdot Brilho}{Max}$ de cinza mais alto da imagem passe a ter o valor $Max - Brilho$, conforme mostra a figura 8.4-(b). O brilho da imagem é então ajustado somando-se o valor de brilho a todos os pixels da imagem, durante a rotina de ordenamento dos pontos, após a aquisição definitiva da imagem, de modo que esta tenha as características de brilho e contraste mostradas na figura 8.4-(c).

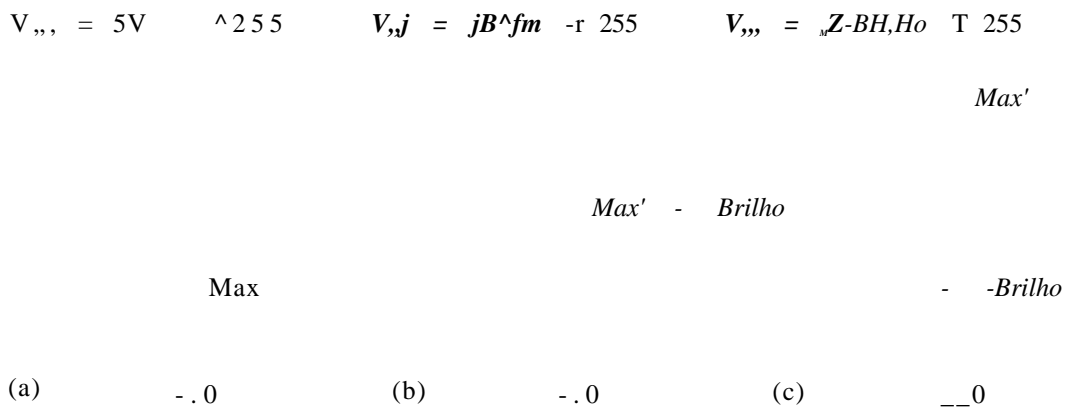


Figura 8.4: Efeito produzido no sinal de vídeo após o ajuste de contraste: (a) Sinal Original; (b) Ganho de Contraste e (c) Ajuste do Brilho.

Restaurar Valores Default

A opção **4- Restaurar Valores Default** permite ao usuário recuperar os ajustes antigos de brilho e contraste, caso os ajustes feitos recentemente não o tenham satisfeito. Por valores antigos de brilho e contraste entendam-se os valores utilizados na última aquisição ou operação de realce da imagem. Os valores default são armazenados no arquivo de configuração do sistema *VIDEOEYES* (*VIDEYES.CFG*), e carregados todas as vezes em que o programa for chamado novamente.

8.1.3 Capturar Imagem

A opção **2- Capturar Imagem** do menu principal é a que permite a aquisição da imagem proveniente de uma câmera de vídeo. Obviamente, esta opção exige que tanto a placa *VIDEOEYES* como a câmera de vídeo estejam corretamente conectadas.

Para acionar esta opção, é aconselhável que o usuário já tenha feito um pré-ajuste de brilho e contraste da imagem, na opção **1- Ajustar Brilho e Contraste** do menu principal, e detalhada na seção anterior, como uma forma de garantir uma boa qualidade da imagem a ser adquirida.

Após detectar a presença do sinal de vídeo, a operação de **Capturar Imagem** pede ao usuário que ajuste a câmera e pressione qualquer tecla quando a cena a ser adquirida estiver pronta. E nesse momento que o usuário deve ajustar o foco e a iluminação da cena, de modo a obter a melhor imagem possível.

Durante a aquisição da imagem, que leva em torno de 4 a 5 segundos, é fundamental que a cena permaneça rigorosamente imóvel, pois qualquer movimentação irá aparecer sob a forma de descontinuidades na imagem, prejudicando sua qualidade.

Após a aquisição da imagem, o valor do brilho é adicionado a todos os pixels da imagem, pois o controle de brilho, ao contrário do controle de contraste, não é feito por hardware, mas sim por software.

Após a adição do brilho, uma rotina de binarização converte a imagem de 256 (0-255) níveis de cinza em uma imagem de 2 níveis de cinza, 0 ou 1. O limiar de binarização é exatamente no meio da escala de níveis de cinza, ou seja, todos os pixels com nível de cinza abaixo de 128 serão mapeados em 0, e todos os pixels com nível de cinza acima de 127 serão mapeados em 1. A binarização da imagem é necessária devido aos modos gráficos CGA e MCGA, que são os modos gráficos suportados pelo sistema *VIDEOEYES*, não serem compatíveis com os 256 níveis adquiridos.

Após a binarização a imagem capturada é mostrada no monitor do microcomputador, permanecendo na tela até que o usuário aperte a tecla [ESCAPE].

8.1.4 Visualizar Imagem

A opção **3- Visualizar Imagem** do menu principal mostra na tela a imagem binarizada, ou seja com apenas dois níveis de cinza, preto (0) ou branco (1).

O modo gráfico CGA utilizado tem uma resolução de 640 x 200 pixels. Como a imagem adquirida tem uma resolução de 640 x 480 pixels, só é possível a visualização de 200 linhas da imagem na tela. Para observar toda a imagem, o usuário deve utilizar as teclas [Home], [End], [PageUp], [PageDown], | e [para rolar a imagem para cima e para baixo, de modo que todas as 480 linhas possam ser observadas. 200 de cada vez.

O modo MCGA tem uma resolução de 640 x 480 pixels, e toda a imagem pode ser visualizada de uma única vez. Porém, o modo MCGA só funciona em computadores equipados com uma placa gráfica e um monitor compatíveis com este modo.

Pressionado-se a tecla [ESCAPE] retorna-se ao menu principal.

8.1.5 Mudar Modo Gráfico

A opção 4- **Mudar Modo Gráfico** do menu principal permite ao usuário escolher entre dois modos gráficos possíveis de visualização da imagem presente na memória: CGA e MCGA. Obviamente, esta escolha só tem sentido caso o microcomputador suporte o modo MCGA.

O modo CGA utilizado tem resolução de 640 x 200 pixels, com dois níveis de cinza: preto(0) ou branco (1). O modo MCGA utilizado tem resolução de 640 x 480 pixels, também com dois níveis de cinza: preto (0) e branco (1).

8.1.6 Acesso a Disco

A opção 5- **Acesso a Disco** do menu principal permite ao usuário:

1. Salvar Imagem;
2. Carregar Imagem;
3. Mudar Diretório; e
4. Deletar Arquivo.

Salvar Imagem

A opção 1-**Salvar Imagem** do menu **Acesso a Disco** permite salvar a imagem presente na memória em disco, no diretório correspondente a cada um dos três tipos de formato da imagem (RWG, RAW e RWB).

O formato RWG representa a imagem tal como ela é adquirida pelo sistema *VIDEOEYES*, ou seja, uma imagem de 640 x 480 pixels, onde cada pixel é representado por 1 byte (256 níveis de cinza). O tamanho do arquivo para armazenar a imagem no formato RWG é de 300KB.

O formato RAW representa a imagem com apenas 64 níveis de cinza em lugar dos 256 níveis da imagem RWG. A diferença entre o formato RWG e o formato RAW é que os dois últimos bits de cada byte são zero. O tamanho do arquivo para armazenar a imagem no formato RAW é o mesmo tamanho do formato RWG, ou seja, de 300KB.

O formato RWB representa a imagem binária, ou seja, com apenas dois níveis de cinza. Cada byte representa oito pixels, onde cada pixel é representado por apenas um bit, que tem o valor 0 se o pixel representado for preto, e 1 se o pixel representado for branco. O tamanho da imagem no formato RWB é de 35,5KB.

Carregar Imagem

A opção **2- Carregar Imagem** do menu **Acesso a Disco** permite ao usuário carregar um arquivo contendo uma imagem em qualquer um dos três formatos compatíveis com o sistema: **KWG**, **RAW** ou **RWB**.

As imagens do formato **RAW**, quando carregadas, sofrem uma expansão de escala de 64 para 256 níveis de cinza. Isto é feito para que elas possam ser operadas normalmente como se fossem imagens do formato **RWG**.

Mudar Diretório

A opção **3- Mudar Diretório** do menu **Acesso a Disco** permite ao usuário mudar o diretório de qualquer um dos três formatos de imagem compatíveis com o sistema: **RWG**, **RAW** ou **RWB**.

O sistema *VIDEOEYES* associa um diretório para cada um dos três tipos de formato de imagem. Esses diretórios são armazenados no arquivo de configuração (*VIDEYES.CFG*) toda vez que o usuário sai do programa. Graças a essa opção, o sistema sempre sabe onde estão armazenados os arquivos com as imagens, e a opção **1- Mudar Diretório** só precisa ser acessada quando o diretório em que o usuário for carregar ou salvar imagens não for o mesmo da última vez em que ele utilizou o programa.

Deletar Arquivo

A opção **4- Deletar Arquivo** do menu **Acesso a Disco** permite ao usuário deletar 1 ou mais arquivos do diretório corrente.

O diretório corrente, caso nenhuma imagem tenha sido salva ou carregada de disco, é o diretório do qual foi chamado o programa *VIDEOEYES*, ou é o diretório da última imagem salva ou carregada do disco.

8.1.7 Realçar Imagem

A opção **6- Realçar Imagem** do menu principal dá acesso a um conjunto de operações de processamento da imagem presente na memória. Estas operações modificam o conteúdo da imagem na memória, e o usuário deve certificar-se de ter uma cópia da imagem original em disco antes de prosseguir.

As operações de processamento de imagem serão explicadas e exemplificadas na próxima seção.

8.1.8 Imprimir Imagem

A opção **7- Imprimir Imagem** do menu principal mostra o negativo da imagem presente na memória na tela, para que o usuário possa imprimi-la em uma impressora gráfica pressionando a tecla [PrintScreen].

A inversão da imagem presente na memória, de modo que a tela apresenta o negativo da imagem, é necessária devido à imagem aparecer na tela como um conjunto de pontos brancos sobre o fundo preto, enquanto que na impressora ela é impressa como um conjunto de pontos pretos sobre o fundo branco.

Para que a imagem possa ser impressa, é necessário que o usuário tenha carregado o programa *GRAPHICS.EXE*, do DOS, antes de chamar o programa *VIDEOEYES*. Caso o Graphics não tenha sido carregado e o usuário pressionar a tecla [PrintScreen], a impressora imprimirá apenas caracteres alfa-numéricos no papel, e a cópia da imagem não será obtida.

8.1.9 Saindo do Programa para o DOS

Enquanto que a ativação dos menus e funções do programa *VIDEOEYES* é feita realçando-se a opção desejada e pressionando-se a tecla [ENTER], a saída para o menu de nível imediatamente mais alto é feita pressionando-se a tecla [ESCAPE].

Quando no menu principal, ao pressionar-se a tecla [ESCAPE] a mensagem **Deseja Sair (S/N)?** é mostrada na janela **1**, e o programa encerrará e voltará para o DOS caso o usuário pressione a tecla **s** ou **S**. Caso qualquer outra tecla seja pressionada, o programa retornará ao menu principal.

8.2 Processamento Digital da Imagem

A opção **6- Realçar Imagem** do menu principal dá acesso a um menu de operações de processamento da imagem presente na memória (capturada da câmera ou carregada do disco). Apenas as imagens no formato RWG e RAW podem ser processadas, pois não há sentido em aplicar este tipo de processamento a imagens binárias.

Antes de ativar o menu **Realçar Imagem**, o usuário deve certificar-se de ter uma cópia da imagem original salva em disco, pois as operações de processamento da imagem modificam diretamente seu conteúdo na memória.

8.2.1 Operações de Ajuste do Brilho

As opções **1- Clarear** e **2- Escurecer** do menu "Realçar Imagem" são operações de aumento e diminuição do brilho da imagem. Na convenção utilizada no sistema *VIDEOEYES*, o brilho é representado pelo menor nível de cinza da imagem. As operações **Clarear** e **Escurecer**, cada vez que são chamadas, adicionam ou subtraem, respectivamente, um determinado valor constante

$CBrilho = 15$ a todos os pixels da imagem, produzindo como efeito o aumento ou diminuição do brilho da imagem deste valor constante.

Pixels com nível de cinza acima de 255 - $CBrilho$ têm seus valores limitados em 255 após uma operação de **Clarear**, e pixels com nível de cinza abaixo de $CBrilho$ têm seus valores zerados após uma operação de **Escurecer**.

A figura 8.5 mostra o efeito das operações **Clarear**(figura 8.5-(b)) e **Escurecer** (figura 8.5-(c)) feitas sobre a imagem original da figura 8.5-(a).

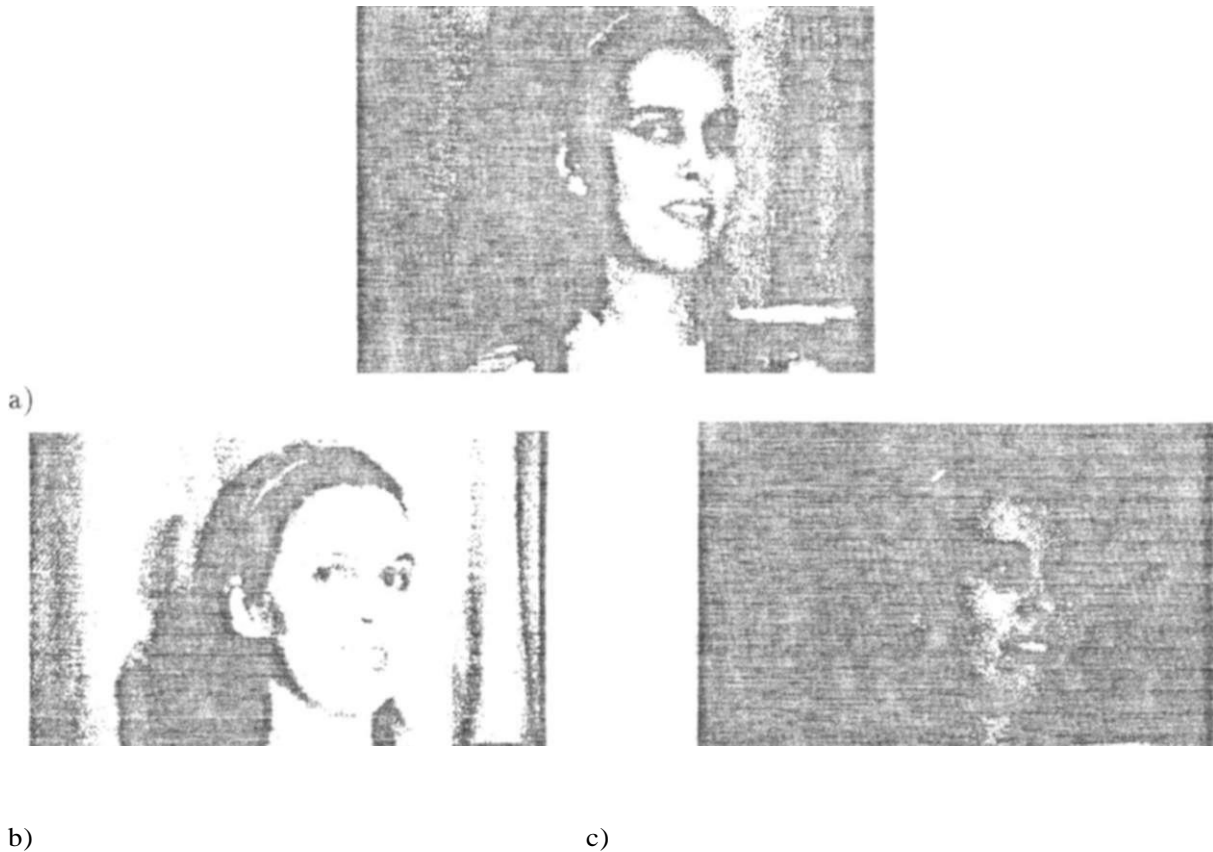


Figura 8.5: Efeito do ajuste de brilho em uma imagem: (a) Imagem original; (b) Imagem após aumento do brilho; (c) Imagem após diminuição do brilho.

8.2.2 Operações de Ajuste de Contraste

As opções **3- Aumentar Contraste** e **4- Diminuir Contraste** do menu **Realçar Imagem** são operações de aumento e diminuição do contraste da imagem, ou seja, da diferença entre os pixels de maior e menor nível de cinza. Estas operações não mudam o brilho da imagem.

As operações **Aumentar Contraste** e **Diminuir Contraste**, cada vez que são chamadas, proporcionam um aumento ou uma diminuição, respectivamente, de 6,25% na amplitude da imagem, mantendo o brilho da mesma constante.

No caso do aumento do contraste isto é feito somando-se a cada pixel $1/16$ do seu valor e diminuindo-se do resultado $1/16$ do valor do menor nível de cinza, de modo a conservar os pixels com este nível de cinza inalterados.

No caso da diminuição do contraste, a operação consiste em multiplicar-se cada pixel da imagem por $16/17$ e somar-se ao resultado $1/17$ do menor nível de cinza, também de modo a conservar os pixels com este nível de cinza inalterados.

A figura 8.6 mostra o efeito das operações **Aumentar Contraste**(figura 8.6-(b)) e **Diminuir Contraste** (figura 8.6-(c)), feitas sobre a imagem original da figura 8.6-(a).



3 g

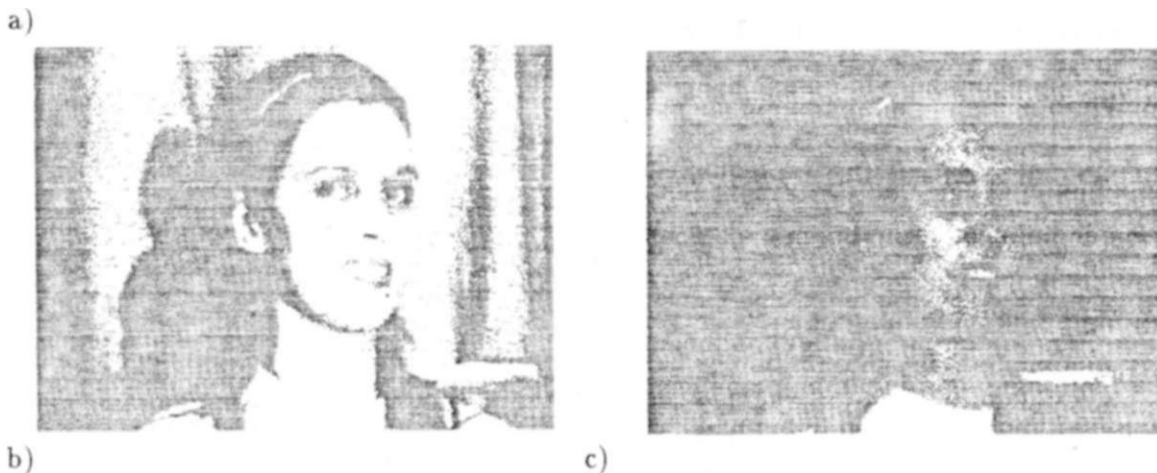


Figura 8.6: Efeito do ajuste de contraste em uma imagem: (a) Imagem original; (b) Imagem após aumento do contraste; (c) Imagem diminuição do contraste.

Relação de Figuras

1.1	Diagrama ilustrativo do sistema de automação de diagnósticos.	2
2.1	Exemplo de uma lâmina de vidro preparada com uma amostra de sangue para detecção de microfilárias.	5
2.2	Diagrama esquemático do <i>Sistema Automático de Leitura de Amostras em Microscópios Ópticos</i>	7
3.1	Diagrama em blocos da estrutura do microcontrolador 8051AH.	10
3.2	Diagrama da pinagem do microcontrolador 8051 no encapsulamento DIL.	11
3.3	Organização da memória de programa do 8051.	13
3.4	Organização da memória de dados do 8051.	13
3.5	Diagrama da parte baixa da RAM.	14
3.6	O reset no microcontrolador 8051.	18
3.7	O circuito oscilador do 8051: (a) oscilador interno; (b) oscilador externo.	18
3.8	Hardware simplificado de uma linha de E/S do microcontrolador 8051.	21
4.1	Diagrama esquemático do arranjo dos dentes do rotor e estator em um motor RV de três fases e pilhas múltiplas. O motor mostrado tem 12 dentes em cada pilha ou fase.	37
4.2	(a) Diagrama esquemático de um motor de passo RV de três fases e múltiplas pilhas;(b) Vista frontal de uma fase do estator.	38
4.3	Curva do torque estático para um motor de passo do tipo relutância variável. O ângulo de passo é 10°.	39
4.4	Curvas do torque estático típicas de um motor de passo do tipo relutância variável: (a) uma fase excitada por passo; (b) duas fases excitadas simultaneamente.	40
4.5	Curvas torque-velocidade típicas para um motor de passo.	40

8.2.3 Operações de Convolução

As opções **5- Suavizar**, **6- Realçar Bordas** e **7- Convolução do Usuário** são operações de convolução sobre a imagem.

As operações de convolução consistem em se fazer convoluir uma máscara específica ao tipo de operação desejada com a imagem original [30,31,32]. Esta máscara é uma matriz quadrada de tamanho pequeno $n \times n$ devido à eficiência computacional (geralmente 3×3 , 5×5 ou 7×7 — no caso do sistema **VIDEOEYES** o tamanho 3×3). A convolução é feita colocando-se o elemento central de uma região $n \times n$ da imagem como sendo a soma da multiplicação dos elementos da máscara com os elementos da imagem dois a dois, respectivamente, como mostra a figura 8.7. A região da imagem é então deslocada de um elemento e o processo é repetido até que toda a nova imagem seja gerada. Neste processo, as bordas da imagem (1ª e última linhas, 1ª e última colunas) não são modificadas.

$$\begin{vmatrix} a & b & e \\ d & e & f \\ g & h & i \end{vmatrix} \cdot \begin{vmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{vmatrix} = \begin{vmatrix} a+b+e \\ d+e+f \\ g+h+i \end{vmatrix}$$

Figura 8.7: Transformação de um elemento da imagem por uma operação de convolução.

Suavizar

A opção **5- Suavizar** do menu "Realçar Imagem" consiste na aplicação de um filtro passa-baixas na imagem, através da convolução com a mesma de uma matriz 3×3 que tem as seguintes características [32]:

1. Todos os coeficientes devem ser positivos; e
2. A soma de todos os coeficientes deve ser igual a 1.

conforme mostra a figura 8.8.

$$\begin{bmatrix} 1/9 & 1/9 & 1/9 \\ 1/9 & 1/9 & 1/9 \\ 1/9 & 1/9 & 1/9 \end{bmatrix}$$

Figura 8.8: Matriz de convolução de um filtro passa-baixas

O efeito da convolução da matriz da figura 8.8 sobre a imagem é o de *suavizar* diferenças entre valores de pixels vizinhos. Este filtro é bastante indicado para imagens que contenham picos de

ruído, que são eliminados por serem componentes de altas frequências nas imagens (já que os valores dos pixels adjacentes variam muito rapidamente). A aplicação da matriz da figura 8.8 a uma região da imagem onde todos os pixels têm os mesmos níveis de cinza não produz nenhum efeito, exceto onde há um gradiente entre pixels adjacentes. O efeito do filtro passa-baixas na imagem pode ser ilustrado considerando-se o caso em que um dos pixels é zero devido a um elemento ruim do sensor CCD utilizado para adquirir a imagem (figura 8.9). Todos os pixels adjacentes têm um valor alto. Após a convolução da imagem com o filtro passa-baixas, o elemento ruim é recuperado.

$$\begin{array}{ccc}
 & \begin{array}{cc} 7 & 7 \\ 7 & 7 \\ 7 & 7 \end{array} & \begin{array}{ccc} & & i \\ & & (\\ b) & 7 & \mathbf{0} & 7 & 7 \\ & 7 & & 7 & \end{array}
 \end{array}$$

Figura 8.9: Efeito do filtro passa-baixas sobre um elemento de ruído na imagem: (a) Imagem com o elemento de ruído; (b) Imagem após o filtro passa-baixas.

A figura 8.10 mostra o efeito do filtro passa-baixas sobre uma imagem capturada pelo sistema *YIDOEYES* que apresentava ruídos sob a forma de pontos brancos. Após a filtragem, esses pontos desapareceram completamente, melhorando a qualidade da imagem.

Realçar Bordas

A opção 6- **Realçar Bordas** do menu "Realçar Imagem" consiste na aplicação de um filtro de realce de bordas na imagem, através da convolução com a mesma de uma matriz 3x3 que tem as seguintes características [31.32]:

1. Os coeficientes podem ser positivos ou negativos; e
2. A soma de todos os coeficientes é igual a 1,

conforme mostra a figura 8.11.

O efeito da convolução da matriz da figura 8.11 sobre a imagem é o de *realçar* diferenças entre valores de pixels vizinhos. A soma dos coeficientes da matriz de convolução do filtro de realce de bordas é igual a 1 de modo a preservar o valor d.c. (ou seja, a média) dos níveis de cinza da imagem. O objetivo deste filtro é o de realçar bordas ou contornos da imagem, que se apresentam como componentes de altas frequências na imagem (já que os valores dos pixels adjacentes variam muito rapidamente). A aplicação da matriz da figura 8.11 a uma região da imagem onde todos os pixels têm os mesmos níveis de cinza não produz nenhum efeito, exceto onde há um gradiente entre pixels adjacentes. O efeito do filtro de realce de bordas na imagem pode ser ilustrado considerando-se a figura 8.12. Após a convolução da imagem com este filtro, o valor d.c. da imagem é retido e a componente de alta frequência espacial é amplificada.



b)

Figura 8.10: Efeito da suavização de uma imagem com ruídos: (a) Imagem original; (b) Imagem após a suavização.

A figura 8.13 mostra o efeito do filtro de realce de bordas sobre uma imagem capturada pelo sistema *VIDEOEYES*.

Convolução do Usuário

A opção **7- Convolução do Usuário** do menu "Realçar Imagem" oferece a possibilidade do usuário determinar com que matriz ele gostaria de fazer a convolução da imagem. Ela faz com que o sistema *VIDEOEYES* sirva como um mini-laboratório de processamento digital de imagem, pois o usuário pode observar o efeito da convolução de qualquer matriz de sua escolha na imagem.

$$\begin{bmatrix} 1 & 1 & 1 \\ 1 & 9 & 1 \\ 1 & 1 & 1 \end{bmatrix}$$

Figura 8.11: Matriz de convolução de um filtro passa-altas

$$\begin{bmatrix} 4 & 4 & 4 & 8 & 8 & 8 & 8 & 1 \\ 4 & 4 & 4 & 8 & 8 & 8 & 8 & \\ 4 & 4 & 4 & 8 & 8 & 8 & 8 & \\ 4 & 4 & 4 & 8 & 8 & 8 & 8 & \\ 4 & 4 & 4 & 8 & 8 & 8 & 8 & \\ 4 & 4 & 4 & 8 & 8 & 8 & 8 & \\ 4 & 4 & 4 & 8 & 8 & 8 & 8 & \end{bmatrix} \begin{bmatrix} x & x & x & x & x & x & x \\ z & 4 & 8 & 20 & 8 & 8 & z \\ x & 4 & 8 & 20 & 8 & 8 & x \\ x & 4 & 8 & 20 & 8 & 8 & x \\ x & 4 & 8 & 20 & 8 & 8 & x \\ x & x & x & x & x & x & x \end{bmatrix}$$

Figura 8.12: Efeito do filtro de realce de bordas sobre uma borda em uma imagem:(a) Imagem original; (b) Imagem após a convolução.

8.2.4 Filtro da Mediana

A opção **8- Filtro da Mediana** do menu "Realçar Imagem" faz a convolução da imagem com

$$\begin{bmatrix} r & í & í & 1 & 1 \\ 1 & 1 & 1 & & \\ 1 & 1 & 1 & & \end{bmatrix}$$

a matriz $\begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix}$, setando o elemento central da região 3×3 de convolução como sendo o 5-

maior elemento entre os nove elementos da região. Em outras palavras, dada uma região 3×3 da imagem original, o ponto central é tomado como sendo o 5º maior elemento desta região. O filtro da mediana tem um efeito bastante parecido com o de um filtro passa-baixas, suavizando diferenças de níveis de cinza entre pixels adjacentes[31]. A figura 8.14 mostra o efeito do filtro da mediana aplicado a uma imagem captada pelo sistema *VIDEOEYES*. É interessante comparar o resultado mostrado na figura 8.14-(b) com o mostrado na figura 8.10-(b).

8.2.5 Equalização do Histograma

A opção **9- Equalização do Histograma** do menu "Realçar Imagem" é uma transformação que distribui os níveis de cinza dos pixels de uma imagem pela escala de valores possíveis de maneira uniforme, podendo ter um efeito considerável na qualidade da imagem[31].

Por histograma de uma imagem entende-se a distribuição dos pixels na escala de níveis de cinza. A qualidade de uma imagem depende muito da maneira como os pixels estão distribuídos nessa escala de níveis. Alterando-se a distribuição dos pixels, ou seja, o histograma da imagem, pode-se afetar bastante sua qualidade. A equalização do histograma é uma transformação que procura distribuir uniformemente os pixels de uma dada imagem pela escala de níveis de cinza, conforme

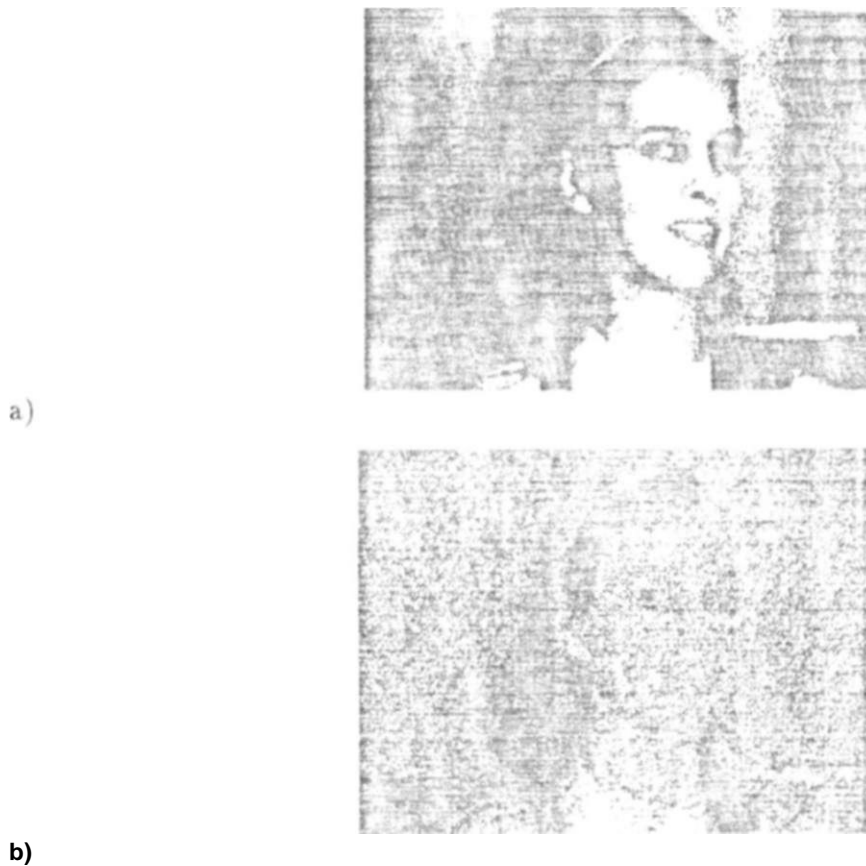


Figura 8.13: Efeito do filtro de realce de bordas sobre uma imagem: (a) Imagem original; (b) Imagem após o realce das bordas.

mostra a figura 8.15.

8.2.6 Meios Tons

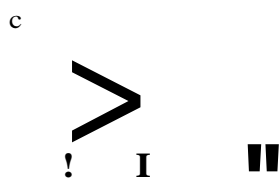
A opção **10- Meios Tons** do menu "Realçar Imagem" consiste em simular os níveis de cinza da imagem capturada com máscaras binárias de densidade de pixel, pretos em relação a pixels brancos proporcional ao nível médio de cinza da região em consideração na imagem[33].

O sistema *VIDEOEYES* utiliza 26 máscaras de tamanho 5x5, com densidades de pixels pretos que variam desde 0 a 25, para substituir regiões de mesmo tamanho na imagem presente na memória. As máscaras utilizadas seguem o arranjo das faces de um dado. A operação é feita calculando-se o nível médio de cinza de uma dada região de *bio* pixels da imagem, dividindo-se esse nível médio por 10 e substituindo-se a região pela máscara binária de densidade de pixels pretos correspondente.

A finalidade desta técnica é a de possibilitar a impressão da imagem capturada e/ou processada, visto que não é possível obter-se tonalidades diferentes da impressora, uma vez que não se pode



a)



b)

Figura 8.14: Efeito do filtro da mediana sobre uma imagem com ruídos: (a) Imagem original; (b) Imagem após a convolução com o filtro da mediana.

controlar a quantidade de tinta transferida por cada agulha da impressora para o papel. A figura 8.16 mostra uma imagem representada em meios tons.

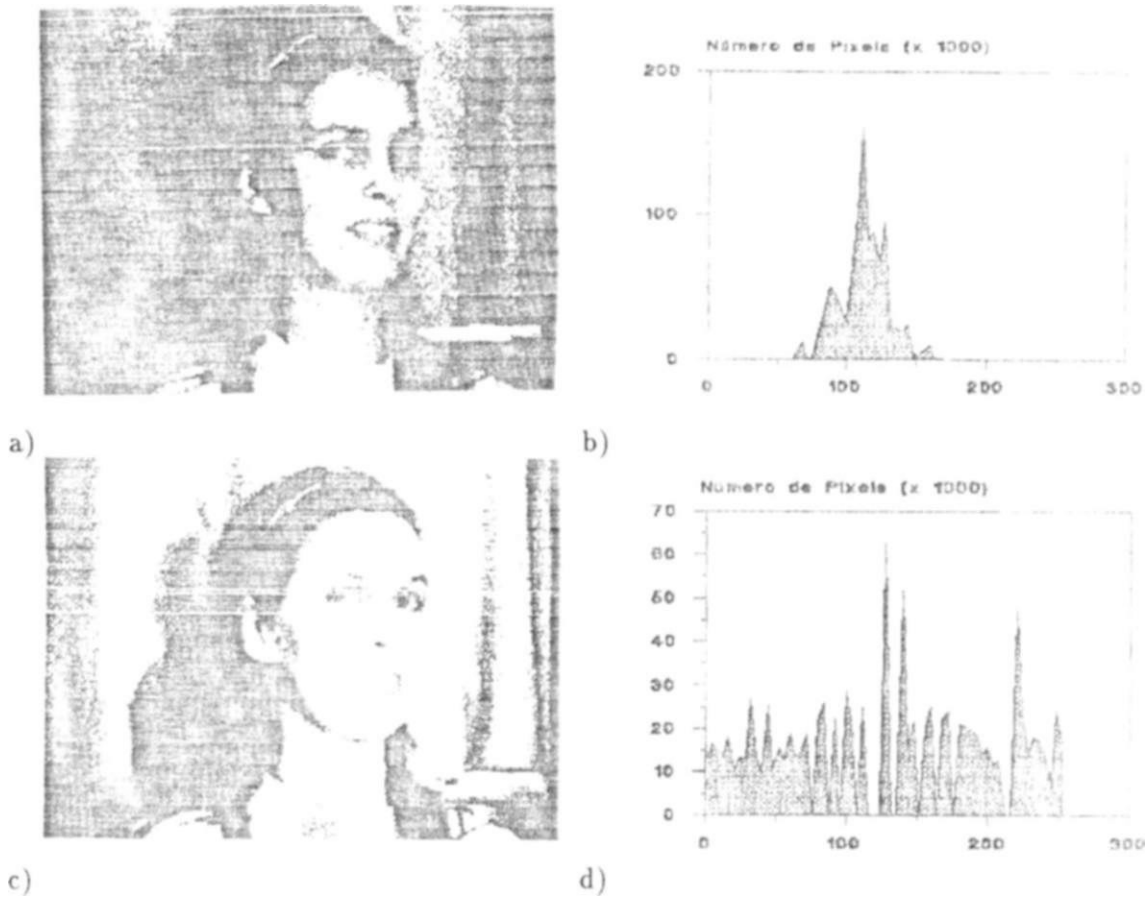


Figura 8.15: Efeito da equalização do histograma de uma imagem captada pelo sistema *VIDEOEYES*: (a) Imagem original; (b) Histograma da imagem original; (c) Imagem equalizada; (d) Histograma equalizado. ^{^^^..>N£:r>|^}

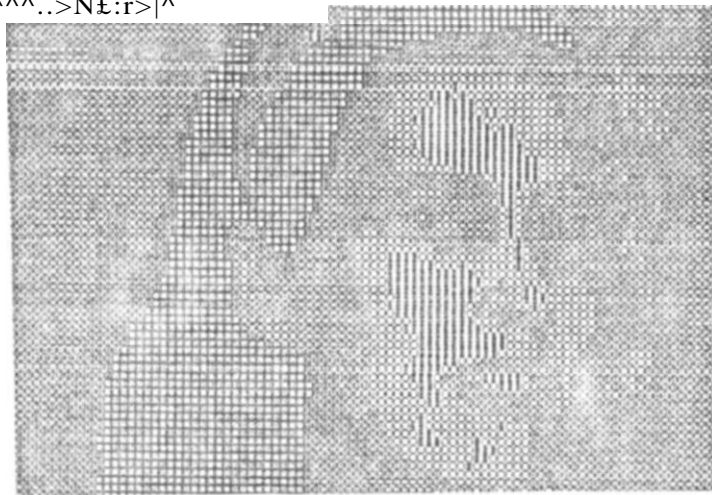


Figura 8.16: Simulação binária dos níveis de cinza segundo a técnica dos meios tons. A imagem original, com 256 níveis de cinza, é representada utilizando-se 26 máscaras de tamanho 5x5.

Capítulo 9

Conclusões

Um sistema de leitura de amostras em microscópios ópticos foi desenvolvido com o intuito de automatizar o procedimento de diagnóstico de doenças detectáveis por este tipo de exame.

Apesar da aplicação que motivou este trabalho ter sido o exame de detecção da filariose, o sistema é acreditado ser útil para quaisquer aplicações que envolvam a leitura de lâminas contendo amostras em microscópios ópticos, com modificações mínimas de hardware e de software a serem feitas, dependendo das características da aplicação[34].

A concepção do sistema foi baseada no procedimento de leitura de lâminas com amostras sanguíneas para a detecção de filariose, e o projeto feito de modo a minimizar as dificuldades de execução dos exames.

De modo a minimizar o desconforto visual do examinador, uma câmera de vídeo foi acoplada ao microscópio utilizado para a leitura das amostras, e as imagens passaram a serem observadas em um monitor de TV. A escolha do tipo de câmera a ser utilizado levou em conta as características das imagens a serem observadas: imagens de grande intensidade luminosa e alto brilho. Estas características contra-indicam o uso de câmeras com tubos de imagem a vácuo, como as do tipo vidicon, devido ao problema da marcação ou até mesmo queima do material fotossensível. Sem apresentar estes problemas, as câmeras de estado sólido apresentam como vantagem o posicionamento preciso dos elementos fotosensores, tornando-as extremamente adequadas em aplicações que envolvam medidas de tamanho e distância na imagem[34].

O acoplamento de motores de passo ao mecanismo de movimentação da mesa X-Y do microscópio e ao seu mecanismo de ajuste de foco conferiu ao sistema o posicionamento preciso da lâmina em inspeção sob as lentes objetivas, permitindo também a marcação deste posicionamento como forma de orientar o operador.

O uso de uma unidade de controle remoto constituída de um teclado dedicado e um display auxiliar proporcionou o conforto e a facilidade de operação do sistema.

O emprego de um microcontrolador simplificou o projeto do hardware, ampliou o seu poder de processamento. Este microcontrolador atua como elemento de controle inteligente do sistema,

indispensável para a sua automação. A disponibilidade do canal de comunicação serial permitiu uma forma de interação simples e ágil com um microcomputador do tipo IBM-PC.

O desenvolvimento de um circuito de aquisição e digitalização de imagens veio completar os requisitos necessários à automação completa do sistema. A simplicidade de construção, o baixo custo e a boa qualidade da imagem capturada pelo digitalizador estenderam seu uso às mais diversas aplicações.

O sistema ainda não foi testado em uso cotidiano em laboratórios de análises clínicas, mas os testes realizados durante o seu desenvolvimento indicam uma grande potencialidade para que ele venha a ser uma excelente ferramenta para a obtenção de diagnósticos rápidos, confiáveis e de baixo custo de realização.

9.1 Sugestões para trabalhos futuros

As sugestões para trabalhos futuros se concentram mais na aplicação do sistema desenvolvido não só no exame de detecção da filariose, mas também em outros tipos de diagnósticos tais como: exame de fezes, identificação de células, densitometria e análise histoquímica. As particularidades de cada aplicação determinarão os tipos de melhoramentos a serem feitos no sistema.

O desenvolvimento de um digitalizador de imagens colorido pode ter diversas aplicações no uso em conjunto com o sistema, especialmente em colorimetria.

Atualmente, as características de imobilidade da imagem, aliadas ao longo tempo de processamento requerido para o processamento digital, identificação e contagem dos aspectos de interesse na amostra não justificam o investimento em um digitalizador mais rápido ou até mesmo em tempo real. A medida em que o tempo necessário desde a aquisição da imagem até a emissão do diagnóstico for diminuindo devido à melhoria da performance dos algoritmos de processamento de imagem, a necessidade de se considerar o desenvolvimento de um digitalizador mais rápido irá surgir.

Parte II

Apêndices

4.6	Vista axial de um motor de passo do tipo ímã permanente	41
4.7	Sequência de energização dos enrolamentos de um motor de passo do tipo ímã permanente.	42
4.8	Diagrama de conexões de um motor de passo do tipo ímã permanente e sua sequência de chaveamento.	42
4.9	Diagrama de conexões de um motor de passo bifilar e sua sequência de chaveamento.	43
4.10	Curvas do torque de corrida de um motor bifilar e um motor de passo do tipo ímã permanente de 2 fases. O motor bifilar possui um torque menor a baixas velocidades, mas o mesmo cai muito mais lentamente à medida em que a velocidade cresce em relação ao motor de ímã permanente comum.	44
4.11	Diagrama bipolar simplificado de um motor de passo. Este tipo de acionador requer duas fontes de alimentação para operar o motor.	45
4.12	Configuração do acionador H para uma fase. Ligando-se alternadamente os pares de chaves, a direção da corrente no enrolamento é revertida. Este método requer quatro transistores por fase.	45
4.13	Configuração do acionador simplificado para metade de um motor bifilar. As chaves são acionadas alternadamente, fazendo com que a corrente flua em uma fase por vez. Cada vez que os transistores chaveam, a polaridade magnética do enrolamento ligado é revertida. O acionador requer outro grupo de chaves para a outra fase do motor.	46
4.14	Esquema do acionador para um motor de passo do tipo relutância variável de 3 fases. Como não há magnetos permanentes em seu interior, apenas uma fonte de alimentação é necessária	46
4.15	Diagramas de conexão para vários motores. A linha pontilhada em cada configuração indica uma conexão interna quando menos fios são trazidos para fora do motor.	47
4.16	Acionador simples para um motor de passo bifilar de 4 fases.	47
4.17	Acionador com resistência série limitadora	48
4.18	Três tipos de acionadores de alta performance: (a) Fonte de alimentação dual, que desliga a alta tensão quando a corrente nos enrolamentos tiver crescido; (b) aproximação por fonte chaveada que aumenta a tensão nos enrolamentos à medida em que a velocidade do motor cresce; (c) Configuração "Chopper" que aplica uma alta tensão aos enrolamentos para aumentar a corrente rapidamente e então a desliga quando uma corrente pré-determinada for atingida	49
4.19	Transiente de chaveamento em um enrolamento desprotegido. Quando a chave tenta abrir no instante T_1 , o enrolamento do motor força a tensão a subir de modo a manter a mesma corrente	50

Apêndice A

Programador de Baixo Custo do Microcontrolador 8751

A utilização do microcontrolador 8751 no *Sistema Automático de Leitura de Amostras em Microscópios Ópticos* originou a necessidade do desenvolvimento de uma interface de leitura/programação do microcontrolador 8751 utilizando um microcomputador do tipo IBM-PC[35].

Esta interface tem por base um microcontrolador do tipo 8048, que comunica-se serialmente com o PC através de sua interface serial, e tem as seguintes funções básicas:

- receber um comando do PC:
 - Ler a EPROM do 8751;
 - Gravar dados na EPROM do 8751;
 - Gravar o Bit de Proteção do 8751.
- executar o comando recebido, indicando ao PC alguma eventual condição de erro;
- receber bytes de dados do PC;
- enviar bytes de dados ao PC;
- aguardar novo comando.

Como o controle da interface de Leitura/Programação é feito pelo microcontrolador 8048, as funções acima citadas podem ser melhor visualizadas analisando-se o fluxograma simplificado para o microcontrolador 8048, mostrado na Figura A.1.

O PC atua como mestre do sistema, e tem por funções básicas:

- receber seleção de comando do usuário:

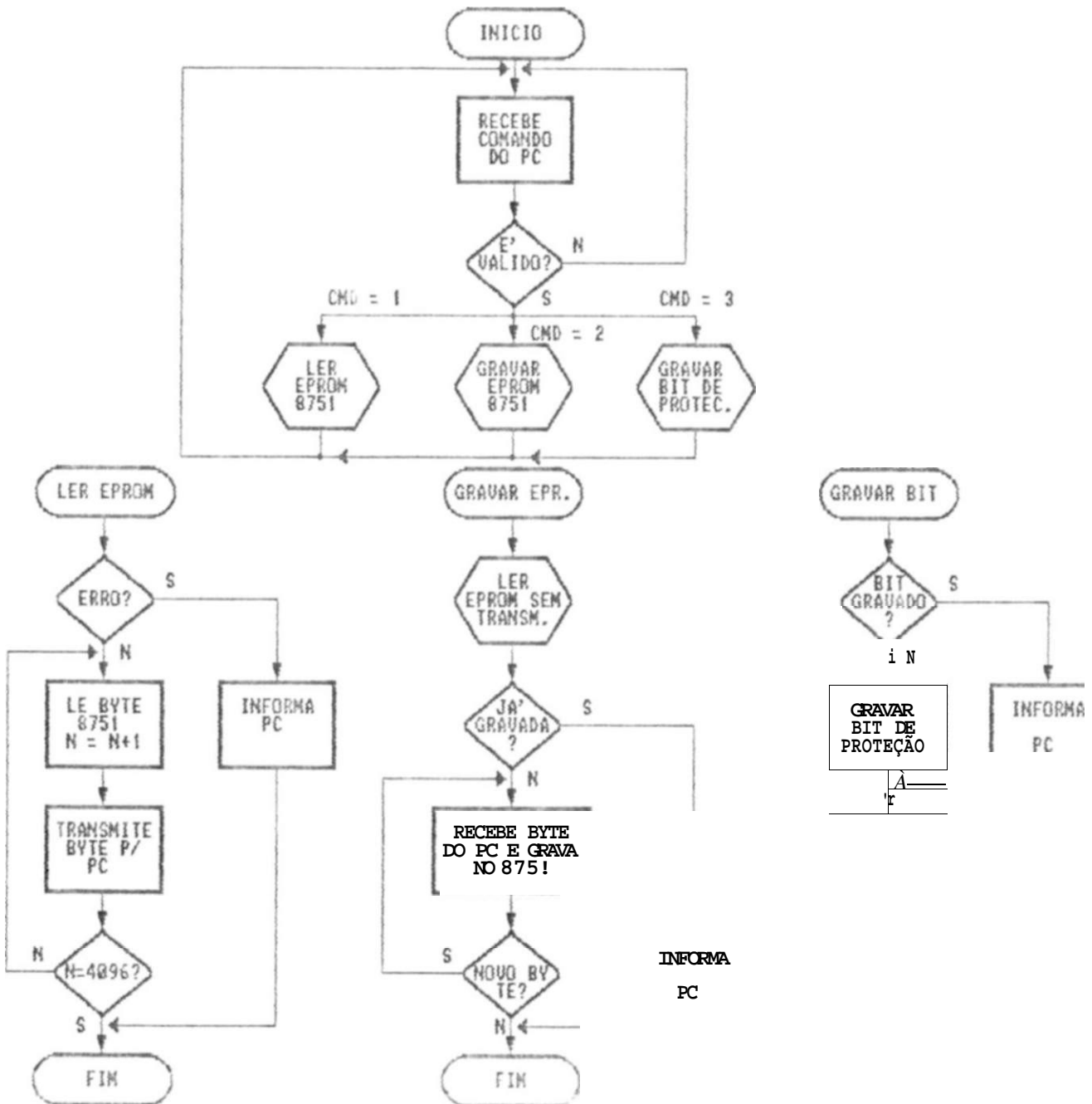


Figura A.1: Fluxograma simplificado das funções do microcontrolador 8048

- Ler a EPROM do 8751;
 - Verificar EPROM;
 - Gravar EPROM;
 - Conferir Programação;
 - Gravar Bit de Proteção;
 - Finalizar.
- enviar comando ao 8048:
 - Ler a EPROM do 8751;
 - Gravar dados na EPROM do 8751;
 - Gravar o Bit de Proteção do 8751.
 - identificar alguma eventual sinalização de erro e informar o usuário;
 - enviar bytes de dados ao 8048;
 - receber bytes de dados do 8048;
 - ler ou gravar arquivos de bytes com o conteúdo da EPROM do 8751;

O fluxograma simplificado ilustrando as funções do PC é mostrado na Figura A.2.

Neste apêndice é feita uma descrição do hardware do programador, ressaltando-se a sua simplicidade e baixo custo.

A.1 O Circuito

O hardware da Interface de Leitura/Programação do 8751 foi contruído de acordo com o pré-requisito de que fosse um sistema de fácil conexão e desconexão com o PC, de modo a não ser necessária a utilização de um slot de I/O do micro. A opção feita foi a de ser utilizada a interface de comunicação serial do PC, visto que a interface de comunicação paralela dispõe de poucos pinos de entrada.

Esta opção pela interface serial implicou na necessidade de um hardware inteligente capaz de identificar um comando enviado pelo PC, receber e/ou transmitir bytes do/para o PC e ainda gerar todos os sinais de endereços, controle e temporização para a leitura ou gravação da EPROM do 8751. Para este processo inteligente de comunicação escolhemos então o microcontrolador 8048 (8748 durante a fase de desenvolvimento), que é um microcontrolador de baixo custo e de poderosa aplicação em sistemas de controle.

A Figura A.3 mostra o diagrama em blocos da interface.

Objetivo

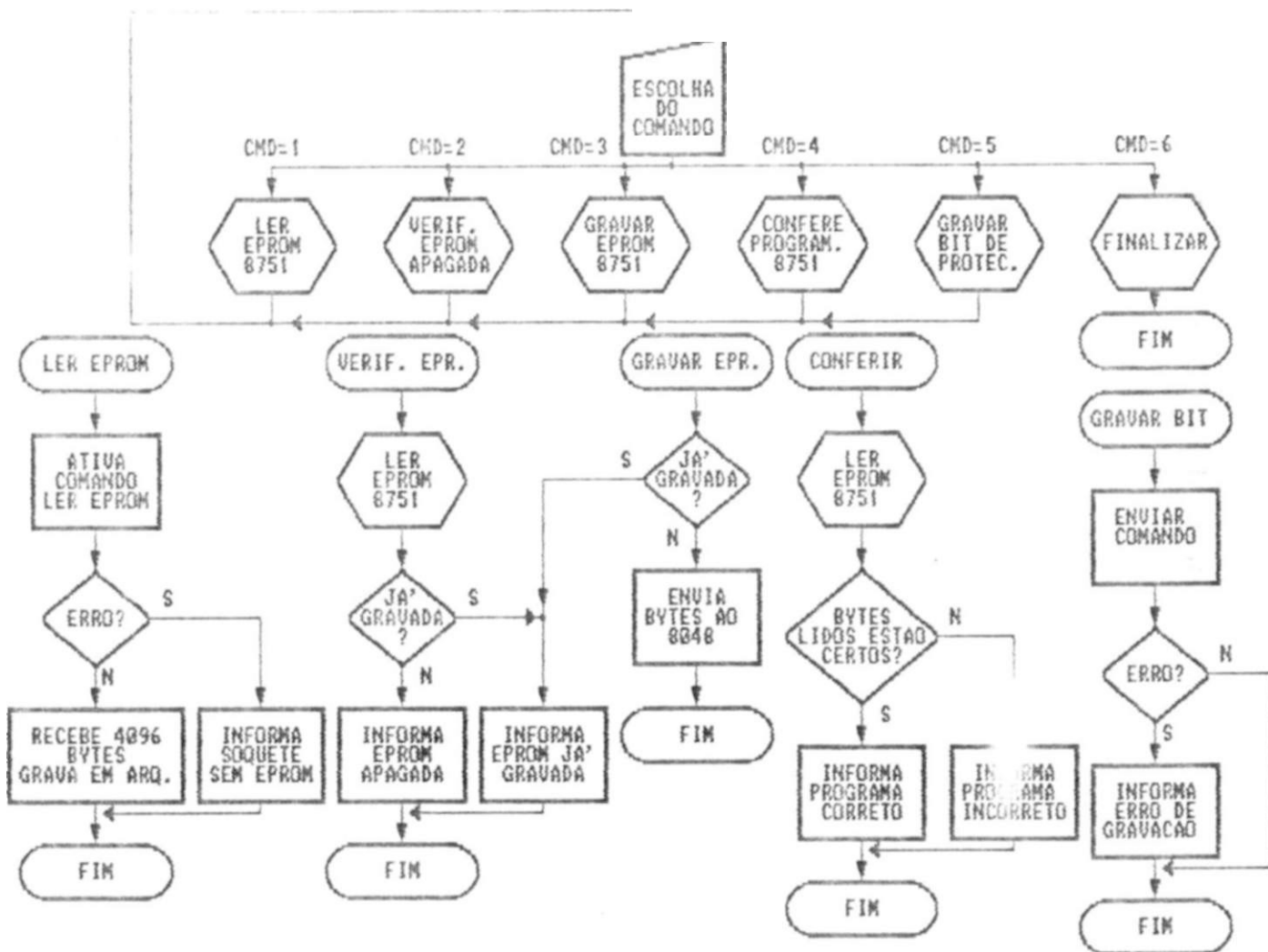


Figura A.2: Fluxograma simplificado das funções do microcomputador PC

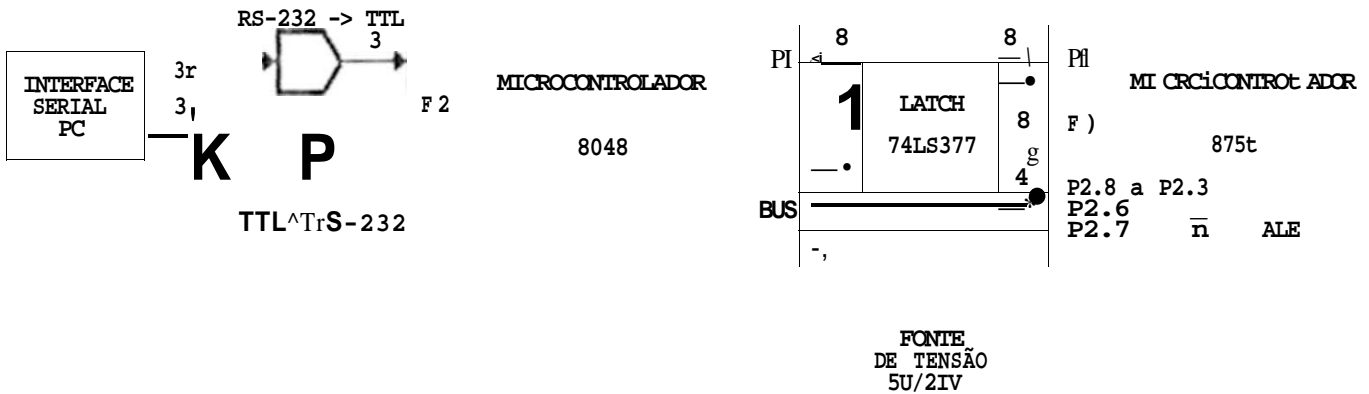


Figura A.3: Diagrama em blocos da Interface de Leitura/Programação do 8751 via PC

A.1.1 Interface de Comunicação Serial do PC

Foi utilizada a interface de comunicação serial do PC para a comunicação entre este e o microcontrolador 8048, através dos seguintes pinos:

- Pino 1** Terra do PC (chassis);
- Pino 2** TxD — Transmissão do PC;
- Pino 3** RxD — Recepção do PC;
- Pino 4** RTS — Request To Send;
- Pino 5** — CTS — Clear To Send;
- Pino 6** - DSR — Data Set Ready;
- Pino 7** Terra do Sinai;
- Pino 20** — DTR — Data Terminal Ready;

O pino 2 é o pino pelo qual o PC transmite os bytes a serem gravados na EPROM do 8751, enquanto que o pino 3 é aquele pelo qual o 8048 envia os bytes lidos da EPROM do 8751 para o PC. Os pinos 4, 5, 6, e 20 são utilizados para estabelecer o protocolo de comunicação entre o PC e o microcontrolador 8048, conforme mostra a Tabela A.1.

O comando e leitura dos sinais envolvidos no protocolo de comunicação são feitos por software, segundo o endereço de cada um deles na interface serial. Estes endereços são fornecidos nos comentários do programa do PC.

<i>in s</i>	<i>DTR</i>	<i>Comando</i>	<i>Obsc rvações</i>
0	0	Gravar EPROM	<i>CTS</i> = 1 pausa a transmissão do PC para o 8048
0	1	Gravar Bit de Proteção	<i>CTS</i> = 1 indica o reconhecimento do comando e pausa o PC
1	0	Ler EPROM	<i>DTR</i> = 1 pausa a transmissão do 8048 para o PC
1	1	Estado Inativo	Em todos os casos <i>DSR</i> = 1 indica erro de operação.

Tabela A.1: Protocolo de comunicação entre o PC e o microcontrolador 8048

emTRPC-C, SOÍ A. PC-XT

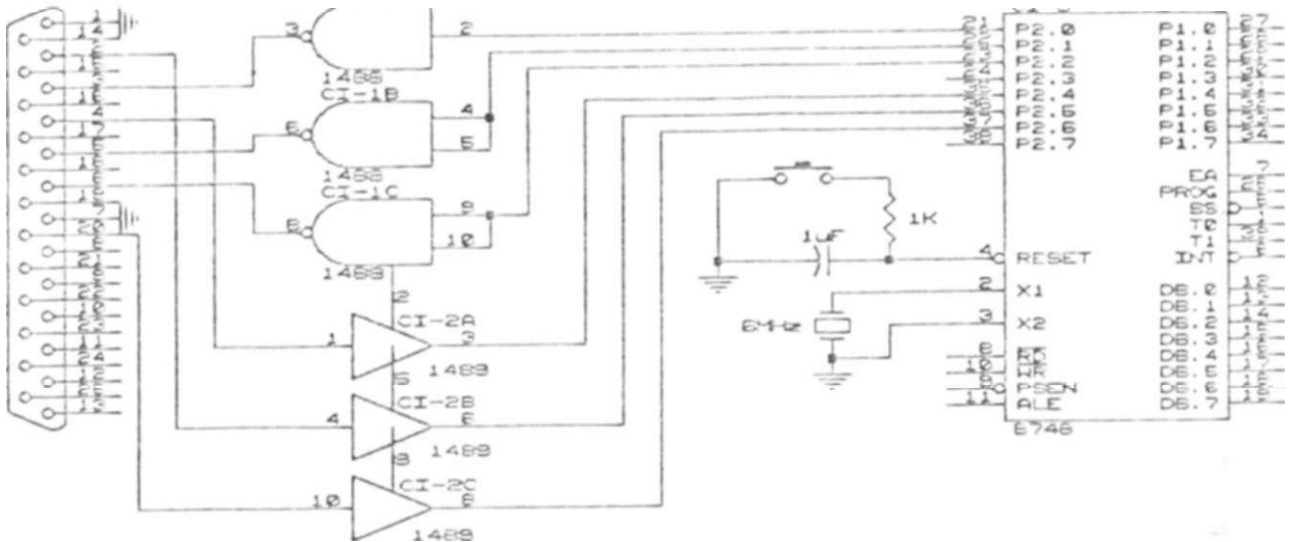


Figura A.4: Conversão TTL-RS-232

Para tornar os sinais compatíveis em relação aos níveis TTL—RS-232. foram utilizados dois CFs conversores: o 1488. para a conversão TTL—RS-232. que converte os sinais de saída do microrontrolador 8048 para o PC (*RxD*, *CTS* e *DSR*) e o 1489. para a conversão RS-232—TTL, que converte os sinais vindos do PC (*TxD*. *RTS* e *DTR*). Estes sinais foram conectados ao pórtico P2 do 8048. conforme mostra a Figura A.4.

A.1.2 Programação da EPROM do 8751

A programação do microcontrolador 8751 é feita de acordo com uma seqüência pré-definida. O endereço do byte a ser lido ou gravado deve ser aplicado ao pórtico PI e aos pinos P2.0 a P2.3 do pórtico P2, e o byte a ser lido ou gravado, no pórtico PO.

Conforme mostra a Figura A.5, os bytes a serem gravados na EPROM do 8751 são aplicados

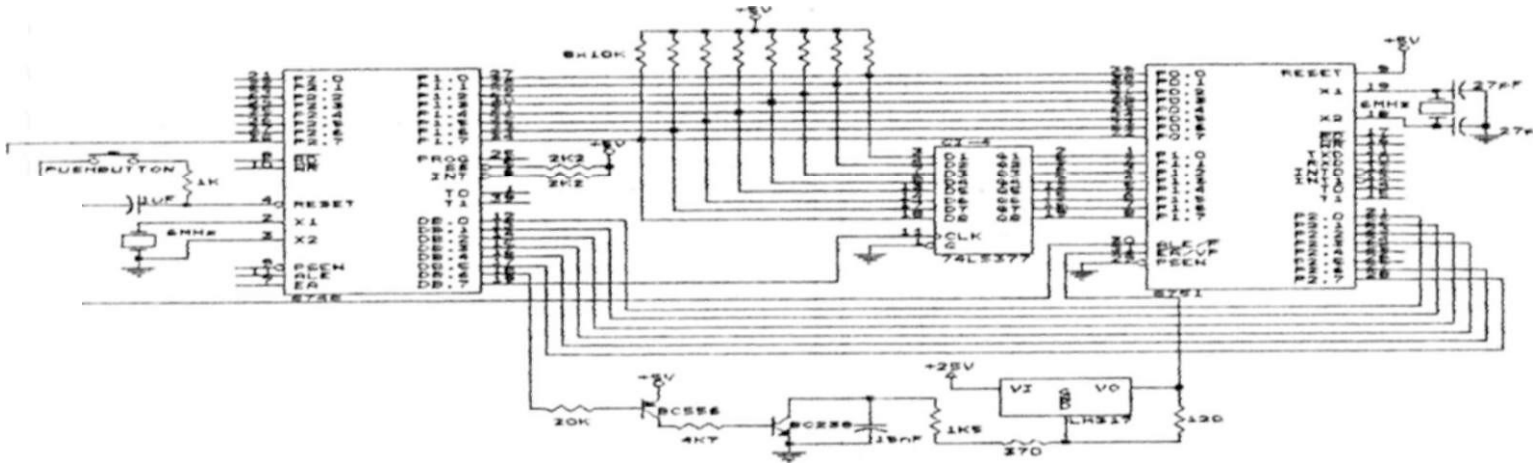


Figura A.5: Hardware de Leitura/Gravação do 8751

P2.6	P2.7	Função
0	0	Ler EPROM
0	1	Gravar EPROM
1	0	Inválida
1	1	Gravar Bit de Proteção

Tabela A.2: Programação dos pinos P2.6 e P2.7 conforme a função desejada

pelos pínos PI do microcontrolador 8048, ou são lidos através deste mesmo pínico no caso da leitura da EPROM do 8751, desta feita com o auxílio de resistores de pull-up, pois o pínico PO do 8751 é do tipo dreno aberto. O endereço do byte a ser lido ou gravado é aplicado ao pínico PI do 8751 através de um latch de sustentação do tipo 74377, e é complementado no pínico P2 por quatro linhas vindas do BUS do 8048. O BUS é ainda responsável pelo comando das linhas P2.6 e P2.7 do pínico P2 do 8751, as quais têm suas funções indicadas na Tabela A.2, pelo chaveamento da tensão do pino EA do 8751 o qual, no modo de programação, deve estar com uma tensão de +21V, e ainda pelo pulso de clock do latch de sustentação do endereço no pínico PI do 8751.

A fonte de alta tensão foi implementada com um regulador ajustável de tensão do tipo LM317T. A tensão de 1.25V entre os pínos Vout e Adj do LM317 determina uma corrente de aproximadamente 10mA no resistor de 120Ω e, conseqüentemente, uma tensão no pino EA do 8751 de +5V quando o transistor BC238 está saturado, e de +20.5V quando o transistor está cortado. O capacitor de 2nF evita um pico de tensão no pino EA quando o transistor chaveia da saturação para o corte.

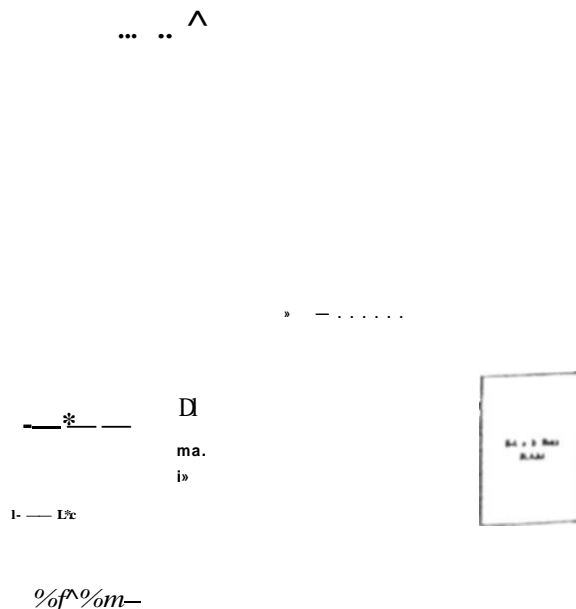


Figura A.6: Diagrama em blocos do 8048.

Com o 8751 no modo de gravação, a tensão no pino *EA* deve ser de +21V e. uma vez o endereço e o byte são aplicados no 8751, um pulso negativo de 50ms de duração é aplicado no pino ALE do 8751. Este pulso negativo é comandado pelo 8048 através do pino P2.7 de seu pórtico P2. Em respeito à temporização do 8751. deve haver um intervalo de 10µs para a estabilização do endereço e do dado a ser gravado antes e após o pulso no pino ALE.

O bit de proteção, que tem a finalidade de vetar a leitura dos dados gravados na EPROM do 8751, é gravado colocando-se P2.6 e P2.7 em nível lógico 1, aplicando-se +21V ao pino *EA* e aplicando-se um pulso negativo de 50ms de duração no pino ALE.

A.1.3 Microcontrolador 8048

A série de microcontroladores de 8 bits foi desenvolvida para competir em um mercado de baixo custo e grande volume de aplicações. O 8048 é constituído de um microprocessador (Registros + ALU), 2 PORT's programáveis de I/O, um BUS de 8 bits bidirecional. 1 kByte de memória PROM (podendo ser estendida para 4 kBytes mediante dispositivos externos) e 64 bytes de memória RAM (podendo ser estendida para 320 bytes mediante dispositivos externos). Com um clock externo de 6 MHz, o ciclo de máquina do 8048 é de 2,5 µs, podendo cada instrução gastar 1 ou 2 ciclos. Estas características do 8048 permitiram utilizar uma taxa de transmissão/recepção de 19200 Bauds para a comunicação com o PC. A figura A.G mostra o diagrama em blocos interno do 8048.

A.2 O Software

Dois programas foram desenvolvidos para o sistema de Leitura/Programação do 8751. Um, em linguagem Pascal, para o microcomputador PC, com a finalidade de programar a interface serial do PC e servir de meio de comunicação entre o usuário e a interface de Leitura/Programação propriamente dita, conforme visto no fluxograma da figura A.2. O outro, escrito em linguagem Assembler do microcontrolador 8048, com a finalidade de comandar o hardware da interface e fazer a comunicação serial com o PC, conforme mostrado na figura A.1. As listagens de ambos os programas podem ser encontradas em [36].

A.3 Conclusões

Um sistema poderoso e de baixo custo para a Leitura/Programação do microcontrolador 8751 foi obtido como uma excelente alternativa aos sistemas de desenvolvimento importados.

A introdução do microcontrolador 8048 como elemento gerenciador de todas as funções do hardware do sistema resultou que o mesmo pudesse ser extremamente compacto porém muito versátil.

A taxa de transmissão/recepção chegou a um "limite" de 19200 Bauds devido ao ciclo de máquina do 8048 ser de 2,5//s. Uma ressalva a ser feita é que a função de EPROM apagada poderia ser feita pelo 8048, ao invés de ser feita pelo PC. O problema é que não há mais linhas de I/O disponíveis no 8048 que permitissem esta mudança.

4.20	Circuitos de supressão para um motor de passo. As técnicas mostradas permitem: (a) uso de transistores de baixa tensão; (b) aumento da performance do motor; (c) combinação dos dois.	51
5.1	Detalhe do acoplamento dos motores de passo X e Y ao sistema de movimentação da mesa do microscópio, mostrando os sistemas parafuso sem-fim e coroa dentada utilizados.	55
5.2	Dimensionamento do conjunto parafuso sem-fim e coroa dentada utilizados no acoplamento dos motores de passo ao microscópio.	56
5.3	Detalhe do acoplamento de um motor de passo ao mecanismo de ajuste de foco do microscópio óptico.	58
5.4	Modelo simplificado para o cálculo do torque do motor de passo. A carga do motor é considerada como um bloco inteiriço de massa M	58
5.5	Sequência de acionamento do motor de passo utilizado no sistema. A sequência 1-2-3-4 representa a rotação do eixo do motor no sentido horário, e a sequência 1-4-3-2 representa sua rotação no sentido anti-horário.	60
5.6	Máquina sequencial implementada para gerar a sequência de acionamento dos motores de passo.	61
5.7	Circuito de acionamento dos motores de passo por fonte de tensão. Observe-se que não foram utilizadas as resistências de limitação em série com os enrolamentos do motor.	62
5.8	Circuito de detecção de fim-de-curso para os três motores de passo.	63
5.9	Unidade de controle remoto do Sistema Automático de Leitura de Amostras em Microscópios Ópticos.	63
5.10	Interfaceamento entre o display Alfacom e o microcontrolador 8051.	65
5.11	Interfaceamento entre o teclado dedicado e o microcontrolador 8051.	66
5.12	Interface de comunicação serial. Para a conversão de níveis TTL \leftrightarrow RS-232C, foram utilizados os circuitos integrados 1488 e 1489.	68
5.13	Lâmina contendo uma amostra sanguínea preparada para o exame contra a filariose.	70
7.1	Amplificador isolador do tipo seguidor de emissor utilizado na entrada do digitalizador de vídeo.	87
7.2	Circuito de restauração do nível de preto do sinal de vídeo.	87
7.3	Separação de sincronismo do sinal de vídeo.	88
7.4	Conversão A/D do sinal de vídeo.	89

Apêndice B

Dados Técnicos dos Principais Componentes

Este apêndice traz os dados técnicos dos principais componentes utilizados no projeto do *Sistema Automático de Leitura de Amostras em Microscópios Ópticos*, a saber:

- Microcontroladores 8051 AH/8751 H;
- Conversor A/D ADC0820;
- Conversor D/A DAC0808; e
- Separador de Sincronismo de Vídeo LM 1881.

B.1 Microcontroladores 8051AH/8751H

irrtef

PREU53KAHY

MCS&-51 8-BIT CONTROL-ORIENTED MICROCOMPUTERS

8031/8051
8031 AH/8051 AH
8032AH/8052AH
8751 H/8751 H-12/8751 H-88

- High Performance HMOS Process
- Internal Timers/Event Counters
- 2-Level Interrupt Priority Structure
- 32 I/O Lines (Four 8-Bit Ports)
- 64K Program Memory Space
- Boolean Processor
- Bit-Addressable RAM
- Programmable Full Duplex Serial Channel
- 111 Instructions (64 Single-Cycle)
- 64K Data Memory Space
- Security Feature Protects EPROM Parts Against Software Piracy

The MCS[®]-51 products are optimized for control applications. Byte-processing and numerical operations on small data structures are facilitated by a variety of fast addressing modes for accessing the internal RAM. The instruction set provides a convenient menu of 8-bit arithmetic instructions, including multiply and divide instructions. Extensive on-chip support is provided for one-bit variables as a separate data type, allowing bitwise manipulation and testing in control and logic systems that require Boolean processing.

Device	Internal Memory		Timers/ Event Counters	Interrupts
	Program	Data		
8051 AH	8K x 8 ROM	256 x 8 RAM	3 x 16-Bit	6
8051 AH	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8051	4K x 8 ROM	128 x 8 RAM	2 x 16-Bit	5
8032AH	none	256 x 8 RAM	3 x 16-Bit	6
8031 AH	none	128 x 8 RAM	2 x 16-Bit	5
8031	none	128 x 8 RAM	2 x 16-Bit	5
8751H	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5
8751H-12	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5
8751 H-88	4K x 8 EPROM	128 x 8 RAM	2 x 16-Bit	5

The 8751H is an EPROM version of the 8051 AH; that is, the on-chip Program Memory can be electrically programmed, and can be erased by exposure to ultraviolet light. It is fully compatible with its predecessor, the 8751-8, but incorporates two new features: a Program Memory Security bit that can be used to protect the EPROM against unauthorized read-out, and a programmable baud rate modification bit (SMOD). SMOD is not present in the 8751 H-12 or the 8751 H-88. The 8751 H-88 also only operates up to 8 MHz.

inter

8031/8051 • 8031 AH/8051 AH
8032AH 8052AH • 8751H/8751 H-1278751 H-88

PREURMNRV

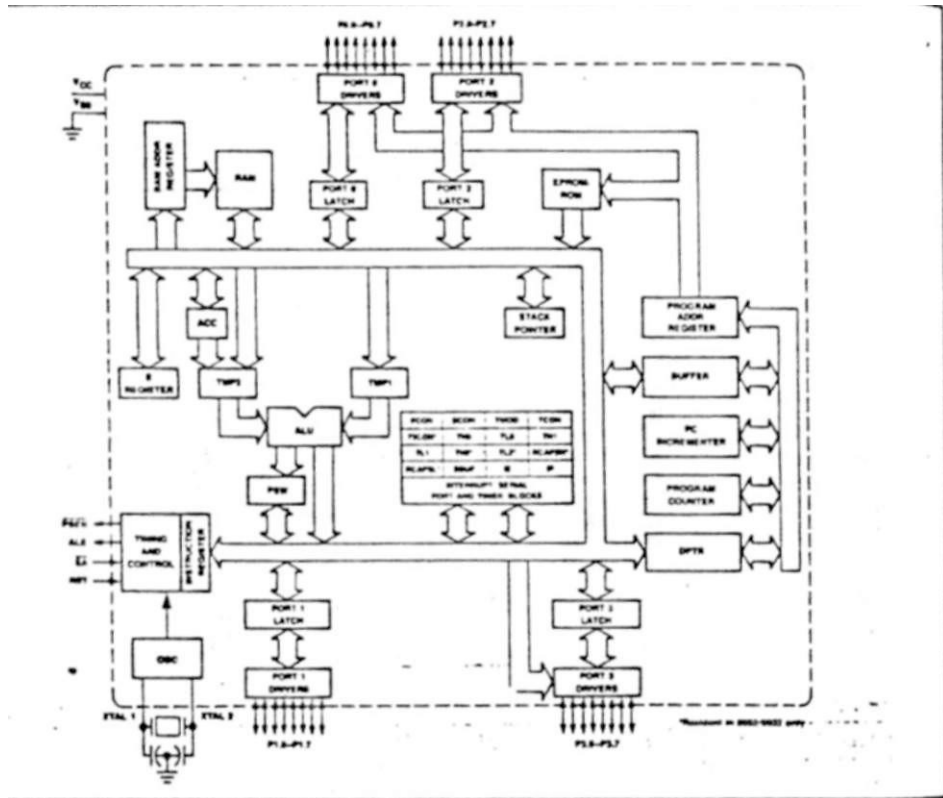


Figure 1. MCS-51 Block Diagram

PIN I SCRIPTIONS

VCC

Supply voltage.

VSS

Circuit ground.

Port 0

Port 0 is an 8-bit open drain bidirectional L'O port. As an output port each pin can sink 8 LS TTL inputs. Port 0 pins that have 1s written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal puliups when emitting 1s. and can source and sink 8 LS TTL inputs.

Port 0 also receives the code bytes during programmng of the EPROM pans, and outputs the code byte* during program verification of the ROM and EPROM* parts. External puliups are required during program verification.

Port 1

Port 1 is an 8-bit bidirectional I/O port with inter™ puliups. The Port 1 output buffers can sink/source LS TTL inputs. Port 1 pins that have 1s written l them are pulled high by the internal puliups. and l that state can be used as inputs. As inputs. Po'' pins that are externally being pulled low will sou* current (IIL, on the data sheet) because of the intern puliups.

Port 1 also receives the low-order address bytes & ing programming of the EPROM parts and diH program verification of the ROM and EPROM p»"



8031/8051 • 8031AH/8051AH
8032AH/8052AH • 8751H 8751H-1278751H-88

PRELCSÁÍtfíAIRiY

& OS2W32 ONLY

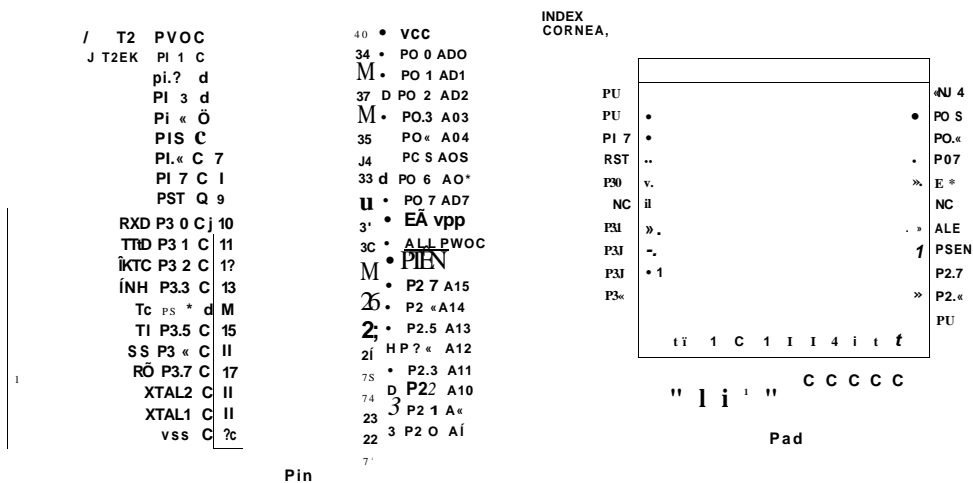


Figure 2. MCS-51 Connections

the 8032AH and 8052AH. Port 1 pins P1.0 and 11.1 also serve the T2 and T2EX functions, respectively.

on 2

Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source 4 mA TTL inputs. Port 2 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (IIL on the data sheet) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX (a DPTR)). In this application it uses strong internal pullups when emitting 1s. During accesses to external Data Memory that use 8-bit addresses (MOVX (5 Ri)), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits during programming of the EPROM parts and during program verification of the ROM and EPROM parts.

Port 3

Port 3 is an 8-bit bidirectional I/O port with internal pullups. The Port 3 output buffers can sink/source 4 mA TTL inputs. Port 3 pins that have 1s written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (IIL on the data sheet) because of the pullups.

Port 3 also serves the functions of various special features of the MCS-51 Family, as listed below:

Port Pin	Alternative Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	TO (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	WA ⁿ (external data memory write strobe)
P3.7	RD (external data memory read strobe)



8031/8051 • 8031AH/8051AH
8032AH/8052AH • 8751H/8751H-12/8751H-88

RST

Reset Input. A high on this pin (or two machine cycles while the oscillator is running) resets the device.

ALE/PROG

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. ALE can drive 8 LS TTL inputs. This pin is also the program pulse input (PROG) during programming of the EPROM parts.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external Data Memory.

PSEN

Program Store Enable is the read strobe to external Program Memory. PSEN can drive 8 LS TTL inputs.

When the device is executing code from external Program Memory, PSEN is activated twice each machine cycle, except that two PSEN activations are skipped during each access to external Data Memory.

EA/VPP

External Access enable EA must be externally held low in order to enable any MCS-51 device to fetch code from external Program Memory locations 0 to 0FFFH (0 to 1FFFH in the 8032AH and 8052AH).

Note, however, that if the Security Bit in the EPROM devices is programmed, the device will not fetch code from any location in external Program Memory.

This pin also receives the 21V programming supply voltage (WPP) during programming of the EPROM parts.

XTAL1

Input to the inverting oscillator amplifier.

XTAL2

Output from the inverting oscillator amplifier.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 3. Either a quartz crystal or ceramic resonator may be used. More detailed information concerning the use of the on-chip oscillator is available in Application Note AP-155, "Oscillators for Microcontrollers."

To drive the device from an external clock source XTAL1 should be grounded, while XTAL2 is driven as shown in Figure 4. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the Data Sheet must be observed.

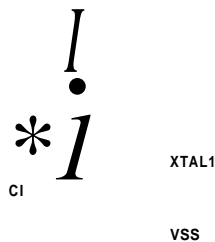


Figure 3. Oscillator Connection!

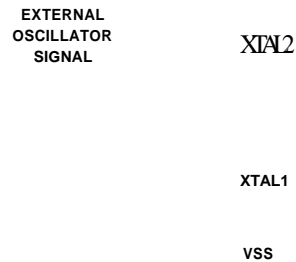


Figure 4. External Drive Configuration



8031/8051 • 8031 AH/8051 AH
 8032 AH/8052 AH • 8751 H/8751 H-12/8751 H-88 P#EURFIEIMIARY

ABSOLUTE MAXIMUM RATINGS*

Operating Temperature Under Bias0 °C to 70 °C
 Storage Temperature - 65 °C to +150 °C
 Voltage on EA/VPP Pin to VSS . -0.5V to +21.5V
 Voltage on Any Other Pin to VSS . -0.5V to +7V
 Power Dissipation.1.5W

"NOTICE Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operations/ sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS: (Ta = 0 °C to 70 °C; VCC = 5V ± 10%; VSS = 0V)

Symbol	Parameter	Min	Max	Unit	Test Condition*
V _{IL}	Input Low Voltage (Except EA Pin of 8751H, 8751H-12 & 6751 H-88)	-0.5	0.8	V	
V _{tI}	Input Low Voltage to EA Pin of 8751H, 8751 H-12 & 8751 H-88	0	0.7	V	
V _{IH}	Input High Voltage (Except XTAL2, RST)	2.0	VCC + 0.5	V	
V _{IH1}	Input High Voltage to XTAL2, RST	2.5	VCC + 0.5	V	XTAL1 - VSS
V _{OL}	Output Low Voltage (Ports 1, 2, 3)*		0.45	V	IOL - 1.6 mA
V _{OL1}	Output Low Voltage (Port 0, ALE)			-	
	8751H, 8751H-12 & 8751 H-88		0.60 0.45	V V	K.M. - 3.2 mA IOL - 2.4 mA
	All Others		0.45	V	IOL - 3.2 mA
V _{OH}	Output High Voltage (Ports 1, 2, 3)	2.4		V	IOH - - 80 µA
V _{OH1}	Output High Voltage (Port 0 In External Bus Mode, ALE, PSEN)	2.4		V	IOH - - 400 µA
I _{ML}	Logical 0 Input Current (Ports 1, 2, 3 RST) 8032AH, 8052AH All Others		-800 -500	mA	V _{in} = 0.45 V V _{in} = 0.45 V
I _{IL1}	Logical 0 Input Current to EA Pin of 8751H, 8751H-12 & 8751H-88 Only		-15	mA	
I _{IL2}	Logical 0 Input Current (XTAL2)		-3.2	mA	V _{in} = 0.45 V
I _L	Input Leakage Current (Port 0) 8751H, 8751 H-12 & 8751 H-88 All Others		±100 ±10	mA mA	0.45 < V _{in} < VCC 0.45 < V _{in} < VCC
I _{IH}	Logical 1 Input Current to EA Pin of 8751H, 8751 H-12 & 8751 H-88		500	mA	
I _{IH1}	Input Current to RST to Activate Reset		500	mA	V _{in} < (VCC - 1.5V)
I _{CC}	Power Supply Current: 803V8051 8031 AH 8051 AH 8032AH/8052AH 8751H/8751H-12/8751 H-88		160 125 175 250	mA mA mA mA	All Outputs Disconnected; EA" - VCC
C _{IO}	Pin Capacitance		10	PF	testfreq = 1MHz

Note: Capacitive loading on Ports 0 and 2 may cause spurious noise pulse to be superimposed on the VOL* of ALE and 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 0-1 transitions during bus operations. In the worst cases (capacitive loading > 100 pF), the noise pulse on the ALE line may exceed 0.8V. In such cases it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input.

8031/8051 • 8031 AH/8051 AH
inteT 8032AH/8052AH • 8751H/8751H-1278751H-88 ^EUMOMARY

A.C. CHARACTERISTICS: * (T_a = 0 °C to +70 °C, VCC = 5V ± 10%, VSS = 0V,
 • Load Capacitance for Port 0, ALE, and PSEN » 100 pF,
 Load Capacitance for All Other Outputs = 80 pF)

Symbol	Parameter	12MHz Ose		Variable Oscillator		Units
		Min	Max	Min	Max	
1/TCLCL	Oscillator Frequency			3.5	12	MHz
TLHLL	ALE Pulse Width	127		2TCLCL-40		ns
TAVLL	Address Valid to ALE Low	43		TCLCL-40		ns
TLLAX	Address Hold After ALE Low	48		TCLCL-35		ns
TLLIV	ALE Low to Valid Instr In 8751H, 8751H-12 All Others		183 233		4TCLCL-150 4TCLCL-100	ns
TLLPL	ALE Low to PSEN Low	58		TCLCL-25		ns
TPLPH	PSTE Pulse Width 8751H, 8751 H-12 All Others	190 215		3TCLCL-60 3TCLCL-35		ns ns
TPUV	Low to Valid Instr In 8751H, 8751H-12 All Others		100 125	-	3TCLCL-150 3TCLCL-125	ns ns
TPXIX	Input Instr Hold After PSEN	0		0		ns
TPXIZ	Input Instr Float After P-S-E-R		63		TCLCL-20	ns
TPXAV	PSEN to Address Valid	75		TCLCL-8		ns
TAVIV	Address* to Valid Instr In 8751H, 8751 H-12 All Others		267 302		5TCLCL-150 5TCLCL-115	ns ns
TPLAZ	PSEN Low to Address Float		20		20	ns
TRLRH	ED' Pulse Width	400		6TCLCL-100		ns
TWLWH	WE Pulse Width	400		6TCLCL-100		ns
TRLDV	ED Low to Valid Data In		252		5TCLCL-165	ns
TRHDX	Data Hold After ED	0		0		ns
TRHDZ	Data Float After ED		97		2TCLCL-70	ns
TLLDV	ALE Low to Valid Data In		517		8TCLCL-150	ns
TAVDV	Address to Valid Data In		585		9TCLCL-165	ns
TLLWL	ALE Low to ED or WE Low	200	300	3TCLCL-50	3TCLCL + 50	ns
TAVWL	Address to ED or WE Low	203		4TCLCL-130		ns
TOVWX	Data Valid to WE Transition 8751H, 8751 H-12 ADOthers	13 23		TCLCL-70 TCLCL-60		ns ns
TQVWH	Data Valid to WE High	433		7TCLCL-150		ns
TWHQX	Data Held Alter WE	33		TCLCL-50		ns
TRLAZ	ED Low to Address Float		20		20	ns
TWHLH	ED or WE High to ALE High 8751H, 8751H-12 All Others	33 43	133 123	TCLCL-50 TCLCL-40	TCLCL + 50 TCLCL + 40	ns ns

• This table does not include the 8751-88 AC characteristics (see next page).

Intel

8031/8051 » 8031AH/8051AH
8032AH/8052AH • 8751H 8751H-12/8751H-88

PKEJ?:ECMÄRY

This Table is only for the 6751 H-88

r

A.C. CHARACTERISTICS: (T_a - 0°C to -70°C. VCC = 5V ±10%. VSS = 0V.
Load Capacitance for Port 0, ALE, and PSEN = 100 pF.
Load Capacitance for All Other Outputs ≤ 80 pF

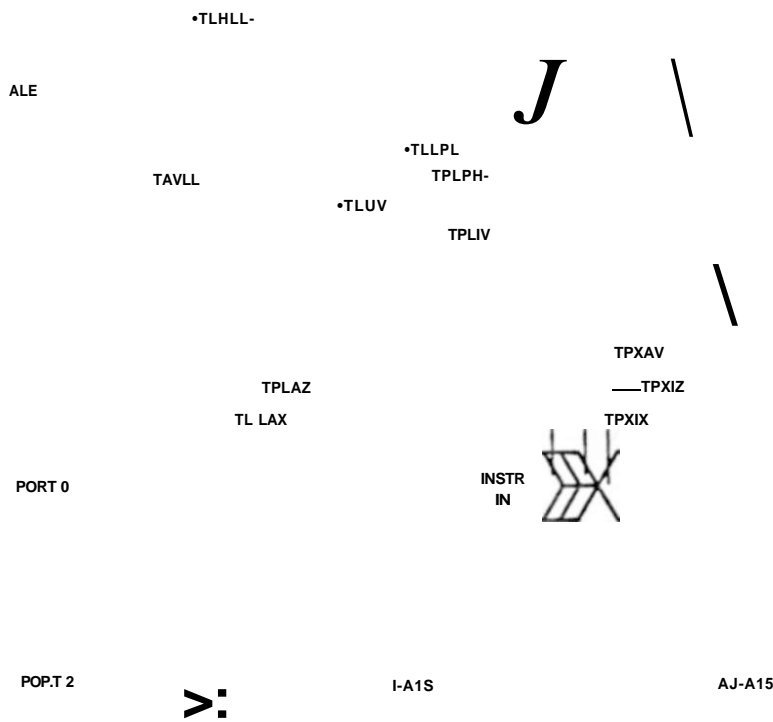
Symbol	Parameter	8MHz Ose		Variable Oscillator		Units
		Min	Max	Min	Max	
1/TCLCL	Oscillator Frequency			3.5	8.0	MHz
TLHLL	ALE Pulse Width	210		2TCLCL-40		ns
TAVLL	Address Valid to ALE Low	85		TCLCL-40		ns
TL LAX	Address Hold After ALE Low	90		TCLCL-35		ns
TLLIV	ALE Low to Valid Instr In		350		4TCLCL-150	ns
TLLPL	ALE Low to P [^] cN Low	100		TCLCL-25		ns
TPLPH	PSEN Pulse Width	315		3TCLCL-60		ns
TPLIV	PSEN Low to Valid Instr In		225		3TCLCL-150	ns
TPXIX	Input Instr Hold After PSEN	0		0		ns
TPXIZ	Input Instr Float After PSEN		105		TCLCL-20	ns
TPXAV	FSITN ["] to Address Valid	117		TCLCL-8		ns
TAVIV	Address to Valid Instr In		475		5TCLCL-150	ns
? TPLAZ	PSEN Low to Add ['] ess Float		20		20	ns
TRLRH	PTD Pulse Width	650		6TCLCL-100		ns
TWLWH	WE Pulse Width	650		6TCLCL-100		ns
TRLDV	EE Low to Valid Data In		460		5TCLCL-165	ns
TRHDX	Data Hold After R [']	0		0		ns
TRHDZ	Data Float After R [']		180		2TCLCL-70	ns
TLLDV	ALE Low to Valid Data In		850		8TCLCL-150	ns
TAVDV	Address to Valid Data In		960		9TCLCL-165	ns
TLLWL	ALE Low to R ['] or WR Low	325	425	3TCLCL-50	3TCLCL + 50	ns
TAVWL	Address to R ['] or WR ["] Low	370		4TCLCL-130		ns
TQVvVX	Data Valid to WR Transition	55		TCLCL-70		ns
TQVWH	Data Valid to WR ["] High	725		7TCLCL-150		ns
-TWHQX	Data Held After WR ["]	75		TCLCL-50		ns
TRLAZ	RT3LOW to Address Float		20		20	ns
LjWHLH	RT ^{>} or WR High to ALE High	75	175	TCLCL-50	TCLCL + 50	ns

inteT

8031/8051 • 8031AH'8051AH
8032AH'8052AH • 8751H/8751H-12/8751H-88

PREUMIMAfr

EXTERNAL PROGRAM MEMORY READ CYCLE

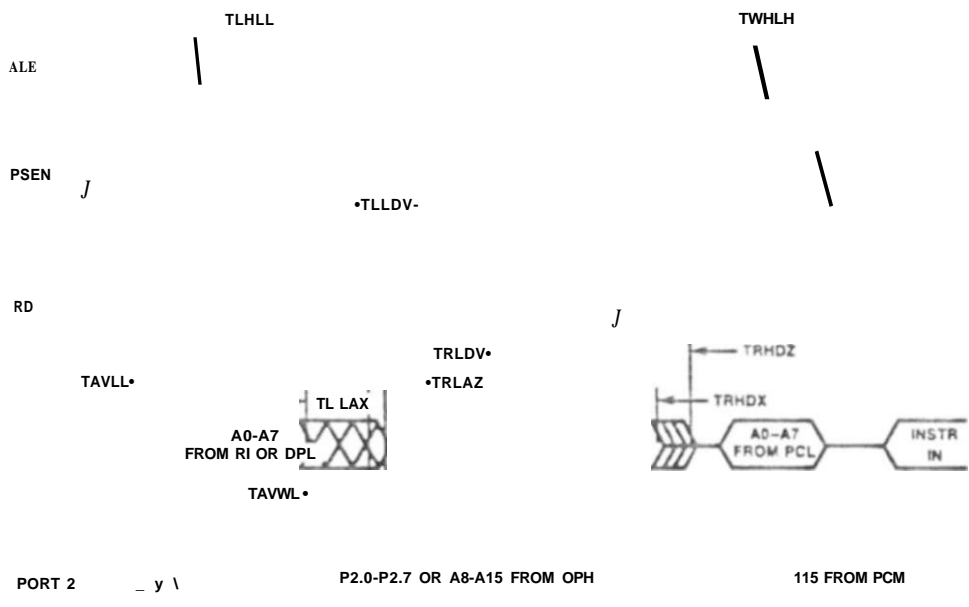




8031/8051 • 8031AH/8051AH
 8032AH/8052AH • 8751H/8751H-12/8751H-88

PfòES "f.SV

EXTERNAL DATA MEMORY READ CYCLE



f
V
1

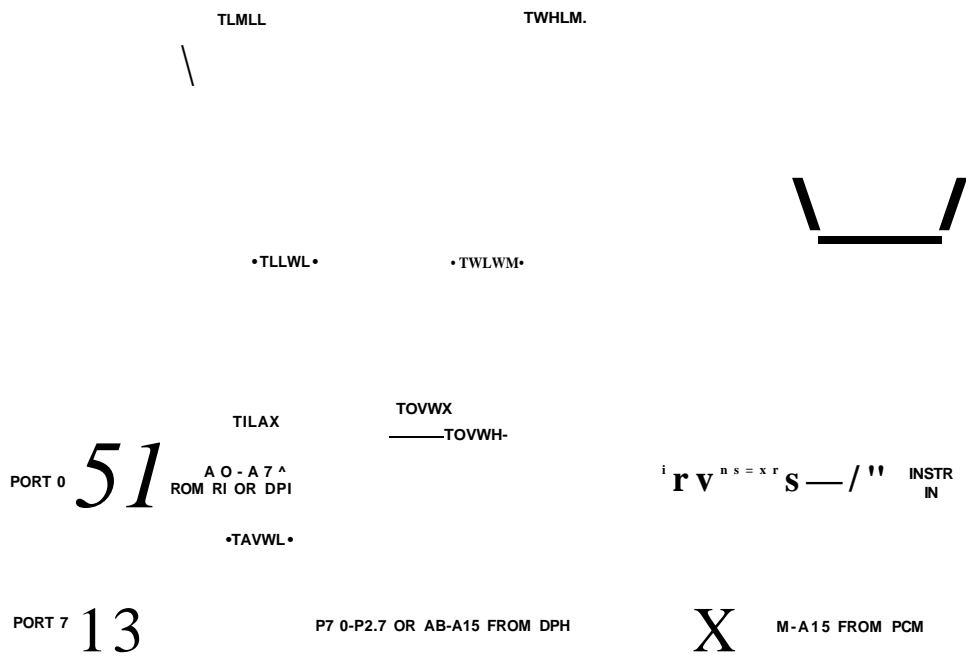
J

7.5	Princípio utilizado para a digitalização do sinal de vídeo. O sinal mostrado corresponde a uma única linha	91
7.6	Circuito gerador da temporização de amostragem do sinal de vídeo.	92
7.7	Circuito de ajuste do contraste do sinal de vídeo a ser digitalizado.	93
7.8	Endereçamento do hardware do digitalizador de vídeo.	94
7.9	Exemplos de imagens de microfílarias digitalizadas com o sistema de aquisição e digitalização de imagens desenvolvido.	97
8.1	Tela Principal do Software <i>VIDEOEYES</i>	101
8.2	Efeito produzido no sinal de vídeo após a calibração: (a) Sinal Original; (b) Ganho de Contraste e (c) Ajuste do Brilho.	102
8.3	Efeito produzido no sinal de vídeo após o ajuste de brilho: (a) Sinal Original; (b) Ajuste de Contraste e (c) Ajuste do Brilho.	102
8.4	Efeito produzido no sinal de vídeo após o ajuste de contraste: (a) Sinal Original; (b) Ganho de Contraste e (c) Ajuste do Brilho.	103
8.5	Efeito do ajuste de brilho em uma imagem: (a) Imagem original; (b) Imagem após aumento do brilho; (c) Imagem após diminuição do brilho.	108
8.6	Efeito do ajuste de contraste em uma imagem: (a) Imagem original; (b) Imagem após aumento do contraste; (c) Imagem diminuição do contraste.	109
8.7	Transformação de um elemento da imagem por uma operação de convolução.	110
8.8	Matriz de convolução de um filtro passa-baixas.	110
8.9	Efeito do filtro passa-baixas sobre um elemento de ruído na imagem: (a) Imagem com o elemento de ruído; (b) Imagem após o filtro passa-baixas.	111
8.10	Efeito da suavização de uma imagem com ruídos: (a) Imagem original; (b) Imagem após a suavização.	112
8.11	Matriz de convolução de um filtro passa-altas.	113
8.12	Efeito do filtro de realce de bordas sobre uma borda em uma imagem:(a) Imagem original; (b) Imagem após a convolução.	113
8.13	Efeito do filtro de realce de bordas sobre uma imagem: (a) Imagem original; (b) Imagem após o realce das bordas.	114
8.14	Efeito do filtro da mediana sobre uma imagem com ruídos: (a) Imagem original; (b) Imagem após a convolução com o filtro da mediana.	115



8031/8051 • 8031AH/8051AH
 8032AH/8052AH • 8751H/8751H-12/8751H-8B FfôEUBMNARY

EXTERNAL DATA MEMORY WRITE CYCLE





8031/8051 • B031AH'8051AH
 8032AH/8052AH • 8751H'8751H-12/8751H-88 PREIJMOMARV

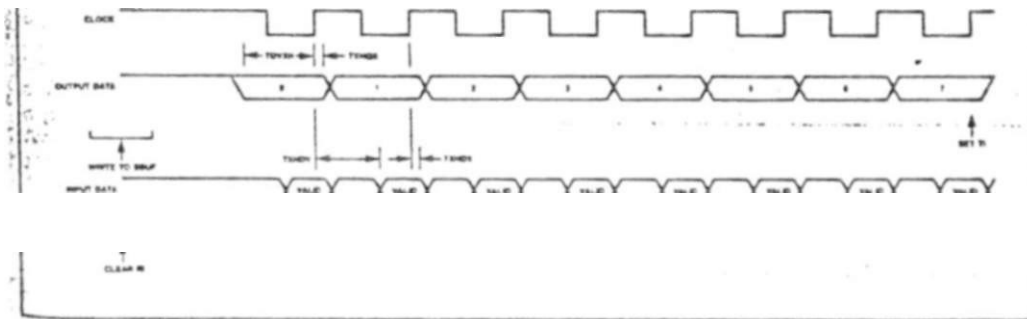
SERIAL PORT TIMING — SHIFT REGISTER MODE
 Test Conditions: Ta - 0 °C to 70 °C; VCC - 5V ± 10%; VSS • 0V; Load Capacitance - 80 pF

Symbol	Parameter	12MHz Ose		Variable Oscillator		Units
		Min	Max	Min	Max	
TXLXL	Serial Port Clock Cycle Time	1.0		12TCLCL		
TQVXH	Output Data Setup to Clock Rising Edge	700		10TCLCL-133		ns
TXHQX	Output Data Hold After Clock Rising Edge	50		2TCLCL-117		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		0		ns
TXHDV	Clock Rising Edge to Input Data Valid		700		10TCLCL-133	ns

*w
r

SHIFT REGISTER TIMING WAVEFORMS

J . I . I . I . I . I . I . I . I



Intel"

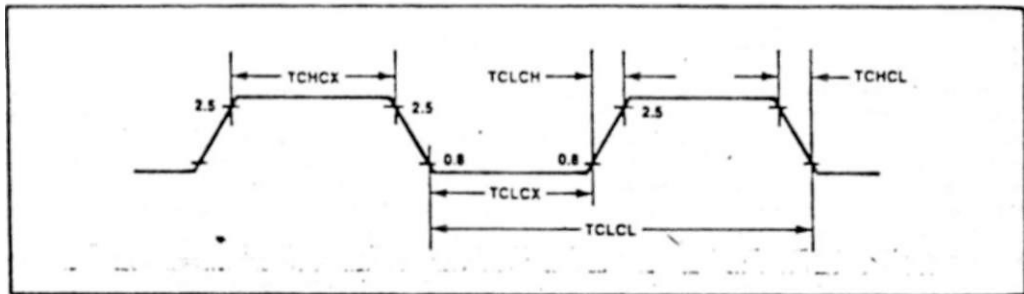
8031/8051 • 8031 AH/8051 AH
8032AH/8052AH • 8751H/8751H-12/8751H-88

FE&U5\$INIARY

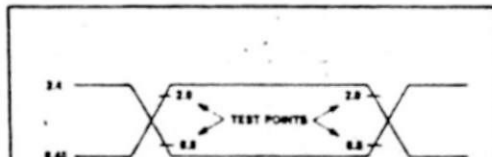
EXTERNAL CLOCK DRIVE

Symbol	Parameter	Min	Max	Units
1/TCLCL	Oscillator Frequency (except 8751H-B8)	3.5	12	MHz
	8751H-88	3.5	8	MHz
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns

EXTERNAL CLOCK DRIVE WAVEFORMS



A.C. TESTING INPUT, OUTPUT WAVEFORM



AC T*INC P*V i >>> pn-VtN 4t |4 V -0" > IOGC ' fcNO Dst V *C'>
AIOOC r >> * Me wls Ar wEt >> | dv >>x > IOCC

inteT 8031/8051 • 8031 AH 8051 AH 8032AH/8052AH • 8751 H/8751 H-12/8751H-88 PftEURSBÍMÁRY

EPROM CHARACTERISTICS:

Table 3. EPROM Programming Modes

Mode	RST	PS EN	ALE	E Ā	P2.7	P2.6	P2.5	P2.4
Program	1	0	0*	VPP	1	0	X	X
Inhibit	1	0	1	X	1	0	X	X
Verify	1	0	1	1	0	0	X	X
Security Set	1	0	0*	VPP	1	1	X	X

NOT: "1" - logic high
 "0" - logic low for that pin
 "X" - "don't care"
 "VPP" - +21V ±0.5V
 *ALE is pulsed low for 50 msec.

t

Programming the EPROM

To be programmed, the part must be running with a 4 to 6 MHz oscillator. (The reason the oscillator needs to be running is that the internal bus is being used to transfer address and program data to appropriate internal registers.) The address of an EPROM location to be programmed is applied to Port 1 and pins P2.0-P2.3 of Port 2. while the code byte to be programmed into that location is applied to Port 0. The other Port 2 pins, and RST, PSEN, and EA should be held at the "Program" levels indicated in Table 3. ALE is pulsed low for 50 msec to program the code byte into the addressed EPROM location. The setup is shown in Figure 5.

Normally EA is held at 8 logic high until just before ALE is to be pulsed. Then EA is raised to +21V. ALE is pulsed, and then EA is returned to a logic high. Waveforms and detailed timing specifications are shown in later sections of this data sheet

Note that the EAVPP pin must not be allowed to go above the maximum specified VPP level of 21.5V for any amount of time. Even a narrow glitch above that voltage level can cause permanent damage to the device. The VPP source should be well regulated and free of glitches.

Program Verification

If the Security Bit has not been programmed, the on-chip Program Memory can be read out for verification purposes. If desired, either during or after the programming operation. The address of the Program Memory location to be read is applied to Port 1 and pins P2.0-P2.3. The other pins should be held at the "Verify" levels indicated in Table 3. The contents of the addressed location will come out on Port 0. External pullups are required on Port 0 for this operation.

The setup, which is shown in Figure 6, is the same as for programming the EPROM except that pin P2.7 is held at a logic low, or may be used as an active-low read strobe.

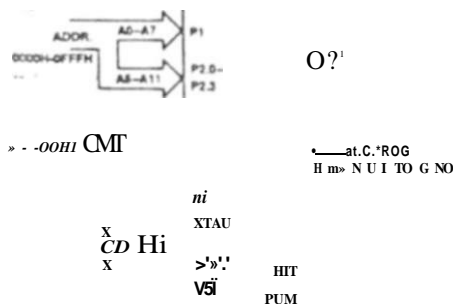


Figure 5. Programming Configuration

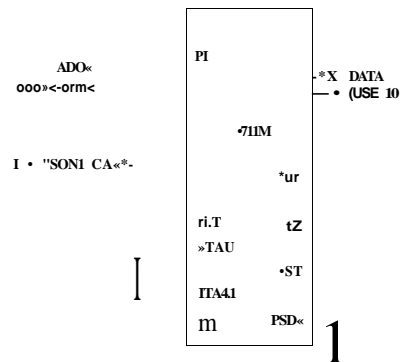


Figure 6. Program Verification

intpl 8031/8051 • 8031AH/8051AH
 8032AH/8052AH • 8751H/8751H-12/8751H-88 Ir^EUIlrMIRIY

EPROM Security

The security feature consists of a "locking" bit which when programmed denies electrical access by any external means to the on-chip Program Memory. The bit is programmed as shown in Figure 7. The setup and procedure are the same as for normal EPROM programming, except that P2.6 is held at a logic high. Port 0, Port 1, and pins P2.0-P2.3 may be in any state. The other pins should be held at the "Security" levels indicated in Table 3.

Once the Security Bit has been programmed, it can be cleared only by full erasure of the Program Memory. While it is programmed, the internal Program Memory can not be read out, the device can not be further programmed, and it can not execute out of external program memory. Erasing the EPROM, thus deprogramming the Security Bit, restores the device's full functionality. It can then be reprogrammed.

Erase Characteristics

Erasure of the EPROM begins to occur when the chip is exposed to light with wavelengths shorter than approximately 4,000 Angstroms. Since sunlight and fluorescent lighting have wavelengths in this range, exposure to these light sources over an extended time (about 1 week in sunlight, or 3 years in room-level fluorescent lighting) could cause inadvertent erasure. If an application subjects the device to this type of exposure, it is suggested that an opaque label be placed over the window.

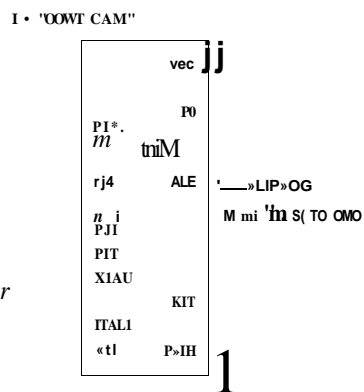


Figure 7. Programming the Security Bit

The recommended erasure procedure is exposure to ultraviolet light (at 2537 Angstroms) to an integrated dose of at least 15 W-sec/cm². Exposing the EPROM to an ultraviolet lamp of 12,000 nW/cm² rating for 20 to 30 minutes, at a distance of about 1 Inch, should be sufficient.

Erasure leaves the array in an all 1s state.

EPROM PROGRAMMING AND VERIFICATION CHARACTERISTICS:

(T_a - 21 °C to 27°C. VCC - 5V±10%. VSS - OV)

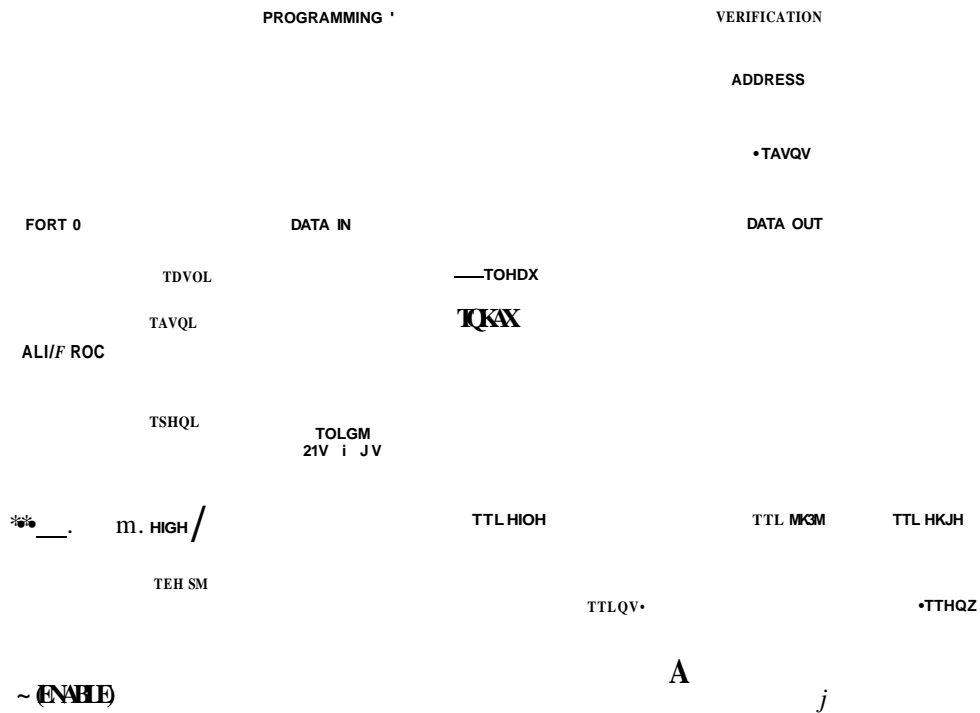
Symbol	Parameter	Min	Max	Units
VPP	Programming Supply Voltage	20.5	21.5	V
IPP	Programming Supply Current		30	mA
1/TCLCL'	Oscillator Frequency	4	" 6	MHz
TAVGL	Address Setup to PROG Low	48TCLCL		
TGHAX	Address Hold After P-RO-G"	48TCLCL		
TDVGL	Data Setup to PROG Low	48TCLCL		
TGHDX	Data Hold After PROG	48TCLCL		
TEHSH	P2.7 (ENABLE) High to VPP	48TCLCL		
TSHGL	VPP Setup to PROG Low	10		fisec _
TGHSL	VPP Hold After PROG	10		usee
TGLGH	PROG Width	45	55	msec__
TAVQV	Address to Data Valid		48TCLCL	
TELQV	ENABLE Low to Data Valid		48TCLCL	
TEHQZ	Data Float After ENABLE	0	48TCLCL	



8031/8051 • 8031 AH/8051 AH
8032 AH/8052 AH • 6751 H/8751 H-12/8751 H-B8



ÉPROM PROGRAMMING AND VERIFICATION WAVEFORMS



FOR PROGRAMMA CONDITIONS SEE FIGURE S.

FOR VERIFICATION CONDITIONS SEE FIGURE .

B.2 Conversor A/D ADC0820

fJ^M National
 / ^ I Semiconductor
 / / - Corporation

microCMOS

ADC0820 8-Bit High Speed /xP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 ps conversion time and dissipates only 75 mW of power. The haH-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ps. For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

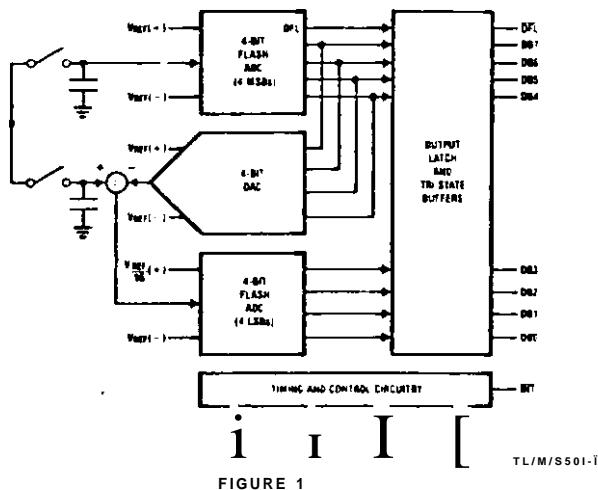
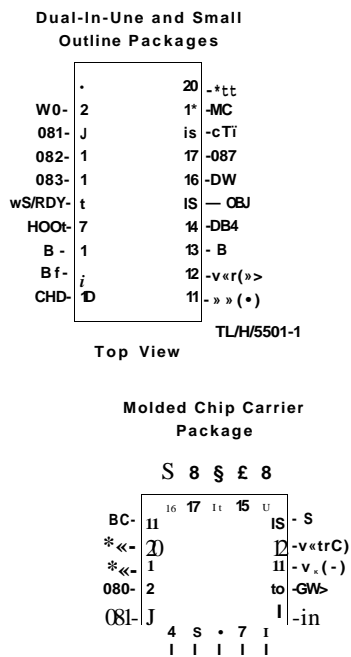
Key Specifications

- Resolution 8 Bits
- Conversion Time 2.5 /is Max (RD Mode)
1.5 MS Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/fis converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error ± % LSB and ± 1 LSB

Features

- Built-in Track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 VQC
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE* output
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than VQC
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3* standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package

Connection and Functional Diagrams



DC Electrical Characteristics The following specifications apply for Vcc = 5V, unless otherwise specified
 Boldface limits apply from T_{MIN} to T_{MAX} - Other limits T_J = 25°C

Parameter	Condition*	ADC0E20BD, ADC0B20CJ ADC0&20BCD, ADC0E20CCJ			ADC0B20BCN, ADD0B20CCN ADC0820BCV, ADC0t: 20CCV ADC0820BCWM, ADC0t: /0CCWM			Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
VIN(i) Logical "1" Input Voltage	Vcc = 5.25V	C5.vvA.RD	2.0			2.0	2.0	V
		Mode		3.5		3.5	3.6	V
VIN(0) Logical "0" Input Voltage	Vcc = 4-7.5V	CS, vTR, RD	0.8			0.6	0.8	V
		Mode		1.5		1.5	1.6	V
WI>. Logical "1" Input Current	V _{IN(i)} = 5V; CS, RD V _{IN(0)} = 5V, WR VINCI = 5V, Mode	C, 005	1		0.005		1	µA
			0.1	3	0.1	0.3	3	µA
			50	200	50	170	200	pA
VIN(0) Logical "0" Input Current	VIN(0) = 0V; CS, RD, WR, Mode		-0.005	-1		-0.005	-1	mA
VOU(i). Logical "1" Output Voltage	Vcc = 4.75V, IOUT = 360 DB0-DB7, 0.5µA, IRT Vcc = 4.75V, IOUT = -10µA DB0-DB7, 5Pt, IRT		2.4			2.6	2.4	V
			4.5			4.6	4.5	V
VOU(0) Logical "0" Output Voltage	Vcc = 4.75V, IOUT = 1.6mA; DB0-DB7, 0.5µA, IRT		0.4			0.34	0.4	V
IOUT, TRI-STATE Output Current	VOU = 5V; DB0-DB7, RDY VOU = 0V; DB0-DB7, RDY		0.1	3		0.1	0.3	µA
			-0.1	-3		-0.1	-0.3	-3
IOUT, SOURCE-Output Source Current	VOU = 0V; DB0-DB7, OPT IRT		-1.2	-6		-1.2	-7.2	mA
			-9	-4.0		-5.3	-4.0	mA
ISMK, Output Sink Current	VOU = 5V, DB0-DB7, URL IN7, RDY		14	7		14	8.4	mA
Icc, Supply Current	CS = WR = RD = 0		7.5	15		7.5	13	mA

AC Electrical Characteristics The following specifications apply for Vcc = 5V, L = 20 ns, VREF(+) = 5V,
 VREF(-) = 0V and T_J = 25°C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
ICRD, Conversion Time for RD Mode	Pin 7 = 0, (Figure 2)	1.6		2.5	ns
tACCO, Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = C, (Figure 2)	ICRD + 20		tCRD + 50	ns
tWR, RD Conversion Time for WR-RD Mode	Pin 7 = Vcc; tVVR = 600 ns, tRD = 530 ns. (Figures 3a and 3b)			1.52	ns
tWTr, Writes Time	Min	Pin 7 = Vcc! (>90°BS 3b and 3b)		600	ns
	Max	(Note 4) See Graph	50		ns
tRr, Read Time	Pin 7 = Vcc; (Figure 3b and 3b) (Note 4) See Graph		600		ns
tACCI, Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = Vcc; tRD < t; (Figure 3a) CL = 15 pF	190		260	ns
			210	320	ns
tACCi, Access Time (Delay from Falling Edge of RD to Output Valid)	Pin 7 = Vcc; tRD > t; (Figure 3b) CL = 15 pF	70		120	ns
			90	150	ns

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (Vcc)	-0.2V to Vcc
Logic Control Inputs	-0.2V to Vcc
Voltage at Other Inputs and Output	-0.2V to Vcc
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _a = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V

Lead Temp (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1 & 2)

Temperature Range	
ADC0820BD, ADC0B20CJ	-55°C to +125°C
ADC0820BCD, ADC0820CCJ	-40°C to +125°C
ADC0820BCN, ADC0E20CCN	0°C to +170°C
ADC0B20BCV, ADC0820CCV	0°C to +70°C
ADC0S20BCV;M, ADC0B20CCWM	0°C to +170°C
Vcc Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0). Vcc = 5V. VREF(+) = 5V, and VREF(-) = GND unless otherwise specified. Boldface limits apply from T_{min} to T_{max}; all other limits T_a = T_j = 25°C.

Parameter	Conditions	ADCOE20BD, ADC0B20CJ ADC0B20BCD, ADC0620CCJ			ADC0B20BCN, ADC0820CCN ADC0820BCV, ADC0820CCV ADCOe20BCWM, ADC0620CCWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 6)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0B20BD, BCD ADC0820PCN ADC0820CD, CCD ADG0820CCN		±%			±1/2	±%	LSB LSB LSB LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum VREF(+) Input Voltage			Vcc			vcc	Vcc	V
Minimum VREF(-) Input Voltage			GND			GND	GND	V
Minimum VREF(+) Input Voltage			VREF(0)			VREF(-)	VREF(-)	V
Maximum VREF(-) Input Voltage			VR,F(+))			VR,F(+)	VREF(+)	V
Maximum Vis Input Voltage			Vcc+0.1			Vcc+ 0.1	Vcc+ 0.1	V
Minimum V N Input Voltage			GND-0.1			GND-0.1	GND-0.1	V
Maximum Analog Input Leakage Current	CS - Vcc V N - VCC V s = GND		3 -3			0.3 -0.3	3 -3	µA µA
Power Supply Sensitivity	Vcc - 5V ± 5%		±%		±Y*	±%	±Y*	: S5

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC} = 5V$, $V_{REF} = 0V$ and $T_A = 25^\circ C$ unless Otherwise specified

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{iC} Internal Comparison Time	Pin 7 = V_{CC} (Figures 3b and 4) $C_t = 50 \text{ pF}$	800		1300	ns
t_{iH} kH. TRI-STATE Control (Delay from Rising Edge of RD to HiZ State)	$R_{L1} = 1k, C_t = 10 \text{ pF}$	100		200	ns
t_{jftt} , Delay from Rising Edge of WR to Falling Edge of FNT	Pin 7 = $V_{CC}, C_t = 50 \text{ pF}$ $t_{RD} > t_{j};$ (Figure 3b) $t_{RD} > t_{i};$ (Figure 3a)	$t_{RD} + 200$		U $t_{fID} + 290$	ns ns
t_{j5TH} , Delay from Rising Edge of ED to Rising Edge of IRT	(Figures 2, 3a and 3b) $C_t = 50 \text{ pF}$	125		225	ns
t_{jTHWR} , Delay from Rising Edge of WR to Rising Edge of INT	(Figure 4), $C_t = 50 \text{ pF}$	175		270	ns
t_{RD} , Delay from CS to RDY	(Figure 2), $C_t = 50 \text{ pF}$, Pin 7 = 0	50		100	ns
t_{iINT} , Delay from INT to Output Valid	(Figure 4)	20		50	ns
t_{iINT} , Delay from INT to fFIT	Pin 7 = $V_{CC}, t_{RD} > t_{i}$ (Figure 3a)	200		290	ns
t_p , Delay from End of Conversion to Next Conversion	(Figures 2, 3a, 3b and 4) (Note 4) See Gtaoh			500	ns
Slew Rate, Tracking		0.1			V/µs
C_{iIN} , Analog Input Capacitance		45			pF
C_{out} , Logic Output Capacitance		5			pF
C_{iIN} , Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which permanent damage may occur. DC and AC electrical specifications do not apply when operating in this mode beyond its specified conditions.

Note 2: All voltages are measured with respect to the GND pin unless otherwise specified.

Note 3: Total, unadjusted error includes offset, gain, and linearity errors.

Note 4: Accuracy may vary with temperature, supply voltage, and accuracy vs. input range.

Note 5: When the input voltage (V_{IN}) exceeds the positive supply rails ($V_{CC} - 0.5V$ or $V_{CC} + 0.5V$), the absolute value of current at that pin should be limited to 1 mA or less. The maximum input current limit is the maximum current that can be supplied by the supply source with a 1 mA current limit to four pins.

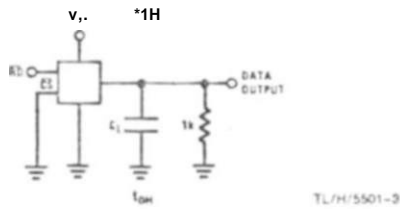
Note 6: Typical values are at $25^\circ C$ and represent minimum parametric norm.

Note 7: Tested limits are guaranteed to National's AOI (Average Outgoing Quality) Level 0.

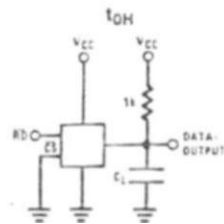
Note 8: Design limits are guaranteed but not 100%. These limits are not used to calculate outgoing quality level.

Note 9: Human body model: 100 pF discharged through a 1.5 MΩ resistor.

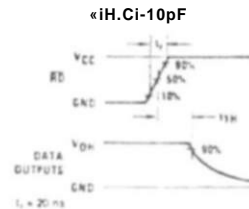
TRI-STATE Test Circuits and Waveforms



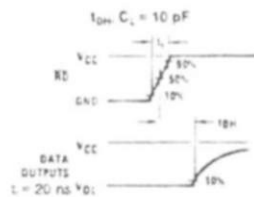
TL/H/5501-3



TL/H/5501-5



TL/H/5501-4



TL/M/5501-6

8.15	Efeito da equalização do histograma de uma imagem captada pelo sistema VIDEOEYES: (a) Imagem original; (b) Histograma da imagem original; (c) Imagem equalizada; (d) Histograma equalizado.116
8.16	Simulação binária dos níveis de cinza segundo a técnica dos meios tons. A imagem original, com 256 níveis de cinza, é representada utilizando-se 26 máscaras de tamanho 5x5.116
A.1	Fluxograma simplificado das funções do microcontrolador 8048.122
A.2	Fluxograma simplificado das funções do microcomputador PC.124
A.3	Diagrama em blocos da Interface de Leitura/Programação do 8751 via PC.125
A.4	Conversão TTL~RS-232.126
A.5	Hardware de Leitura/Gravação do 8751.127
A.6	Diagrama em blocos do 8048.128

Timing Diagrams

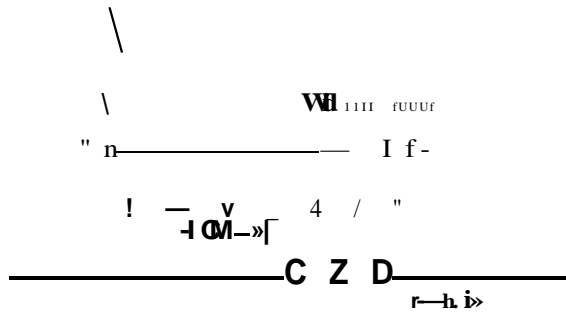
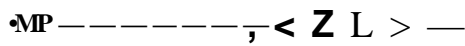
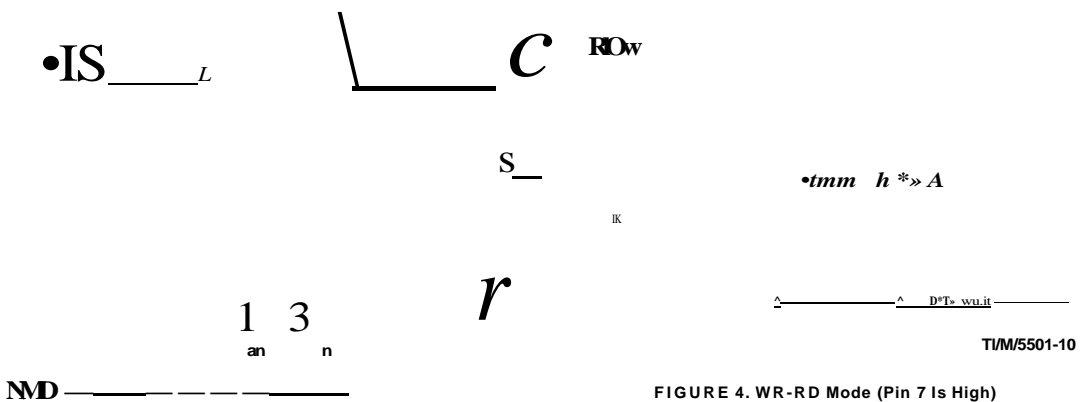


FIGURE 2. RD Mode (Pin 7 It Low)



TL/H/SSOI-B

FIGURE 3a. WR-RD Mode (Pin 7 lb High and $t_{...} < t$)



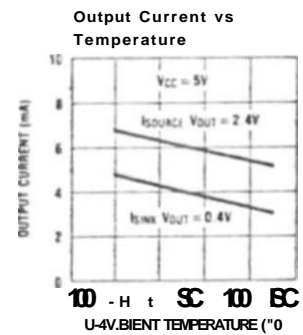
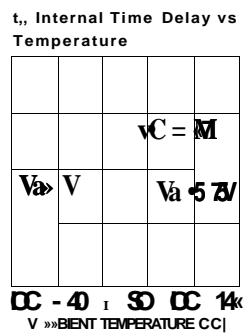
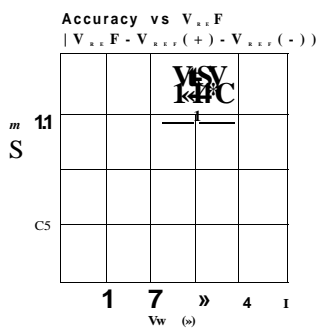
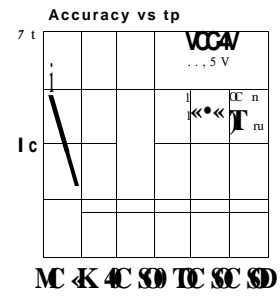
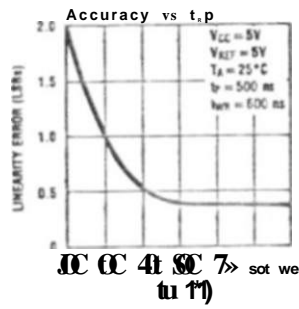
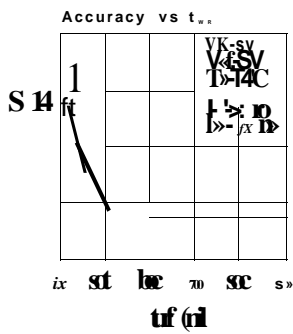
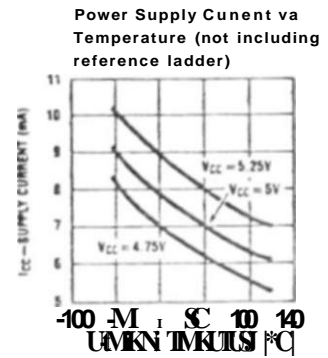
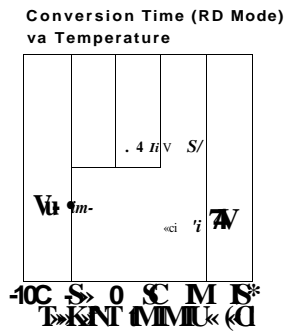
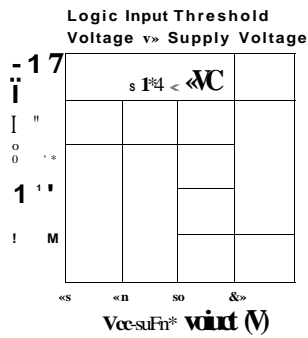
TI/M/5501-10

FIGURE 4. WR-RD Mode (Pin 7 Is High) Stand-Alone Operation

TL/H/5501-t

FIGURE 3b. WR-RD Mode (Pin 7 Is High and $t_{...} \cdot t$)

Typical Performance Characteristics



Description of Pin Functions

Pin Name	Function
1 V _{IN}	Analog input, range $-GND \leq V_{IN} \leq V_{CC}$
2 DB0	TRI-STATE data output—bit 0 (LSB)
3 DB1	TRI-STATE data output—bit 1
4 DB2	TRI-STATE data output—bit 2
5 DB3	TRI-STATE data output—bit 3
6 WR/RDY	WR-RD Mode WR: With CS low, the conversion is started on the falling edge of WR. Approximately 800 ns (the preset internal time out t_i) after the WR rising edge, the result of the conversion will be strobed into the output latch, provided that RD does not occur prior to this time out (see Figures 3a and 3b). RD Mode RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of CS; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a micro-processor system (see Figure 2).
7 Mode	Mode: Mode selection input—It is internally tied to GND through a 50 μ A current source. RD Mode: When mode is low WR-RD Mode: When mode is high
8 RD	WR-RD Mode With CS low, the TRI-STATE data outputs (DB0-DB7) will be activated when RD goes low (see Figure 4). RD can also be used to increase the speed of the converter by reading data prior to the preset internal time out t_i (800 ns). If this is done, the data result transferred to output latch is latched after the trailing edge of the RD (see Figures 3a and 3b). RD Mode With CS low, the conversion will start with RD going low, also RD will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and INT going low indicates the completion of the conversion (see Figure 2).

Pin Name	Function
8 INT	WR-RD Mode INT going low indicates that the conversion is completed and the data result is in the output latch. INT will go low, 800 ns (the preset internal time out t_i) after the rising edge of WR (see Figure 3b), or INT will go low after the falling edge of RD, H RD goes low prior to the 800 ns time out (see Figure 3a). INT is reset by the rising edge of RD or CS (see Figures 3a and 3b). RD Mode INT going low indicates that the conversion is completed and the data result is in the output latch. INT is reset by the rising edge of RD or CS (see Figure 2).
10 GND	Ground
11 VREF(-)	The bottom of resistor ladder, voltage range $GND \leq V_{REF(-)} \leq V_{CC}$ (Note 5)
12 VREF(+)	The top of resistor ladder, voltage range: $V_{REF(-)} \leq V_{REF(+)} \leq V_{CC}$ (Note 5)
13 CS	CS must be low in order for the RD or WR to be recognized by the converter.
14 DB4	TRI-STATE data output—bit 4
15 DB5	TRI-STATE data output—bit 5
16 DB6	TRI-STATE data output—bit 6
17 DB7	TRI-STATE data output—bit 7 (MSB)
18 OFL	Overflow output—If the analog input is higher than the VREF(+), OFL will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9.10-bit). This output is always active and does not go into TRI-STATE as DB0-DB7 do.
19 NC	No connection
20 V _{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (Figure 1). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.0 Functional Description (Continued)

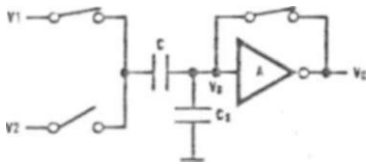
1.2 THE SAMPLED-DATA COMPARATOR

Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input [Figure 5]. Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (figure 5a) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (VB approximately 1.2V). In the second cycle (Figure 5b), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (VB') becomes

$$V_{B'} = (V_1 - V_2) \cdot A$$

and the output will go high or low depending on the sign of $V_{B'} - V_B$.



TL/M/W01-ii

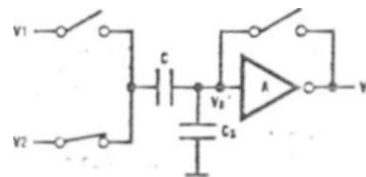
$V_B = V_{in}$
 $V_{onC} = V_1 - V_B$
 $C_j = \text{input}$
 $C_k = \text{capacitor}$
 $V_B = \text{inverter's input}$
 bias voltage

FIGURE 5a. Zeroing Phase

The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (Figure 6), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (Figure 7). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

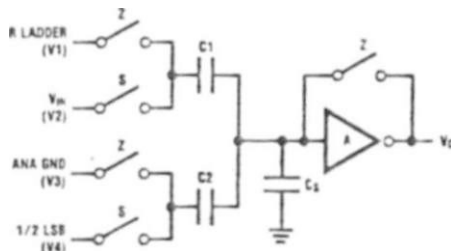


TUM/S50i-t

$V_{B'} = V_B - (V_2 - V_1) \cdot A$
 $V_{B'} = V_B - C_1(V_2 - V_1) - C_2(V_4 - V_3)$
 $V_{B'} = V_B - C_1(V_2 - V_1) - C_2(V_4 - V_3)$
 $V_{B'} = V_B - C_1(V_2 - V_1) - C_2(V_4 - V_3)$
 $V_{B'} = V_B - C_1(V_2 - V_1) - C_2(V_4 - V_3)$

FIGURE 5b. Compare Phase

FIGURE 5. Sampled-Data Comparator



TL/H/S901-U

$$V_{B'} = \frac{C_1(V_2 - V_1) + C_2(V_4 - V_3)}{C_1 + C_2 + C_3} + V_B$$

FIGURE 6. ADC0820 Comparator (from MS Flash ADC)

CONVERTOR A/D ADC0820

Detailed Block Diagram

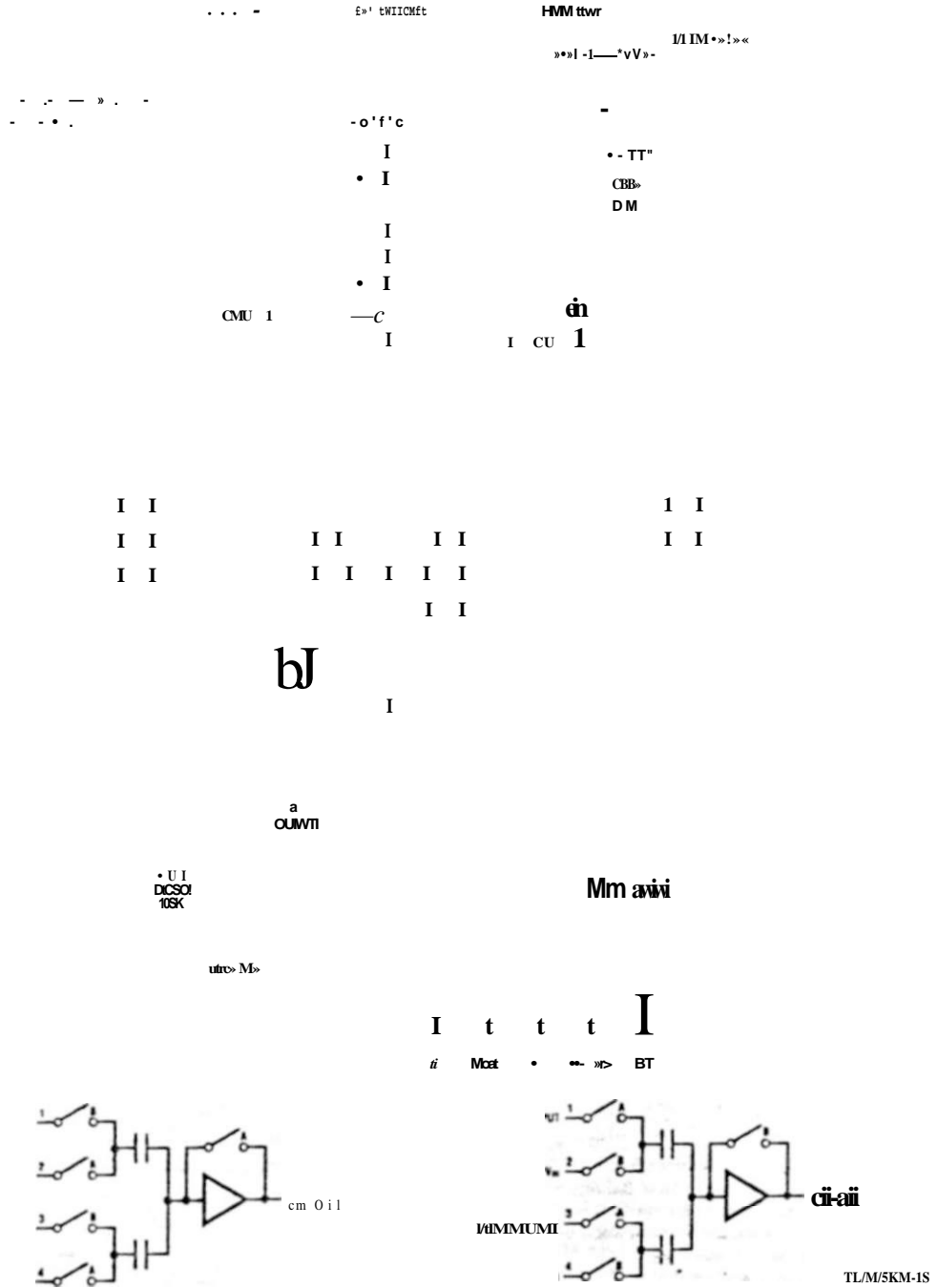


FIGURE 7

TL/M/5KM-1S

1.0 Functional Description (Continued)

When a typical conversion is started, the WR line is brought low. At this instant the MS comparators go from zeroing to comparison mode (Figure 8). When WR is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the RD line may be pulled low to latch the lower 4 data bits and finish the 6-bit conversion. When RD goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure B also outlines how the converters interface timing relates to its analog input (VIN). In WR-RD mode, VIM is measured while WR is low. In RD mode, sampling occurs during the first 800 ns of RD. Because of the input connection to the ADC0820S LS and MS comparators, the converter has the ability to sample VIM at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when WR is low the MS flash is in compare mode (connected to VIN), and the LS flash is in zero mode (also connected to VIN). Therefore both flash ADCs sample VIM at the same time.

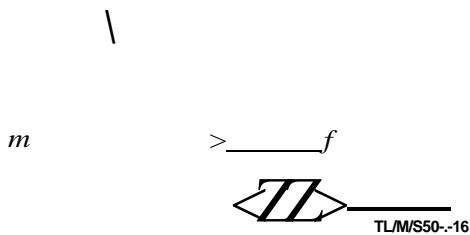
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling RD low until output data appears. An INT line is provided which goes low at the end of the conversion as well as a RDV output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 Is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of RD, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up to the WR-RD mode. Here, a conversion is started with the WR input, however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for INT to go low before reading the conversion result (Figure B). INT will typically go low 800 ns after WR's rising edge, however, if a shorter conversion time is desired, the processor need not wait for INT and can exercise a read after only 600 ns (Figure A). If this is done, INT will immediately go low and data will appear at the outputs.

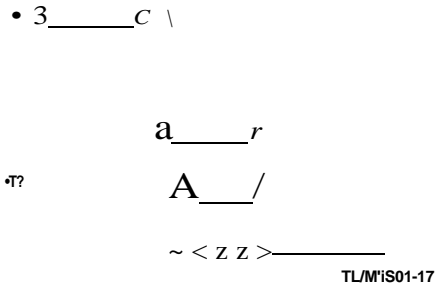


FIGURE A. WR-RD Mode (Pin 7 is High and $t_{RD} < t_{INT}$)

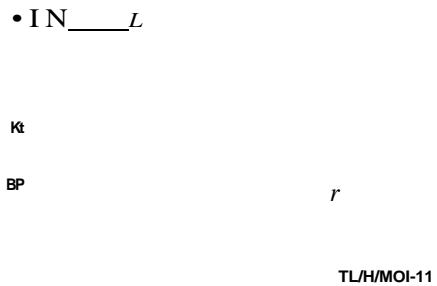
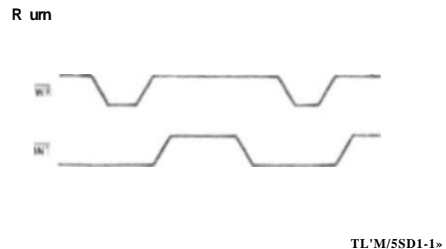


FIGURE B. WR-RD Mode (Pin 7 is High and $t_{RD} > t_{INT}$)

Stand-Alone

For stand-alone operation in WR-RD mode, CS and RD can be tied together and a conversion can be started with WR. Data will be valid approximately 800 ns following WR's rising edge.

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



TL/M/SSD1-1

1.0 Functional Description

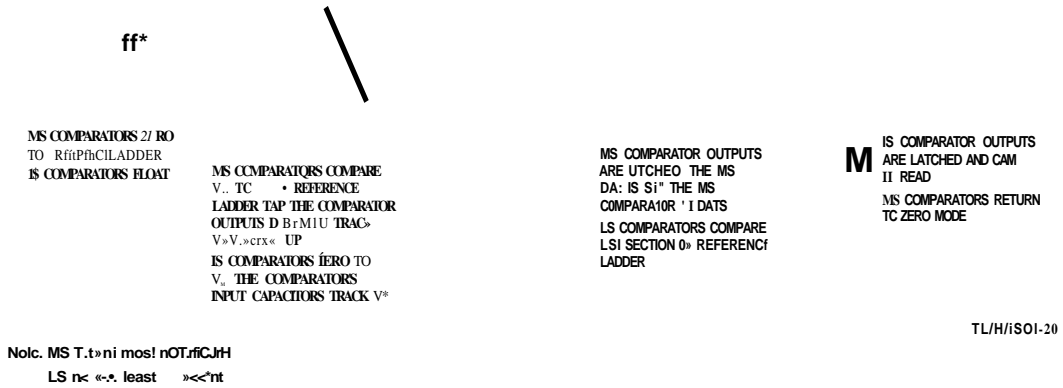


FIGURE 8. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, WR has a maximum width spec of 50 ns. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode (WR is low), the input capacitors (C_i, Figure 4) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_z, Figures 2, 3a, 3b, and 4) is 500 ns.

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalent to the voltage difference between VIN(+) and VIN(-). By reducing V_{REF} (V_{REF} = V_{REF}(+) - V_{REF}(-)) to less than 5V, the sensitivity of the converter can be increased (i.e., if V_{REF} = 2V then 1 LSB = 7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the VRCC source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at V_{REF}(-) sets the input level which produces a digital output of all zeroes. Though VIN is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. Figure 9 shows some of the configurations that are possible."



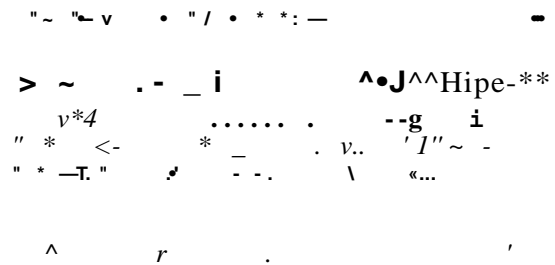
2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in Figure 10a. When a conversion starts (WR low, WR-RD mode), all input switches close, connecting to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, VIN still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses VIN as its zero-phase input.

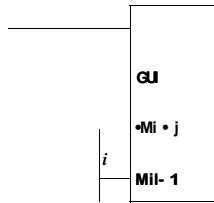
The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in Figure 10b. As R_g increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that WR is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_s to be 1.5 kΩ without lengthening WR to give VIN more time to settle.



2.0 Analog Considerations (Continued)

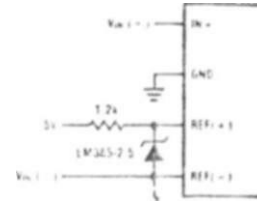
External Reference 2.5V Full-Scale



TL/H/LS01-21

Power Supply as Reference

Input No! Rcltr-tc to GND



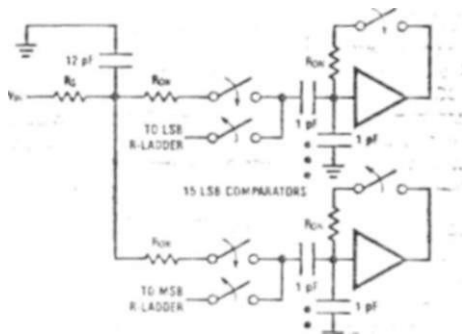
TL/H/S501-H

* Current pull
through
10 gttjvia

1

L'H'Ssoi-za j

FIGURE 9. Analog Input Options



II If%t COMF*1>Io<

TI/M/5501-24

FIGURE 10a

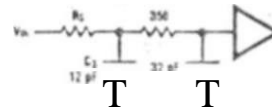


FIGURE 10b

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN} will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while WR is low, so at least 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least $1/2$ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 μ s, the time through which V_{IN} must be $1/2$ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when WR is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of V_{VR} (100 ns due to internal logic propagation delay) will be the measured value.

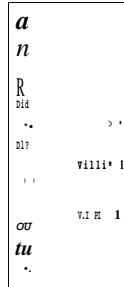
Input signals with slew rates typically below 100 mV/jv can be converted without error. However, because of the input time constants, and charge injection through the comparator input switches, faster signals may cause error. Still, the ADC0820's loss in accuracy for a given signal slope is far less than what would be with a conventional successive approximation device. An ADC type converter with a conversion time as fast as 1 μ s is still not able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms

It

B.2. CONVERTOR A/D ADC0820

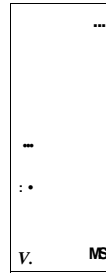
3.0 Typical Applications

8-Bit Resolution Configuration



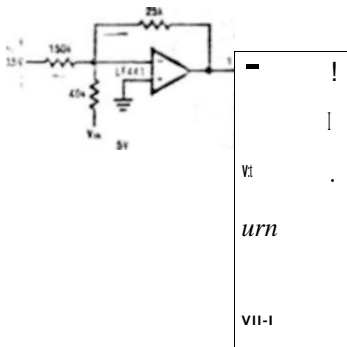
U/M/SW1-H,

5-Bit Resolution Configuration



A

Telecom A/D Converter



- 1 V u - 3 kHz max 1 4Vp
- 2 No track-and-hold needed
- 3 Low power consumption

K INI MII

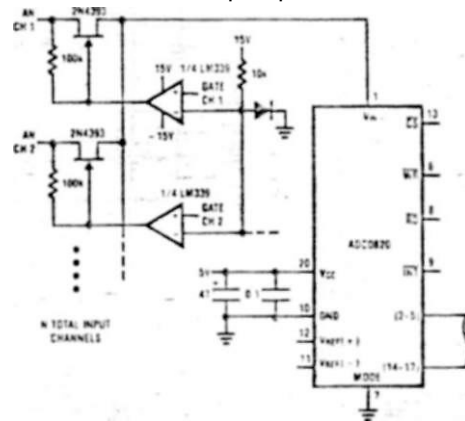
A . R . II

TL/H/5501-28

" 1

TI

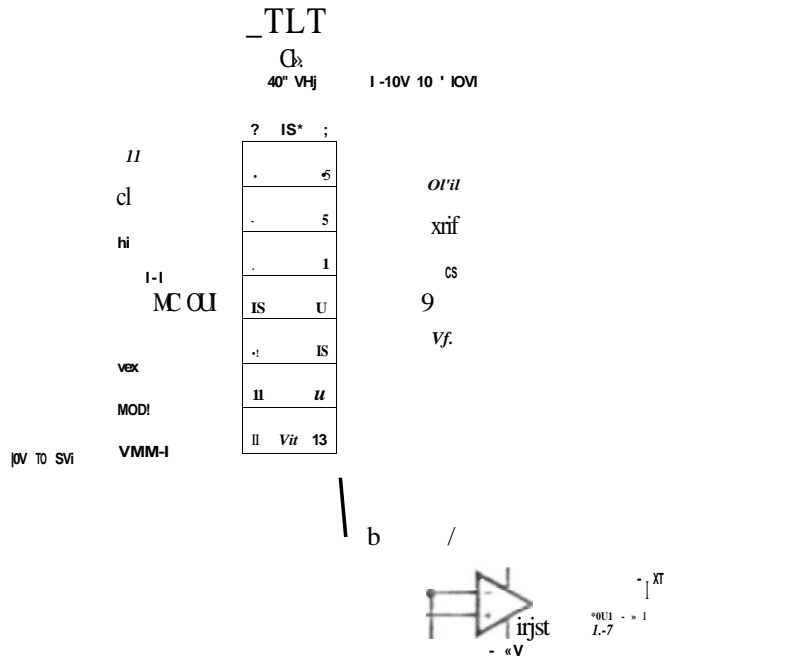
Multiple Input Channels



TL/H/5601-10

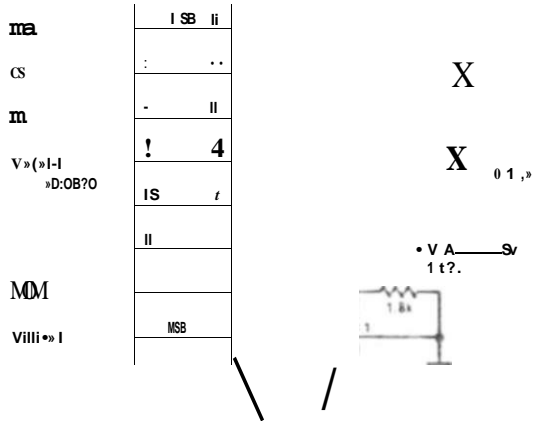
3.0 Typical Applications (Continued)

12-Bit 2-Output 3-Input Analog Multiplier



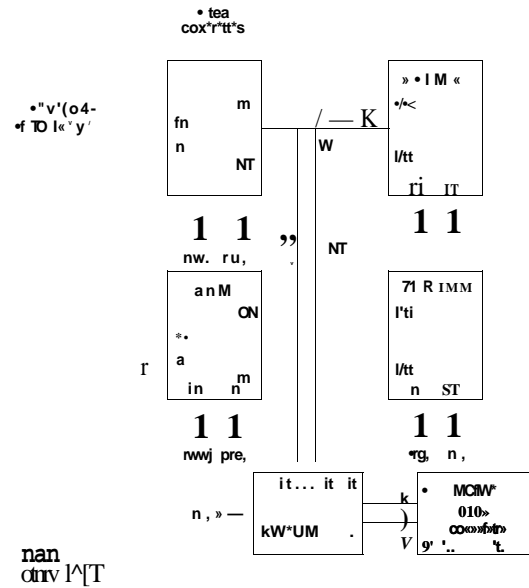
Fast Infinite Sample-and-Hold

10V TO SVi



VOFF
0V-SV
1>3«
- 15V
-W»-
1 121
IV

TVMIST ;



•"v'(o4-
4 D lē' y'

nan
otiv l^T

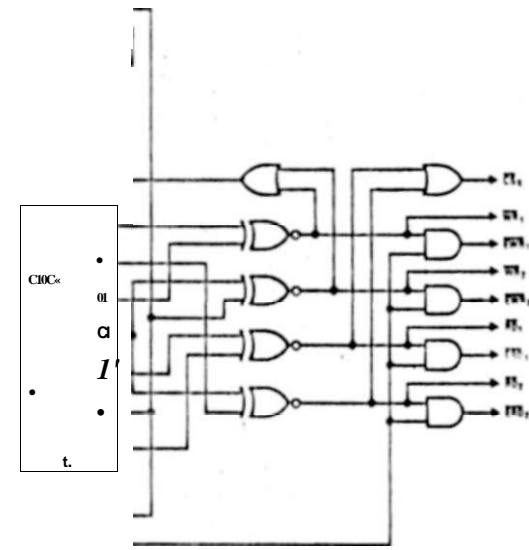
Digital Waveform Recorder

casMM

•"i c'Wj ir.'c

(UI
cut

cut



i t 3M f»" <pi>s/Sec

ciecirwiiiei

1

UHSOC

0 H 20 0 V 0 0 0 ? 5 I

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADCOB20BD ADC0820BCD ADC0X20BCV	± 1 LSB	D20A—Cavity DIP D70A—Cavity DIP V20A—Molded Chip Carrier	- 55°C to +125°C - 40°C to +60°C 0°C to +70°C
ADC0820BCM ADC0B20BCN		M20B—Wide Body Small Outline N20A—Molded DIP	0°C to +70°C 0°C to -170°C
ADCOe20CJ ADC0820CCJ ADC0820CCV	± 1 LSB	J20A—Cerdip J20A—Cerdip V207—Molded Chip Carrier	- 55°C to +125°C - 40°C to +85°C 0°C to +70°C
ADC0820CCM ADC0B20CCN		MJ20E—Wide Body Small Outline N70A—Molded DIP	0°C to +70°C 0°C to +70°C

B.3 Converter D/A DAC0808

by National Semiconductor Corporation

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with 15V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of $255 I_{REF} / 256$. Relative accuracies of better than 10^{-9} assure 8-bit monotonicity and linearity while zero load output current of less than 4 μ A provides 8-bit zero accuracy for I_{REF} = 2 mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

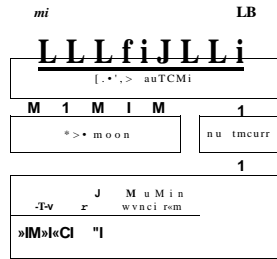
The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the

MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

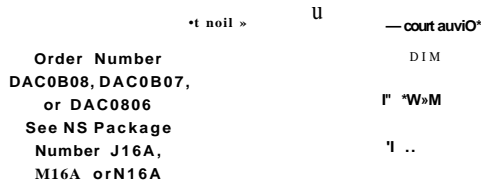
Features

- Relative accuracy: $\pm 0.19\%$ error maximum (DAC0808)
- Full scale current match, ± 1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate 8 mA/100 ns
- Power supply voltage range: 14.5V to $\pm 18V$
- Low power consumption. 33 mW @ $\pm 5V$

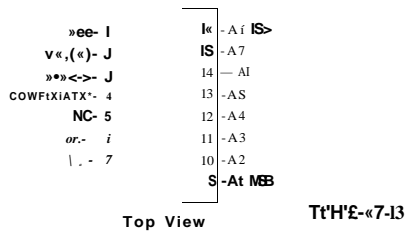
Block and Connection Diagrams



Dual In-Line Package



Small-Outline Package



Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS				
		J PACKAGE (J16A)*		N PACKAGE (N16A)*		SO PACKAGE (M16A)
8-bit	-55°C to +125°C	DAC0808L8	MC1508L8	DAC0808LCN	MC1408P8	DAC0808LCM
8-bit	0°C to +75°C	DAC0808LCJ	MC1408L8	DAC0807LCN	MC1408P7	DAC0807LCM
7-bit	0°C to +75°C	DAC0807LCJ	MC1408L7	DAC0806LCN	MC1408P6	DAC0806LCM
6-bit	0°C to +75°C	DAC0806LCJ	MC1408L6			

*Not available. Devices may be ordered by using alternate order number.

Absolute Maximum Ratings (V, u 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage	
Vex	4 1b V _{oc}
VEE	- 18 V _{oc}
Digital Input Voltage, V5-V12	- i n v i t o "I 18 V _{oc}
Applied Output Voltage, Vo	- i i V o c t o - > i B V o c
Reference Current, In	5mA
Reference Amplifier Inputs, V14, V15	Vex. V _{EE}
Power Dissipation (Note 3)	1000 mW
ESD Susceptibility (Note 4)	TBD

Storage Temperature Range	- 65°C to - ir
Lead Temp (Soldering 10 seconds)	
DuBilInUne Package (Plastic)	
Dual-In-Line Package (Ceramic)	300°5
Surface Mount Package	
Vapor Phate (60 seconds)	218°C
Infrared (15 seconds)	220 C

Operating Ratings

Temperature Range	f WIN - f A S T _o ...
DAC0B08L	- 55 ' C < : T _A
DAC0B0BLC Series	0 £ T _A s -i7/2

Electrical Characteristics

(Vex = SV, VEE = -15V_{oc}, VREF R14 = 2 mA, DAC0808 T_A = -55°C to +125°C, DAC0B0BC, DAC0E07C, DAC0B06C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Mm	Typ	Max	Units
Er	Relative Accuracy (Error Relative to Full Scale I _o) DAC0B08L (LM150B-8) DAC0808LC (LM1408-8) DAC0807LC (LM1408-7). (Note 5) DAC0B06LC (LM140B-6), (Note 5)	(Figure 4)			±0.19	"
					±0.39	
					±0.78	
	Settling Time to Within V- LSB (Includes IPLH)	T _A = 25°C (Note 6). (Figure 5)		150		ns «.Af
tPLH, tPHL	Propagation Delay Time	T _A = 25°C. (Figure 5)		30	100	ns
TCI _o	Output Full Scale Current Drift			±20		ppmTC ^o
MSB V _{IH} V _{IL}	Digital Input Logic Levels High Level, Logic "1" Low Level, Logic "0"	(Figure 3)	2		o.e	VDC Vrx I
MSB	Digital Input Current High Level Low Level	(Figure 3) V _{IH} = 5V V _{IL} = 0.8V		0	0.040	mA
				- 0.003	- 0.8	mA
hs	Reference Input Bias Current	(Figure 3)		-1	-3	uA , I
	Output Current Range	(Figure 3) VEE = 5V VEE = -15V, TA = 25°C	0	2.0	2.1	mA
			0	2.0	4.2	mA
	Output Current Output Current, All Bits Low	V _{EE} = 2000V. R14 = 1000Ω. (Figure 3) (Figure 3)	1.9	1.99	2.1	mA
				0	<	mA
	Output Voltage Compliance (Note 2) VEE = -5V, I _{KEF} = 1 mA V _{EE} = Below -10V	E, i 0.19%, T _A = 25°C			-0.55, -f 0.4 -5.0, -t-0.4	VDC



Electrical Characteristics (Continued)

(V_{CC} = V_{EE} = -15V O.C. V_{REF} = I/R14 = 2 mA. DAC0808. T_A = -55°C to T_A 125°C. D⁺COFCOBC. DAC0&07C. DAC0806C. T_A 0°C to +75°C. and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	f _{in}	Typ	Max	Units
SR/REF	Reference Current Slew Rate	(Figure 6)		8		mA/μs
	Output Current Power Supply Sensitivity	-5V f. V _{EE} = -16.5V		0.05	2.7	μA/V
I _{CC} I _{EE}	Power Supply Current (All Bits Low)	(Figure 3)		2.3 -4.3	22 -13	mA mA
V _{CC} V _{EE}	Power Supply Voltage Range	T _A = 25°C. (Figure 3)	4.5 -4.5	5.0 -1.5	5.5 -16.5	VDC VDC
	Power Dissipation					
	All Bits Low	V _{CC} = 5V, V _{EE} = -5V		33	170	mW
		V _{CC} = 5V, V _{EE} = -15V		106	305	mW
	All Bits High	V _{CC} = 15V, V _{EE} = -5V		90		mW
		V _{CC} = 15V, V _{EE} = -15V		160		mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: Ramp control is not required.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by $P_{max} = \frac{P_{max}(T_A=25^\circ C)}{1 + \frac{T_A - 25}{125}}$ and the amount temperature, T_A. The maximum allowable power dissipation at any temperature is P_p = (T_{JMAX} - T_A)/θ_{JA} or the number given in the Absolute Maximum Ratings whichever is lower. For this device, T_{JMAX} = 125°C, and the typical junction-to-ambient thermal resistance of the dual in-line J package when the board mounted is 100°C/W. For the Quad Flat Pack package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W.

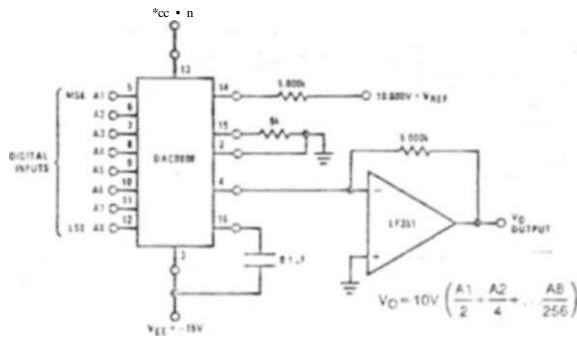
Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: AM current swiches are tested to guarantee at least 50% of rated current.

Note 6: All bits switched.

Note 7: Pinout numbers for the DAC0808 represent the dual in-line package. The small outline package pinout differs from the dual in-line package.

Typical Application



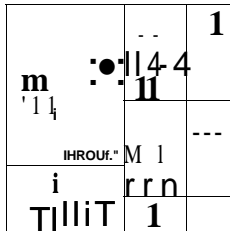
TI/H/S617-3

FIGURE 1. -10V Output Digital to Analog Converter (Note 7)

Typical Performance Characteristics

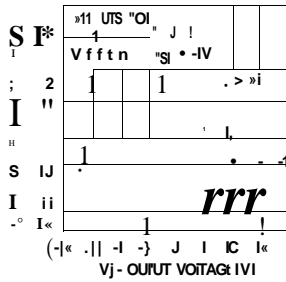
V_{CC} = 5V, V_{CE} = -16V, T_J = 25°C, unless otherwise noted

Logic Input Current vs Input Voltage



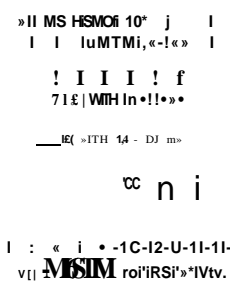
17-10 I-1-4-2C 2 I I I it 17 MM II
V_i - LOGIC INPUT VOLTAGE (V)

Output Current vs Output Voltage (Output Voltage Compliance)



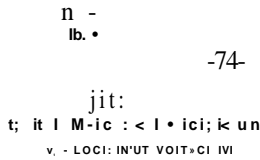
(-I_{OL} - I_{OH}) J I IC I_{CC} II
V_O - OUTPUT VOLTAGE (V)

Typical Power Supply Current vs V_{EE}

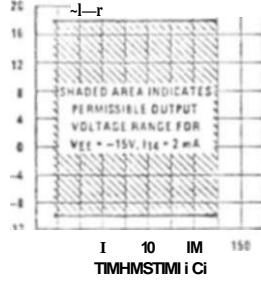


I_{CC} = I_{CC} + I_{CC} - I_{CC} - U₁ - I₁ - H
V_{EE} - V_{EE} (V)

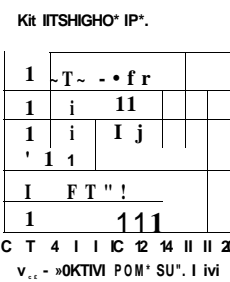
Bit Transfer Characteristics



Output Voltage Compliance vs Temperature



Typical Power Supply Current vs V_{CC}

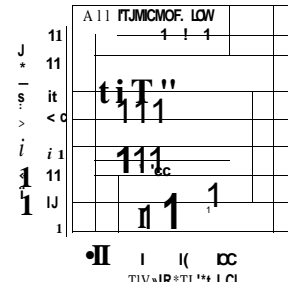


C T 4 I I IC 12 14 II II 20
V_{CC} - V_{CC} (V)

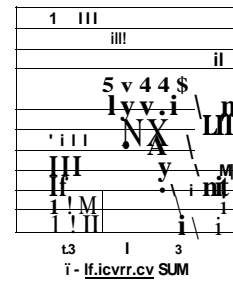
Logic Threshold Voltage vs Temperature



Typical Power Supply Current vs Temperature



Reference Input Frequency Response



Unless otherwise specified: R_u = R₁₅ = 1 kΩ, C = 15 pF, pin 16 to ground, V_{EE} = -16V, V_{CC} = 5V, V_{in} = 2 V_p p, offset 1 V above ground.
Curve A: Large Signal Bandwidth Method of Figure 7, R_u = 250Ω, V_{CE} = 50 mVp-p offset 200 mV above ground.
Curve B: Small Signal Bandwidth Method of Figure 9 (no op amp, R_u = 501Ω), R_s = 50Ω, V_{in} = 2V, V_o = 100 mVp-p centered at 0V.

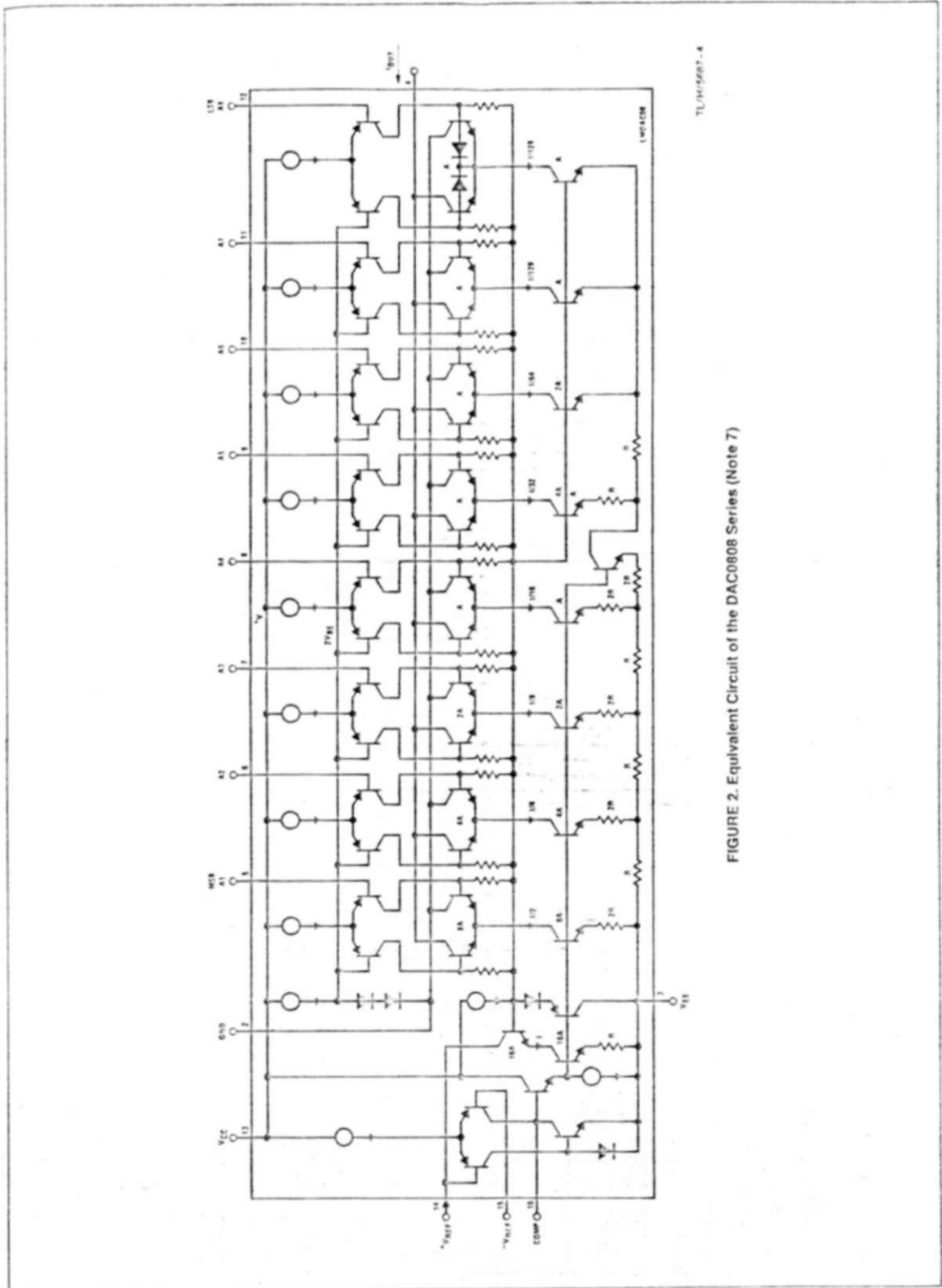
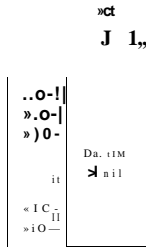


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 7)

Test Circuits



V, and I, fippl> Id inputs A1 - A6

The resisto' U'ti to pin 15 is to tcrr.prraM'c- compensctc the bias current and may no: be necei-cary lor at applications.

$$I_O = K \sum_{i=1}^n I_{Ai} \quad \text{where } K = \frac{1}{2 \cdot 4 \cdot 16 \cdot 32 \cdot 64 \cdot 128} = \frac{1}{255}$$

where K = 1/255

and AN = "1" if AN IS at high level

AN = "0" if AN IS at low level

j

TUH/s«*7-1
FIGURE 3. Notation Definitions Test Circuit (Note 7)

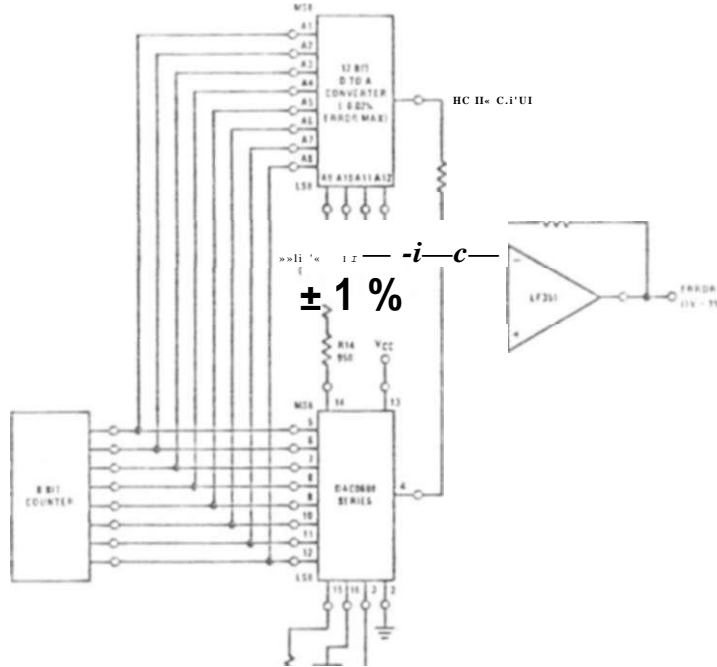


FIGURE 4. Relative Accuracy Test Circuit (Note 7)

X''

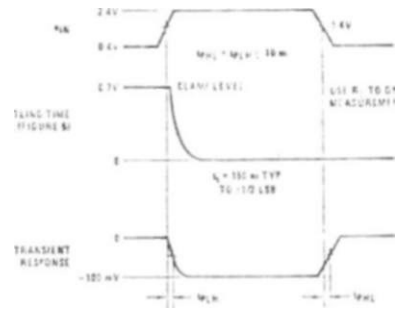
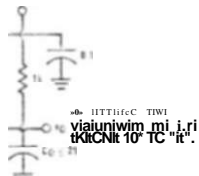


FIGURE 5. Transient Response and Settling Time (Kote 7)

Test Circuits (Continued)

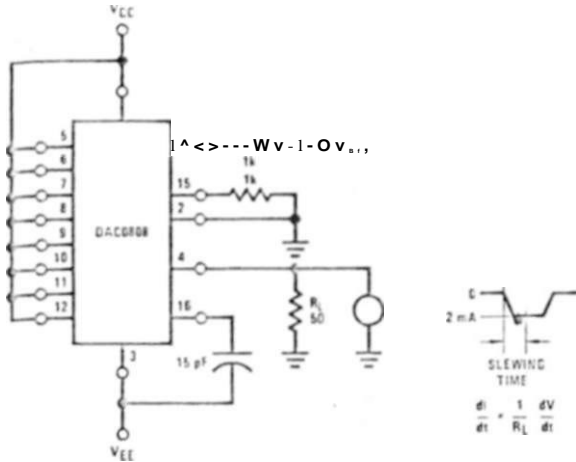


FIGURE 6. Reference Current Slew Rate Measurement (Note 7)

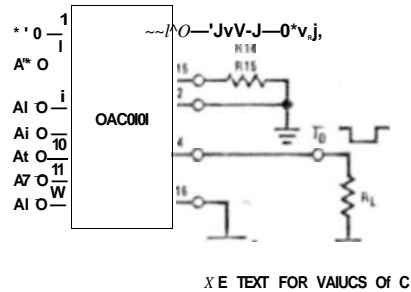


FIGURE 7. Positive $V_{p/r}$ (Note 7)

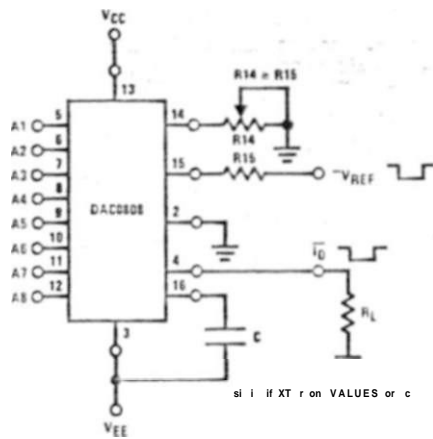


FIGURE 8. Negative $V_{p/r}$, (Note 7)

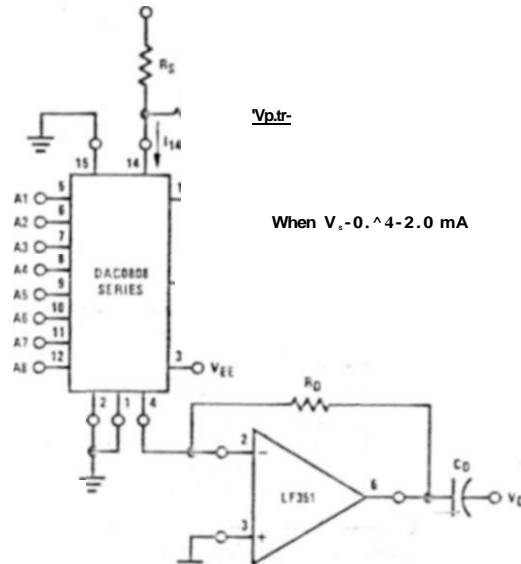


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 7)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14} , must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current I_{14} . For bipolar reference signals, as in the multiplying mode,

R_{15} can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R_{15} with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R_{14} to maintain proper phase margin; for R_{14} values of 1, 2.5 and 5 k Ω , minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{CC} or ground, but using V_{CC} increases negative supply rejection.

Application Hints (Continued)

A negative reference voltage may be used if ground and the reference voltage is applied to R15 as shown in Figure 6. A high input impedance is the main advantage of this method. Compensation involves a capacitor to V_{REF} on pin 16 using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{REF} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with a clamp diode to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to 0.4V when V_{REF} = -5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to -5V where the negative supply voltage is more negative than -10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 k Ω between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 Ω do not significantly affect performance, but a 2.5 k Ω load increases worst-case settling time to 1.2 μ s (when all bits are switched ON). Refer to the subsequent text section or Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than -8V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to

the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within 1 LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μ A) which is the ladder remainder returned to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure A. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 6-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm 1\%$ of one part in 65,536 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μ A to 4 mA, the additional error contributions are less than 1.6 μ A. This is well within 6-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within 1 V, LSB, for 8-bit accuracy, and 100 ns to V_{REF} LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when R_L is 500 Ω and C_o is 25 pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 pF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

Relação de Tabelas

3.1	Descrição da pinagem do microcontrolador 8051.12
3.2	Endereços de atendimento das interrupções no microcontrolador 8051.19
4.1	vantagens e desvantagens de um motor de passo do tipo relutância variável36
5.1	Comparação entre cameras de vídeo do estado sólido e cameras com tubos de imagem.54
5.2	Pinagem do módulo LCD multi-matrix utilizado como display auxiliar.65
7.1	Bytes carregados no contador do gerador de temporização para a obtenção do atraso no instante de amostragem93
7.2	Endereços do hardware do digitalizador de vídeo.94
A.1	Protocolo de comunicação entre o PC e o microcontrolador 8048.126
A.2	Programação dos pinos P2.6 e P2.7 conforme a função desejada127

B.3. *CONVERSION D/A DAC080S*

B.4 Separador de Sincronismo de Vídeo LM1881

f^/J National Semiconductor Corporation

PRELIMINARY

LM 1881 Vídeo Sync Separator

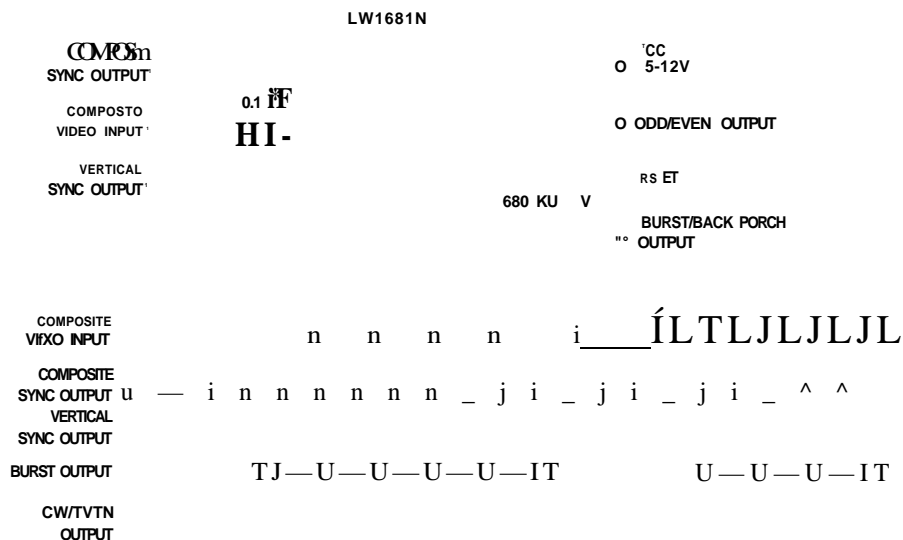
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from a standard negative going NTSC video signal with amplitude from 0.5 to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals by changing an external horizontal scan rate setting resistor. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the internally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- > 10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Resistor programmable horizontal scan rate (up to 64 kHz)
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-homt. computers)

Connection Diagram



Order Number LM1881M or LM1881N See NS Package Number M06A or NOBE

TL/M'BISC-1

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
input Voltage	3 Vp-p
Output Sink Currents; Pins 1,3,5	5 mA
Output Sink Current, Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C - 70°C

Storage Temperature Range	- 65°C to + 150°C
ESD Susceptibility (Note 2)	2kV
Soldering Information	
Dual-IrvUne Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
See AN-450 "Surtace Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.	

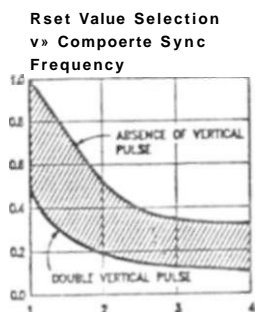
Electrical Characteristics

VfX " 5V; Rset • 680 kft; T_a - 25°C; Unless otherwise specified

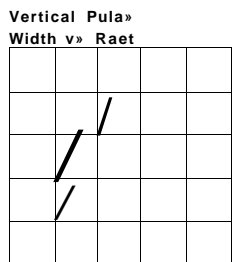
Parameter	Conditions	Typ	Tested Umlt (Note 3)	Design Umlt (Note 4)	Units (Umlts)
Supply Current	Vcc " 5V; Outputs at Logic 1	5.2	10		mAmax
	Vcc " 12V; C*utputs at Logic 1	5.5	12		mAmax
DC Input Voltage	Pin 2		1.3		Vmin
			1.5	1.8	Vmax
Input Threshold Voltage	Note 5	70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; V _{in} - 2V	11	6 16		µiAmin µiAmax
Input Clamp Charge Cument	Pin 2; V _{in} - 1V	0.8	0.2		mAmin
RSET R** Reference Voltage	Pin 6; Note 6	1.22	1.10 1.35		Vmin Vmax
Composite Sync & Vertical Outputs	Iour • " fA' LOffic 1	4.5	4.0		Vmin
	IQUT " 1-6 mA; Logic 1	3.6	2.4		Vmin
Burst Gate & Odd/Even Outputs	'OUT " '0 MA; Logic 1	4.5	4.0		Vmin
Composite Sync Output	'OUT " '1-6 mA; Logic 0; Pin 1	0.2	0.8		Vmax
Vertical Sync. Output	'OUT • '1-5 mA; Logic 0; Pin 3	0.2	0.8		Vmax
rurstOata Output	•OUT • -1-6 mA; Logic 0; Pin 5	0.2	0.8		Vmax
Odd/Even Output	'our - -1.6 mA; Logic 0, Pin 7	0.2	0.8		Vmax
Vertical Sync Width		230	190		fismin
			300		nsmax
Burst Gate Width	2.7 kHz from Pin 5 to Vcc	4	2.5		µ.smin
			4.7		µ.smax
Vertical Default Time	Note 7	65	32		fismin
			90		µsmax

Not* 1: For operation in amount temperatures alx-ve 27°C. the device mull be derated bated on a 1WC maximum (unction temperature and a package thermal resistance of 110° C/W, Junction to ambient
 Note 2: ESD susceptibility lest uses the "human body model. 100 p' discharged through a VS xfl resistor".
 Note 3: These parameters are guaranteed and 100% production tested
 Note 4: Design Limits are guaranteed but not 100V production tested These kmrts are not used to calculate outgoing quality levels.
 Note 5: Relative d'lerenee between the input damp voltage and the minimum mput voltage which produces a horuonla' output pulse
 Note 6: Careful attention should be made to prevent pa-avtx. capacitance coupling horn any output pin (Pins 1. 3. 5, and 7) to trie RSET r** (Pi")
 Note 7: Deia. time between the ata-l of ve-tcei sync (al Input; and the vertical output puis*.

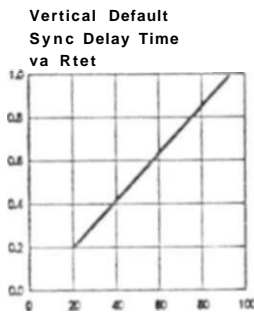
Typical Performance Characteristics



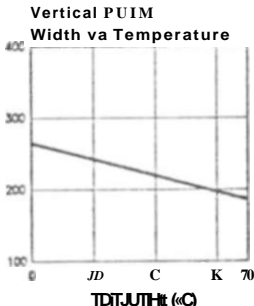
•URSVBJIO UN
 CAR TMI
 CM)



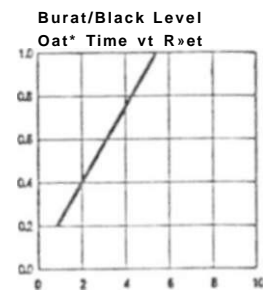
•URSVBJIO UN
 CAR TMI
 CM)



•URSVBJIO UN
 CAR TMI
 CM)



•URSVBJIO UN
 CAR TMI
 CM)



•URSVBJIO UN
 CAR TMI
 CM)



•URSVBJIO UN
 CAR TMI
 CM)

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information, a vertical sync pulse, a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a-e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μ A, typically. This allows relatively small capacitor values to be used—0.1 μ F is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 78 Ω , a 620 Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform, however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become cleaner,

from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform (*Figure 3*). Horizontal sync pulses are not able to charge the integrating capacitor sufficiently because of their short duty cycle, but when the vertical retrace interval is reached, the broad serrated pulse charges the capacitor past a fixed threshold. Once the threshold is reached, the next serration in the sync waveform triggers an R-S flipflop and starts the vertical output pulse at Pin 3. Simultaneously an internal oscillator begins clocking a counter. When a count of eight is reached the vertical output pulse is terminated and the circuit resets. Both the time required to reach the integrator threshold and the period of the oscillator are programmed by an external resistor at Pin 6. For an N.T.S.C. signal with 32 μ s between serrations, a 680 k Ω resistor will ensure the vertical output pulse will start coincident with the leading edge of the first vertical serration (*Figure 2c*). If the resistor value gets too small H becomes possible for the oscillator circuit to time out before the input vertical sync period has ended. When this is the case, the sequence will repeat and a double vertical output pulse will appear. Therefore, the resistor value for a given horizontal scan rate is chosen small enough to trigger the vertical output pulse on the first serration yet not so small as to give a double pulse, rather than attempting to choose a value that gives a specific output pulse width. If the incoming vertical sync is not serrated, the integrating capacitor is allowed to charge to a second threshold which automatically initiates the vertical output pulse sequence. In this instance, the start of the vertical pulse as well as the pulse period will be dependent on the resistor value.

ODD/EVEN FIELD PULSE

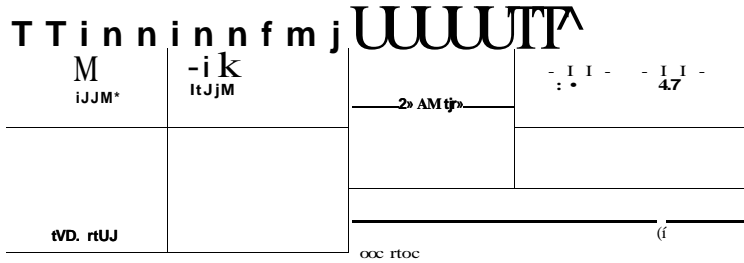
An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform (*Figure 3*). A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

Application Notes (Centred)

•nun or <UD> 1 (ooo) ,
 w o G» rtLG i(tvofl I — touAicNC — L _ SL>fId) BOALCWC - J
 VDD< t-w.n.o.w.or PCTUW J | »imc*i PVLSD | PULSES | ..P_or
 •URST

PIA*
 WMII
 TUCK
 UVC
 ar
 iiva
 STK
 IPS

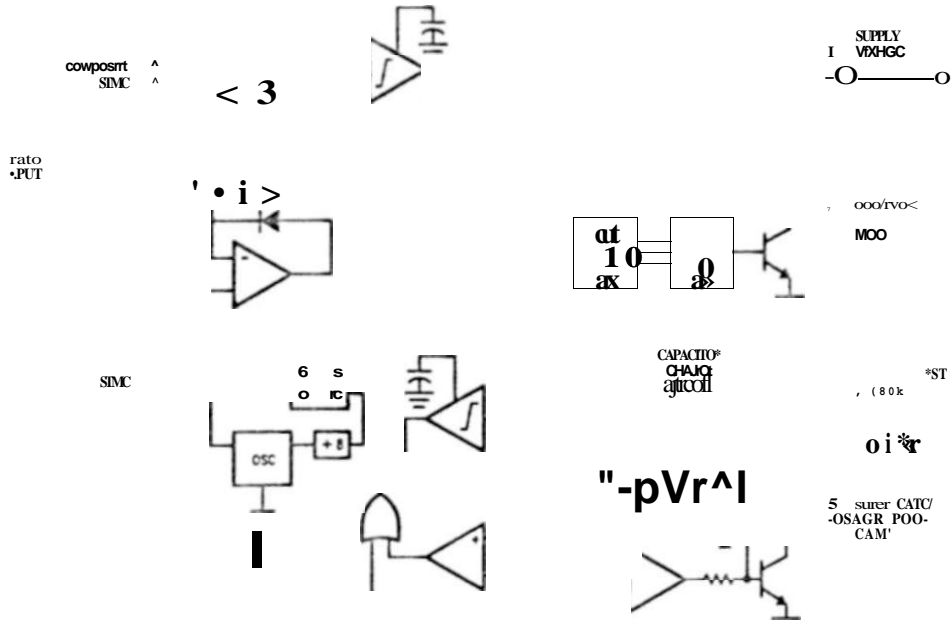


1111 IIIIIIIITIMffITTT

- I r -
 4 ti> »7P

63.3 M°

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



•Component* OptoneJ
 See Text

FIGURE 3

Application Notes (Continued)

fr-es.nold from being reached and the C output of the flip-flop 11 toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the 0 output will have a different polarity on successive fields. Thus by comparing the 0 polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μ s long, is also the black level reference for the subsequent video scan line. The LM1881 generates 8 pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μ s later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60-120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference

signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 16 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary coded information applied to line select bits b0-b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 μ s, 10 μ F) providing black level restoration at the video output when the output selected line(s) is not being gated through.

Typical Applications

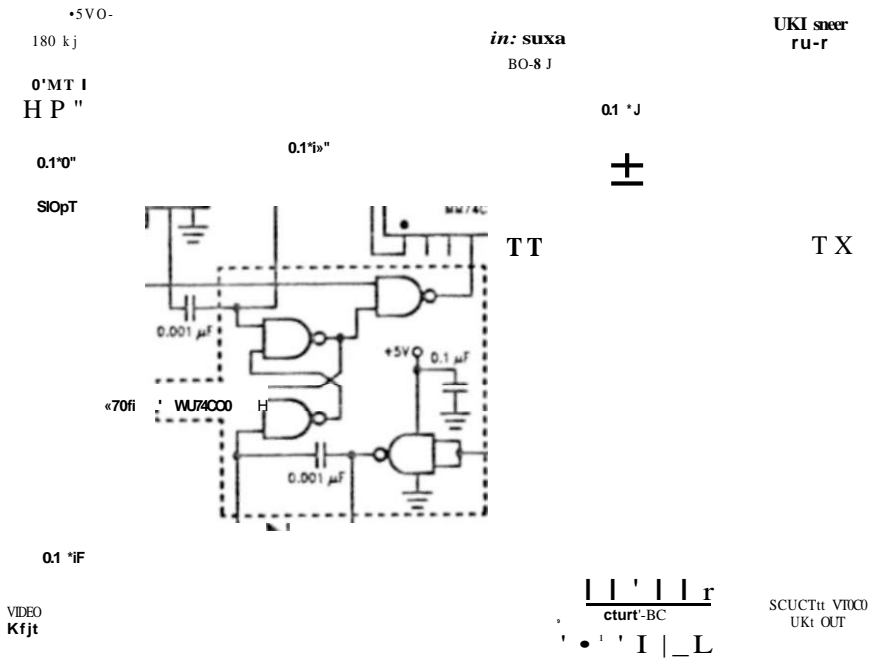


FIGURE 4. Video Line Selector

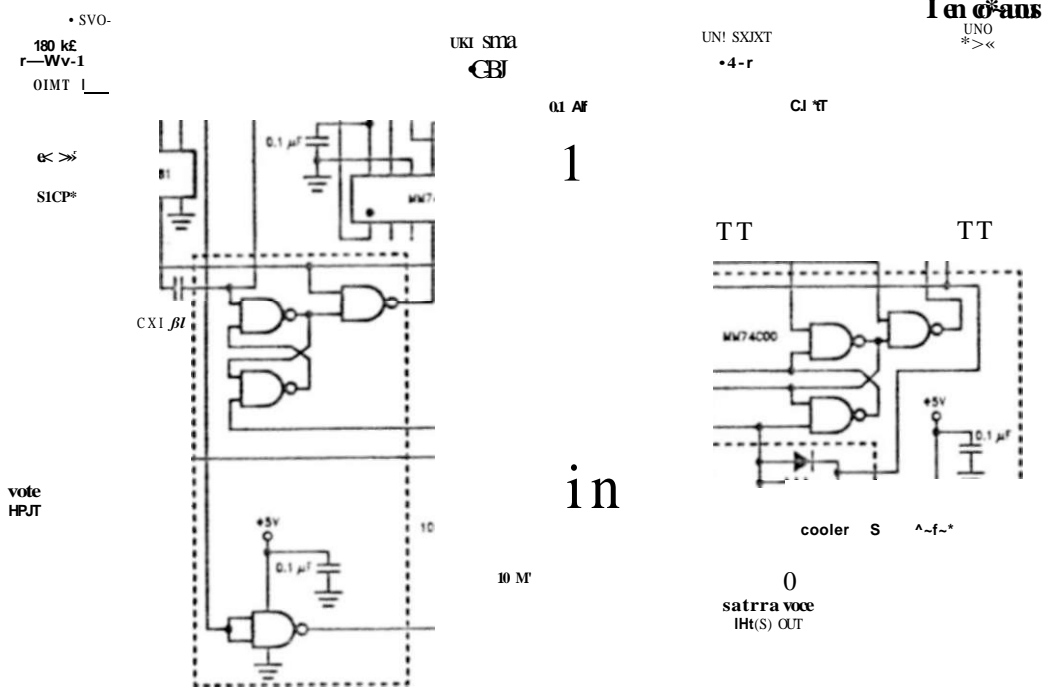


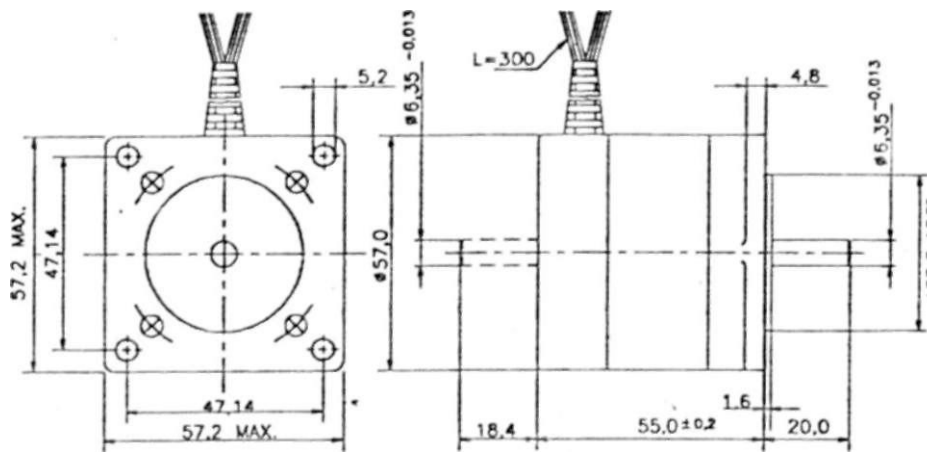
FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

Apêndice C

Dados Técnicos do Motor de Passo

A página seguinte mostra os dados técnicos do motor de passo utilizado neste projeto, fornecidos por seu fabricante, Syncro Eletromecânica Ltda., cujo endereço é:

Syncro Eletromecânica Ltda.
Rua Romão Pulgari, 931 - Vila das Mercês
CEP 04164 - São Paulo - SP
Fone: (011) 946-4317
Fax: (011) 946-9515

**CARACTERÍSTICAS PRINCIPAIS:**

- Alta Performance e Eficiência
- Dimensões Padronizadas
- Trabalha em "Malha Aberta"
- Não Apresenta Escovas
- Baixo Consumo de Potência
- Acionados por Drivers Padrões
- Vida Útil Prolongada
- Utiliza Rolamentos de Dupla Blindagem

ESPECIFICAÇÕES GERAIS:

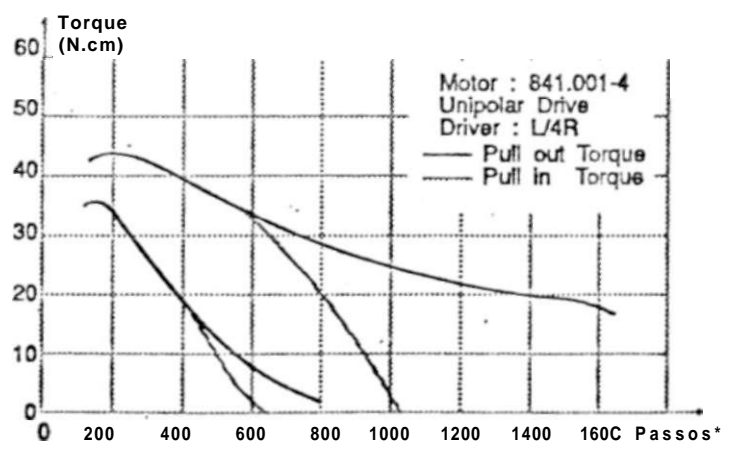
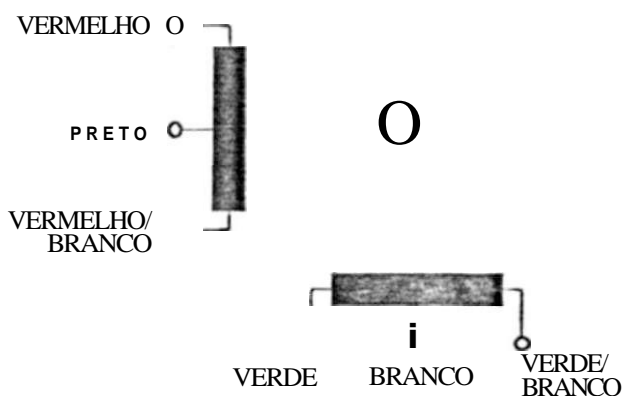
Ângulo de Passo	: 1,8* (0,9*).
N° de Passos/Volta	: 200 (400).
Precisão do Passo	: ± 5 % .
Torque de Travamento	: 48 Nem 67,9 Oz.in
Torque Residual	: 4 N.cm
Temperatura Ambiente	: 0' a 50°C.
Temperatura de Trabalho	: 80'C máx.
Ciase de Isoiação	: B (+ 130°C).
Resistência de Isoiação	: 5MQmin. a 500VCC.
Rigidez Dielétrica	: 1 minuto a 500VCA.

ESPECIFICAÇÕES MECÂNICAS:

Jogo Radial	: 0,02 mm máx. com 450g de carga.
Jogo Axial	: 0,08 mm máx. com 450 g de carga.
Inércia do Rotor	: 177 g cm ² (máx.).
Peso	: 500 g.
N* de fios de saída	: 6 fios AWG 22.

ESPECIFICAÇÕES INDIVIDUAIS

Modelo		Tensão V/f e se	Corrente A/fase	Resistência O/fase	indutância mH/fase
eixo simples	eixo duplo				
841.001-4	841.002-5	5	1,00	5 ± 10%	15 ± 20 %
841.101-5	841.102-6	12	0.6	20 ± 10%	56 ± 20%

DIAGRAMA DAS BOBINAS

UNIVERSIDADE FEDERAL DE PERNAMBUCO
CENTRO DE TECNOLOGIA
DEPARTAMENTO DE ELETRÔNICA E SISTEMAS
COORDENAÇÃO DO MESTRADO EM ENGENHARIA ELÉTRICA

*SISTEMA AUTOMÁTICO DE LEITURA DE AMOSTRAS
EM MICROSCÓPIOS ÓPTICOS*

por

Afonso Henriques Souza da Costa e Silva

Dissertação apresentada ao Mestrado em Engenharia Elétrica da UFPE
como um dos requisitos à obtenção do título de *Mestre*

Orientador: *Prof. Hugo Guerra de Vasconcelos*

Recife, 24 de julho de 1992

Referências

- [1] Ingram, M. e Preston Jr., K. — "*Automatic Analysis of Blood Cells*" — Scientific American, vol. 223, pp. 72-82, Nov. 1970.
- [2] "*Lymphatic filariasis - Fourth report of the WHO Expert Committee on Filariasis*" — World Health Organization, Geneva, 1984.
- [3] "*Control of lymphatic filariasis - A manual for health personnel*" — World Health Organization, Geneva, 1987.
- [4] Silva, Afonso H. Costa e; e Vasconcelos, Hugo G. — "*Sistema Automático de Leitura de Amostras em Microscópios Ópticos*" — 9- Congresso Brasileiro de Automática, Vitória, Set. 1992.
- [5] Silva Jr., Vidal Pereira da — "*Microcontrolador 8051*" — Erica Ed.. São Paulo, 1990.
- [6] « *Development Data - MAB8031AH-2, MAB8051AH-2 - Single-Chip 8-Bit Microcontroller* » — Philips, Abr. 1989.
- [7] "*Microcomputer Components — SAB8051 Family of Single Chip Microcomputers — User's Manual 7.81*" — Siemens, Jul. 1981.
- [8] Giacomo, Paul — "*A Stepping Motor Primer - Part 1: Theory of Operation*" — Byte Publications Inc., pp. 90-105, Feb. 1979.
- [9] Giacomo, Paul — "*A Stepping Motor Primer - Part 2: Interfacing and Other Considerations*" — Byte Publications Inc., pp. 142-149, Mar. 1979.
- [10] Kuo, Benjamin C. — "*Theory and Applications of Step Motors*" — West Publishing Co., 1974.
- [11] Acarnley, Paul P.; Roland, J. Hill e Hooper, Clive W. — "*Detection of Rotor Position in Stepping and Switching Motors by Monitoring Current Waveforms*" — IEEE Trans. Ind. Elect., vol IE-32, No. 3, pp. 215-222, Ago. 1985.
- [12] Acarnley, P. P. — "*Stepping Motors: A Guide to Modern Theory and Practice*" — Londres, Inglaterra: Peter Peregrinus, 1982.
- [13] Basso, Cion Cassiano — "*Motor de Passo*" — CEFET-PR, Departamento de Eletrônica, 1991.

- Panda. Sanjib Kumar e Amaratunga, Gehau — "*Comparison of Two Techniques for Closed-Loop Drive of VR Step Motors Without Direct Rotor Position Scnsing*" — IEEE Trans. Ind. Elect., vol 38. No. 2, Abr. 1991.
- Amaratunga. Gehan; Kuan. Kin-Wah e Crawley, David — "*A Single-Chip CMOS IC for Closed-Loop Control of Step Motors*" — IEEE Trans. Ind. Elect., vol 36, No. 4. Nov. 1989.
- Grob, Bernard — "*Televisão e Sistemas de Vídeo**" — Ed. Guanabara, 5- ed., Rio de Janeiro. 1989.
- "*Camera CCD-TK204*" — Catálogo técnico. Kentec Eletrônica Ltda.. São Paulo.
- "*Closed-Circuit Video Equipment - Camera TC1000 — Instructions Manual*" Catálogo técnico RCA. 1973.
- "*Motor de Passo - Características e aplicações*" — Syncro Electroinecânica Ltda.. São Paulo.
- "*Slo-Syn DC Stepping Motors**" — Superior Electric, Bristol.
- Bento, Celso R. — "*Sistemas de Controle - Teoria t Projetos*" — Erica, São Paulo, 1989.
- Nagle Jr., H. T.; Carroll. B. D.; e Irwin. J. D. — "*An introduction to Computer Logic**" — Prentice-Hall. New Jersey. 1975.
- Horowitz. Paul e Hill, Winfield — "*The Art of Electronics*" — 2ª Ed.. Cambridge University Press, New York, 1989.
- "*Módulos Inteligentes LCD Multi-Matrix*" — Rev. Saber Eletrônica. No. 201. 1989.
- "*Módulos Multi-Matrix - Manual de Utilização*" — Alfacom S.A.. São Paulo.
- "*Turbo Pascal 5.5 - Complete Reference*" — Borland/Osborne. 1989.
- Kortink. J. — "*Black-and-White Video Digitizer*" — Elektor Electronics, pp.29-35. Jul./Aug. 1991.
- Holzner, Steven — "*Linguagem Assembly Avançada para o IBM PC — Guia do Usuário**" — McGraw-Hill, São Paulo, 1990.
- Santos. J. P. e Raymundi Jr., E. — "*Programando em Assembler S086/80SS - Referência completa do IBM PC*" — McGraw-Hill, São Paulo, 1989.
- Mascarenhas. N. D. d'Avila — "*Inirvdução ao Processamento Digitei! de Imagens*" - Mini-Curso Jornada EPUSP-IEEE em Computação Visual. São Paulo, Dez. 1990.
- Mascarenhas. N. D. d'Avila e Velasco. F. R. D. — "*Processamento Digital de Imagens** 2ª ed., Kapelusz - EBAI, Buenos Aires, 1990.
- Galbiati Jr., Louis J. — "*Meichine \ision and Digital Image Processing Fundeimentals**" — Prentice-Hall International. 1990.
- Banon. Gerald J. Francis — "*Bases da Computação Gráfica**" — Ed. Campus, 1989.

- [34] Jarvis, L. R. — "Microcomputer Video Image Analysis" — Journal of Microscopy, vol. 150, pt. 2, pp.83-97, Mai/1988.
- [35] Silva, Afonso H. Costa e; e Vasconcelos, Hugo G. — "*Programador de Baixo Custo para os Microcontroladores 8086/8751*" — Anais do XV Encontro Nacional de Física da Matéria Condensada, Caxambu, Mai. 1992.
- [36] Silva, Afonso H. Costa e — "*Relatório da Disciplina de Tópicos Especiais em Eletrônica 1 - Programador do Microcontrolador 8751 Via Microcomputador PC-XT*" — UFPE - DES - relatório interno. Jul. 1991.

Capítulo 1

Introdução

Exames laboratoriais de amostras preparadas em lâminas de vidro para inspeção em microscópios são, hoje em dia, tarefas rotineiras da vida médica. Laboratórios de análises clínicas e hospitais recebem diariamente um número muito grande de pacientes com requisições para exames que requerem algum tipo de inspeção visual em microscópio. Inúmeros são os diagnósticos que podem ser extraídos a partir de amostras de sangue, fezes, urina, mucosas, secreções, etc. do corpo humano, a partir da detecção e contagem de diversos aspectos característicos contidos nestas amostras.

Entretanto, os exames feitos por inspeção de amostras em microscópios são bastante caros e trabalhosos, requerendo o uso de materiais de custo alto e várias horas de trabalho de técnicos e profissionais qualificados. Além disso, a confiabilidade nos resultados pode ser questionada. A medida em que a carga representada pelo número de exames a serem realizados em um dado laboratório aumenta, diminui a confiabilidade nos seus resultados, uma vez que eles tendem a serem feitos por técnicos ainda sem experiência suficiente, ou por profissionais sobrecarregados que são dominados pelo cansaço do longo dia de trabalho.

A automação destes exames [1] seria extremamente importante para diminuir essas dificuldades, no sentido de padronizar o método de análise, aumentar a confiabilidade nos resultados e diminuir o custo global de cada análise. Sua implementação busca proporcionar não só a diminuição no tempo de execução de cada exame, como também uma menor participação dos técnicos e profissionais qualificados durante a realização dos mesmos.

1.1 Motivação

O estudo de doenças tropicais, tais como a *filariose* [2,3], é de vital importância para os países localizados nestes tipos de regiões, em particular o Brasil. Atualmente alguns laboratórios e institutos de pesquisa, entre os quais destaca-se o Centro de Pesquisas Aggeu Magalhães (CPqAM), da Fundação Oswaldo Cruz (FIOCRUZ), situado no campus da UFPE, têm desenvolvido pesquisas junto às camadas mais pobres da população, com a finalidade não só de obter levantamentos estatísticos a respeito da evolução de tais doenças, mas também de buscar métodos de prevenção e

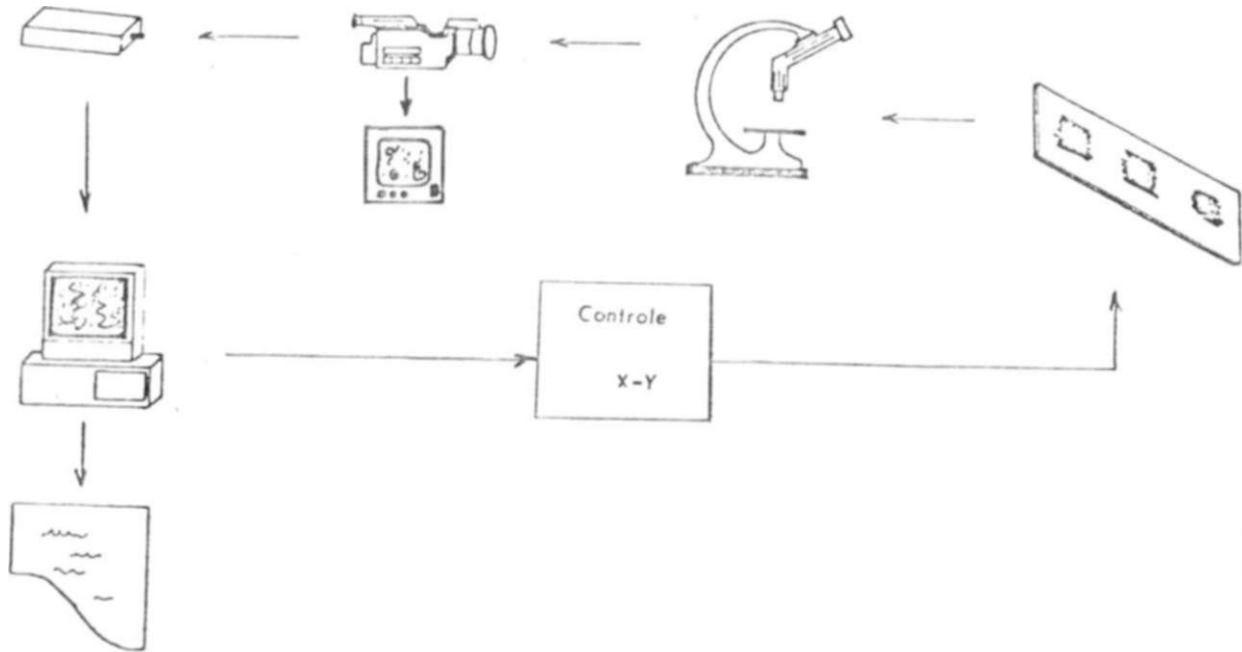


Figura 1.1: Diagrama ilustrativo do sistema de automação de diagnósticos

controle das mesmas.

No caso da *filariose*, o diagnóstico se dá através da contagem, em um microscópio óptico, do número de microfilárias existentes em uma lâmina de vidro com amostras sanguíneas do paciente com suspeita de contaminação. E, portanto, um trabalho caro, lento, bastante cansativo, e sujeito a erros humanos, dado o desconforto e a dificuldade do processo de contagem visual. E, como o microscópio não consegue focar de uma única vez toda a amostra sanguínea, é necessário que o operador desloque continuamente a lâmina de vidro sob o campo visual do microscópio de maneira a rastrear toda a área de interesse.

Este trabalho teve por objetivo auxiliar no processo de automação do diagnóstico, através do estudo e desenvolvimento de um sistema microcontrolado de varredura da lâmina contendo as amostras sanguíneas, e digitalização das imagens provenientes de uma câmera de TV padrão, acoplada ao microscópio óptico utilizado na observação das referidas amostras.

Uma vez digitalizadas, as imagens são enviadas a um microcomputador pessoal (PC) que, através de algoritmos de Reconhecimento de Padrões, identificam as microfilárias existentes nas amostras. Este trabalho pode ser melhor compreendido observando-se a Figura 1.1.

A automação desta tarefa torna mais rápida e confiável a análise e o diagnóstico das amostras, além de eliminar o trabalho rotineiro, cansativo e susceptível a erros de contagem das microfilárias, feito por observação visual humana.

O sistema desenvolvido é útil para quaisquer exames que envolvam inspeção visual de lâminas de vidro com amostras de diversas naturezas em microscópios ópticos, e será detalhado nesta

dissertação.

O reconhecimento e contagem automática dos aspectos característicos contidos nas amostras em inspeção (no caso da filariose, as *microfilarias*), é assunto de outra tese já em fase final de desenvolvimento.

1.2 Organização desta dissertação

Esta dissertação foi escrita procurando detalhar, da maneira mais completa possível, o desenvolvimento do *Sistema Automático de Leitura de Amostras em Microscópios Ópticos*.

Após este capítulo introdutório, o capítulo 2 faz uma apresentação do sistema, descrevendo-o em termos de sua concepção e diagrama em blocos. O capítulo 3 trata do microcontrolador 8051, da família MCS-51 da INTEL, que é o principal componente do sistema desenvolvido. O capítulo 4 faz uma abordagem dos motores de passo, ressaltando a teoria e o princípio de funcionamento dos mesmos, bem como fazendo um estudo dos tipos de acionadores normalmente utilizados para movimentar esses motores.

O capítulo 5 é o capítulo central desta dissertação, e descreve o projeto do sistema, tendo como pontos principais: (a) o dimensionamento dos motores e das engrenagens; (b) o projeto dos circuitos de acionamento dos motores; (c) o teclado dedicado para operação do sistema; e (d) o display auxiliar de interação com o usuário.

O capítulo 6 descreve a operação do sistema, detalhando os comandos e opções disponíveis para facilitar o exame por parte do usuário. Este capítulo trata também da comunicação serial entre o microcontrolador 8051 e o PC, destacando a interface serial RS-232C e o protocolo utilizado, bem como o programa desenvolvido no PC para controlar o sistema via canal de comunicação serial.

O capítulo 7 descreve o sistema de aquisição e digitalização de imagens desenvolvido para capturar imagens do microscópio óptico. Este sistema de digitalização de imagens teve, entretanto, um propósito completamente geral, não se limitando apenas à aquisição de imagens das amostras sanguíneas. O capítulo 8 mostra exemplos de aplicações do digitalizador, ressaltando processamentos típicos feitos nas imagens digitalizadas. Finalmente, o capítulo 9 faz as conclusões e deixa sugestões para possíveis trabalhos futuros.

Três apêndices compõem esta dissertação. O apêndice A descreve o programador de baixo custo desenvolvido para possibilitar a gravação da EPROM do microcontrolador 8751, sendo parte fundamental para o desenvolvimento deste trabalho. O apêndice B inclui os dados técnicos dos principais componentes utilizados na confecção do sistema, enquanto que o apêndice C traz os dados técnicos dos motores de passo utilizados.

Capítulo 2

Concepção do Sistema

Uma análise por inspeção visual em microscópio geralmente requer que a amostra a ser examinada seja preparada sobre uma lâmina ou plaqueta de vidro (figura 2.1). A amostra, que pode receber substâncias químicas (fixadores, solventes, corantes, aglutinadores, etc.) que auxiliam o preparo ou reajam os aspectos característicos a serem detectados, é geralmente espalhada por sobre a lâmina de vidro, formando o que se costuma chamar de esfregaços. Uma vez preparada a lâmina, o examinador a leva para o microscópio, e faz uma varredura de toda a área da amostra, buscando identificar, e muitas vezes contar, os aspectos de interesse ao exame. Um método bastante utilizado é o de dividir imaginariamente cada esfregaço em uma matriz de $m \times n$ campos, onde cada campo corresponde à área visível da amostra nas objetivas do microscópio, e percorrê-los de maneira ordenada.

—•—

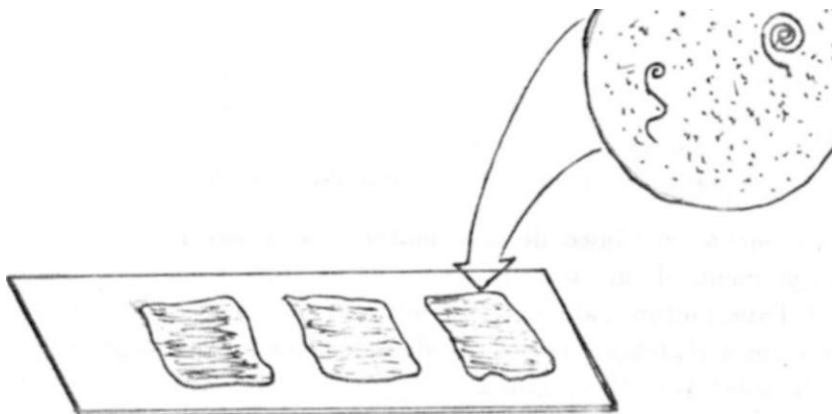


Figura 2.1: Exemplo de uma lâmina de vidro preparada com uma amostra de sangue para detecção de microfilárias.

O Sistema Automático de Leitura de Amostras em Microscópios Ópticos foi concebido principalmente de modo a tornar a análise das amostras mais rápida e mais confiável, além de eliminar o trabalho rotineiro, cansativo e susceptível a erros do examinador.

A motivação inicial do desenvolvimento do sistema foi sua aplicação no exame de detecção da

filariose. Foram analisados diversos aspectos do procedimento do exame, procurando-se determinar quais eram os pontos que dificultavam sua execução. Os principais pontos encontrados foram:

1. O desconforto físico para o examinador, que ficava debruçado por sobre o microscópio, com os olhos fixos em duas lentes monoculares, observando imagens de grande intensidade luminosa. Isso acarretava um grande cansaço físico e, principalmente, visual do examinador, fazendo com que ele examinasse poucas lâminas por dia e que a probabilidade de erro de contagem fosse maior para as últimas lâminas do dia.
2. A grande concentração exigida, pelo fato do examinador não possuir um sistema de transdução e marcação da posição da porção da amostra sob as objetivas do microscópio. Sem um sistema de marcação da posição da amostra em observação, o examinador estava sujeito a deixar de ler determinadas regiões da amostra ou, ao contrário, ler mais de uma vez a mesma região, gerando falsas contagens e, conseqüentemente, diagnósticos errados.
3. A grande concentração exigida, pelo fato da amostra ser grande em relação à área visível de uma única vez com as objetivas do microscópio. O fato do tamanho de um esfregaço ser grande em relação ao número de campos (uma média de 200 campos por esfregaço), podia levar o examinador a se perder dentro do esfregaço, sem saber o sentido de movimentação a ser tomado e forçando-o a reiniciar a varredura do mesmo.

A concepção do sistema teve como meta minimizar as dificuldades citadas acima.

Para a diminuição do desconforto visual do examinador, foi feito o acoplamento de uma câmera de TV padrão ao microscópio, possibilitando a visualização das amostras em um monitor de TV (figura 2.2). Este monitor, além de apresentar as imagens em uma tela de área muitas vezes maior que a área de uma lente monocular, permite a observação das mesmas à distância. Assim, o examinador passa a observar uma imagem de intensidade luminosa menor, devido a uma maior diversidade do fundo da cena (o ambiente externo ao monitor de TV). Seu conforto passou a ser bem maior em relação à observação da amostra diretamente no microscópio, e o seu posicionamento à distância do microscópio sugeriu a concepção do restante do sistema.

Foram feitos o acoplamento mecânico de dois motores de passo à mesa de sustentação da lâmina de vidro e o acoplamento de um terceiro motor de passo ao controle de ajuste de foco do microscópio (figura 2.2). Estes motores, além de possibilitar a movimentação remota da lâmina com a amostra, permitiram fazer a marcação da posição da amostra em observação sem a necessidade de transdutores externos, solucionando o ponto 2.

O uso de um teclado dedicado facilitou o comando de movimentação mesa do microscópio, controle de ajuste de foco e contagem das microfilárias. Um display auxiliar permitiu a visualização da posição, em termos das coordenadas X e Y da amostra, e o número de filárias já contadas, solucionando o ponto 3. O teclado e o display auxiliar foram integrados em um console externo ao sistema, formando um controle remoto.

O controle do teclado, display e motores de passo sugeriu que o sistema fosse microcontrolado. O microcontrolador utilizado foi o 8051, da família MCS-51, fabricado pela INTEL, que, além de

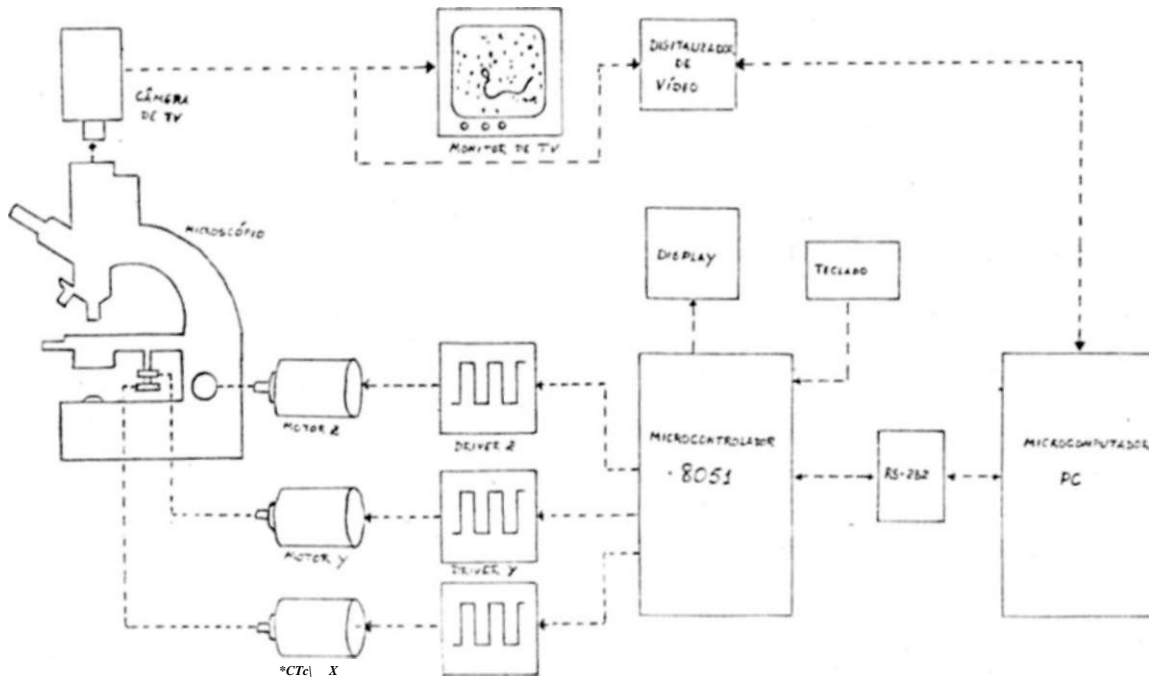


Figura 2.2: Diagrama esquemático do *Sistema Automático de Leitura de Amostras em Microscópios Ópticos*.

possuir todos os elementos necessários ao controle do sistema, possui um canal de comunicação serial que permite transmissão e recepção de dados e/ou comandos para/de um microcomputador pessoal (PC) (figura 2.2). Este fato tornou possível não só a transferência de informações ao PC (por exemplo, o número de filarias contadas), mas também o controle do sistema pelo PC.

No sentido de dar um poder de automação ainda maior ao sistema, foi desenvolvido um digitalizador de vídeo de baixo custo, para capturar digitalmente as imagens da amostra em inspeção. A partir destas imagens, e através de um processamento em computador, utilizando-se algoritmos de reconhecimento de padrões, pode-se chegar a um diagnóstico completamente automatizado. O digitalizador desenvolvido [27] tem uma resolução máxima de 640 x 480 pixels e 256 níveis de cinza. Este digitalizador é acoplado ao PC, que comunica-se via porta serial com o microcontrolador do sistema, permitindo o comando a varredura da amostra de maneira completamente automática, sem nenhuma interferência do examinador.

Conforme mostra o diagrama esquemático da figura 2.2, o sistema desenvolvido consiste, então, de um microscópio óptico, modificado pelo acoplamento mecânico de dois motores de passo ao sistema de movimentação X-Y de sua mesa, e pelo acoplamento de um motor de passo a seu controle de ajuste de foco. Estes três motores de passo são comandados por um microcontrolador da família MCS-51 da INTEL, que interage com o operador através de um teclado dedicado e de um visor auxiliar, e com um microcomputador do tipo PC via canal de comunicação serial.

Uma câmera de TV acoplada ao microscópio capta as imagens da amostra em inspeção e estas são visualizadas em um monitor de TV. Uma versão mais avançada do sistema inclui um digitalizador de imagens, controlado pelo PC, para processamento digital e diagnóstico automático da amostra.

A finalidade dos motores de passo é a de permitir tanto a movimentação automática da mesa X-Y do microscópio, como a focalização da imagem da amostra em observação. Para o acionamento de cada motor, foram utilizados um circuito acionador sequencial e drivers por fonte de tensão [8,9]. O microcontrolador envia dois sinais para cada circuito acionador: um pulso de clock correspondente a um passo do motor, e um sinal de sentido, que indica o sentido de rotação do eixo do motor. A posição da mesa X-Y do microscópio é controlada contando-se o número de passos dado por cada um dos dois motores em uma dada direção, não havendo a necessidade de transdutores de posição. A movimentação da mesa X-Y do microscópio pode ser feita de modo contínuo (1 passo por vez), o que permite uma varredura bastante fina da lâmina contendo a amostra, ou por campos, onde agora 1 campo corresponde ao deslocamento da mesa que faz com que um dado ponto da amostra em inspeção percorra, na tela do monitor de TV, uma distância correspondente à largura ou à altura da tela. Um conjunto de 6 chaves detetoras de fim-de-curso (2 por motor) delimita a faixa de deslocamento de cada motor, protegendo também o acoplamento mecânico dos motores ao microscópio.

O teclado dedicado é composto de 8 teclas, sendo 6 delas destinadas à movimentação dos motores (2 por motor, uma para cada sentido), 1 tecla multi-funcional e 1 tecla auxiliar. A tecla imulti-funcional permite ao operador: (a) inicializar o sistema, fazendo a definição de um conjunto de parâmetros que definem a métrica da movimentação X-Y; (b) escolher entre a movimentação contínua ou por campos; (c) reinicializar a posição X-Y da mesa ao campo (1,1) para início da varredura; (d) visualizar no display auxiliar o número de aspectos já contados pelo examinador; (e) fazer a transmissão desse número para o PC e (f) fazer a varredura da lâmina.

O display auxiliar é um módulo multi-matrix de cristal líquido de 2 linhas de 16 caracteres que, na função (f) descrita acima informa ao examinador o campo X,Y que está sendo mostrado no monitor de TV e o número de aspectos contados até o momento para o esfregaço que está sendo varrido (uma amostra pode estar dividida na lâmina de vidro em mais de um esfregaço). Nas outras funções (a)-(e) do sistema, o display mostra ao examinador mensagens no sentido de guiar seus procedimentos.

O principal elemento do sistema é o microcontrolador 8051. Sua utilização confere uma versatilidade enorme ao sistema como um todo, além de diminuir bastante o hardware necessário ao seu funcionamento. Este microcontrolador possui 4 Kb de memória de programa, 256 bytes de memória de dados, 4 portas de entrada/saída, dois contadores/timers programáveis e um canal de comunicação serial full-duplex. Todos estes recursos disponíveis internamente em um único chip foram amplamente explorados na operação deste sistema. O microcontrolador 8051 é responsável por: fazer a leitura do teclado; identificar e interpretar a tecla pressionada, executando a ação correspondente; comandar os circuitos acionadores dos motores de passo; identificar condições de fim-de-curso para um dado motor; enviar mensagens de interação com o examinador ao display auxiliar e comunicar-se com o PC, transmitindo e recebendo dados e comandos. Todos estes requisitos fazem do microcontrolador um elemento de controle inteligente do sistema, sem o qual a automação do mesmo seria certamente uma tarefa mais difícil e de implementação bem mais cara.

Capítulo 3

O Microcontrolador 8051

Os microcontroladores vêm revolucionando o projeto de sistemas de controle digitais, devido a grande versatilidade de hardware e software obtida com o uso destes dispositivos [5]. Também conhecidos pelo nome de "microcomputadores-de-um-único chip", pelo fato de incorporarem elementos do tipo: memória de programa, memória de dados, dispositivos de Entrada/Saída (E/S), temporizadores/contadores programáveis, canais de comunicação serial, e conversores A/D e D/A, os microcontroladores são bastante indicados em aplicações onde o custo e a dificuldade de implantação desaconselham o uso de um microcomputador.

Este capítulo descreve o microcontrolador 8051AH, da família MCS-51, fabricado pela INTEL, que foi o dispositivo utilizado como elemento inteligente de controle do sistema desenvolvido como tema deste trabalho.

3.1 Descrição funcional

O microcontrolador 8051 AH é um dispositivo de alta performance, projetado para uso em aplicações em tempo real, tais como instrumentação, controle industrial e dispositivos periféricos inteligentes para computadores [6,7].

Este chip de 40 pinos possui integrados dentro de si os seguintes elementos, conforme mostra o diagrama em blocos da figura 3.1:

- Memória interna de programa de 4K bytes, sob forma de ROM (8051AH), ou EPROM (8751H). Esta memória pode ser expandida em até 64K bytes externos;
- Memória interna de dados de 256 bytes, sendo 128 bytes disponíveis ao usuário, e 128 bytes sob a forma de registradores de funções especiais. Esta memória pode ser expandida em mais 64K bytes externos;
- 4 portas de E/S de 8 bits cada, correspondendo a 32 linhas individualmente acessáveis;

SERVIÇO PÚBLICO FEDERAL
UNIVERSIDADE FEDERAL DE PERNAMBUCO
CENTRO DE TECNOLOGIA
COORDENAÇÃO DO MESTRADO EM ENGENHARIA ELÉTRICA

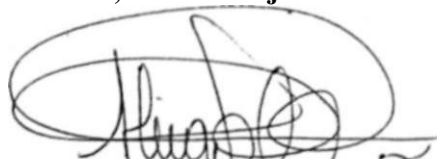
PARECER DA COMISSÃO EXAMINADORA DE DEFESA DE TESE DE MESTRADO DE
AFONSO HENRIQUES SOUZA DA COSTA E SILVA

TÍTULO


"SISTEMA AUTOMÁTICO DE LEITURA DE AMOSTRAS EM MICROSCÓPIOS ÓPTICOS"

A Comissão Examinadora composta pelos professores :
Hugo Guerra de Vasconcelos, DES/UFPE, Mauro Rodrigues dos Santos,
DES/UFPE e Guilherme Vilar, UFPB, sob a presidência do primeiro,
consideram o candidato AFONSO HENRIQUES SOUZA DA COSTA E SILVA
APROVADO COM DISTINÇÃO-

Recife, 24 de julho de 1992



HUGO GUERRA DE VASCONCELOS



MAURO RODRIGUES DOS SANTOS



GUILHERME VILAR

- 2 temporizadores ou contadores de eventos de 16 bits;
- 1 canal de comunicação serial do tipo UART full duplex;
- oscilador interno que permite trabalhar até 12 MHz;
- estrutura de interrupções de 5 fontes com dois níveis de prioridade.

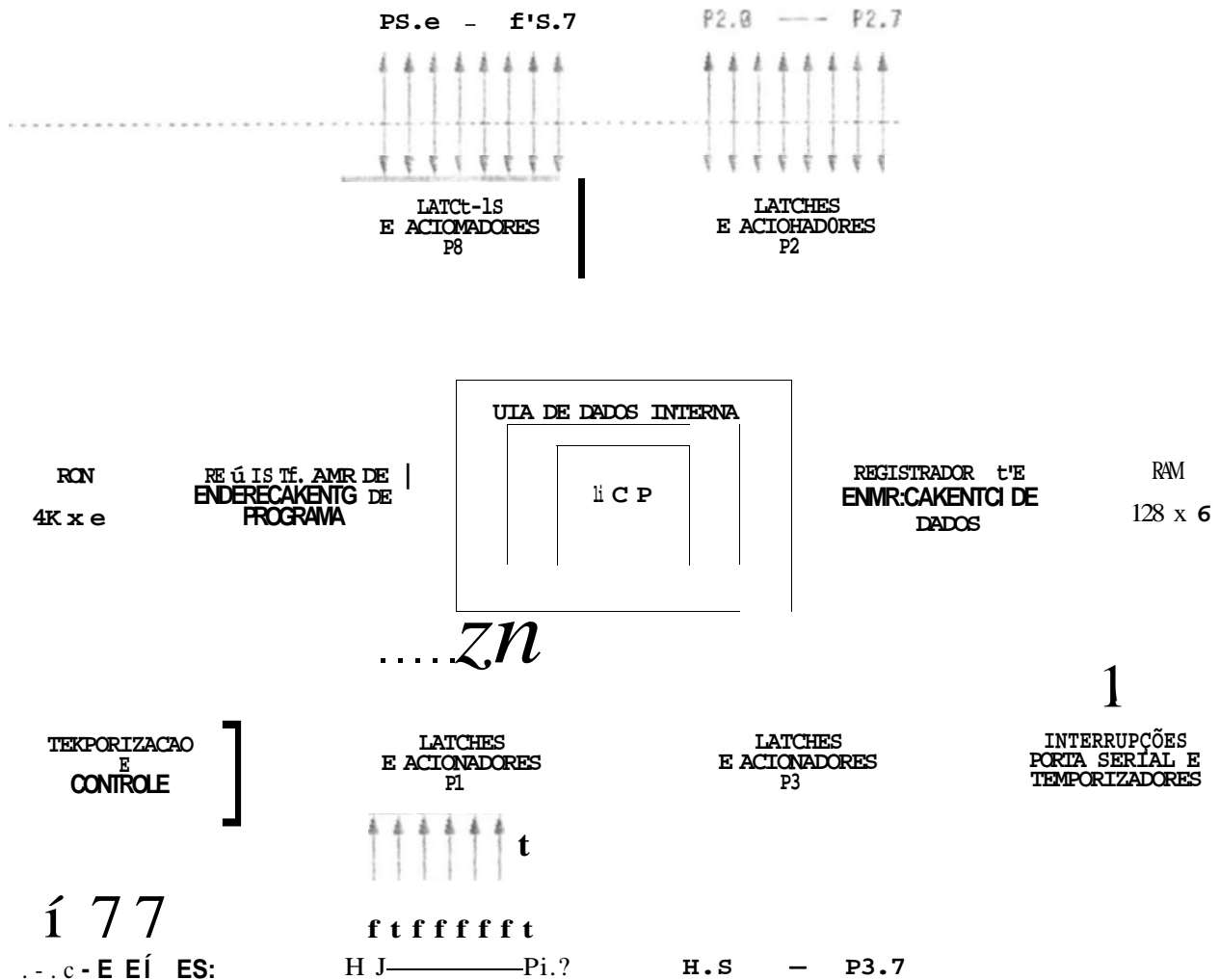


Figura 3.1: Diagrama em blocos da estrutura do microcontrolador 8051AH.

Sua unidade central de processamento permite trabalhar com aritmética binária ou BCD, incluindo instruções de manipulação de bits. Seu conjunto de 255 instruções inclui operações complexas, tais como multiplicação, divisão e comparação.

Todas estas características fazem do 8051 AH um dispositivo muito versátil no projeto de sistemas de controle e em aplicações que requerem até 64K bytes de memória de programa e/ou até 64K bytes de memória de dados.

3.1.1 Pinagem (encapsulamento DIL)

O microcontrolador 8051 pode se apresentar com o encapsulamento DIL, de 40 pinos (figura 3.2), ou com o encapsulamento QUAD PACK, de 44 pinos. Destes dois, o encapsulamento DIL é o mais

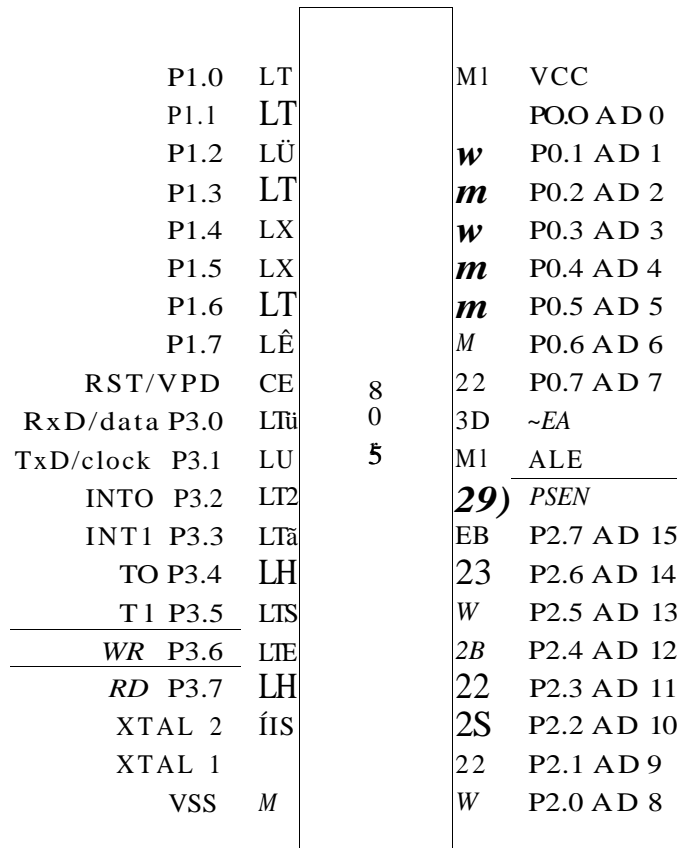


Figura 3.2: Diagrama da pinagem do microcontrolador 8051 no encapsulamento DIL.

As funções de cada pino estão detalhadas na tabela 3.1.

3.2 Memória de programa:

O 8051 tem espaços de endereços separados para a memória de programa e para a memória de dados. A memória de programa pode ter até 64K bytes, conforme mostra a figura 3.3.

	<u>Nome</u>	<u>Descrição</u>
1-8	P1.0-P1.7	Porta quasi-bidirecional de 8 bits de E/S. Recebe o byte menos significativo de endereço durante a verificação de programas. Pode alimentar (fornecer ou drenar) uma carga TTL, ou várias cargas MOS sem pull-ups externos.
	RST/YPD	Um nível lógico alto neste pino por dois ciclos de máquina reseta o microcontrolador. Um resistor de pull-down interno permite o reset ao ligar utilizando-se apenas um capacitor conectado a Vcc.
10—17	P3.0 — P3.7	Porta quasi-bidirecional de 8 bits de E/S, com pull-ups internos. Também provê as seguintes funções alternativas: <i>Pino Função Alternativa</i> P3.0 RxD/data: entrada de recepção de dados da porta serial (assíncrono), ou entrada e saída de dados (síncrono) P3.1 TxD/clock: saída de transmissão de dados da porta serial (assíncrono), ou saída de clock (síncrono) P3.2 <i>INT0</i> : interrupção externa 0 ou entrada de controle para o temporizador/contador 0 P3.3 <i>INT1</i> : interrupção externa 1 ou entrada de controle para o temporizador/contador 1 P3.4 <i>TO</i> : entrada externa para o temporizador/contador 0 P3.5 <i>T1</i> : entrada externa para o temporizador/contador 1 P3.6 <i>WR</i> : habilitação de escrita na memória de dados externa P3.7 <i>RD</i> habilitação de leitura na memória de dados externa A operação de uma função alternativa é determinada pela programação do latch da saída relevante em nível lógico 1. A porta 3 pode alimentar uma carga 1 TL, e várias cargas MOS sem a necessidade de pull-ups externos.
18	XTAL 2	Saída do amplificador inversor que forma o oscilador, e entrada do gerador de clock interno. Recebe o sinal do oscilador externo quando um oscilador externo é utilizado.
19	XTAL 1	Entrada do amplificador inversor que forma o oscilador. Conectado a Vss quando um oscilador externo é utilizado.
20	Yss	Conexão de terra do microcontrolador
21-28	P2.0-P2.7	Porta quasi-bidirecional de 8 bits de E/S com pull-ups internos. Emite o byte mais significativo de endereço quando acessando a memória externa. Recebe os bits mais significativos de endereço e os sinais de controle durante a verificação do programa. Pode alimentar uma carga TTL, ou várias cargas MOS sem pull-ups externos.
29	<i>PSEN</i>	E ativado duas vezes a cada ciclo de máquina durante buscas na memória de programa externa. Permanece em nível lógico 1 durante buscas na memória de programa interna.
30	<i>ALE</i>	Faz a retenção do byte menos significativo de endereço no latch de endereços durante acesso à memória externa em operação normal. E ativado a cada 6 períodos do oscilador exceto durante um acesso à memória de dados externa.
31	<i>EA</i>	Entrada de seleção de memórias. Quando em nível lógico 1, a CPU carrega as instruções da memória de programa interna, desde que o contador de programa seja menor que 4096. Quando em nível lógico 0, a CPU carrega as instruções apenas da memória de programa externa.
32-39	P0.7-P0.0	Porta bi-direcional de 8 bits de E/S do tipo dreno aberto. E também a parte baixa de endereços multiplexada com o barramento de dados durante acessos à memória externa (ativando pull-up's internos). Serve também como saída dos bytes de instruções durante a verificação da programação, sendo para isso necessários pull-up's externos. Pode alimentar 2 cargas TTL.
40	Vcc	Tensão de alimentação de + 5 V durante operação normal.

Tabela 3.1: Descrição da pinagem do microcontrolador 8051.

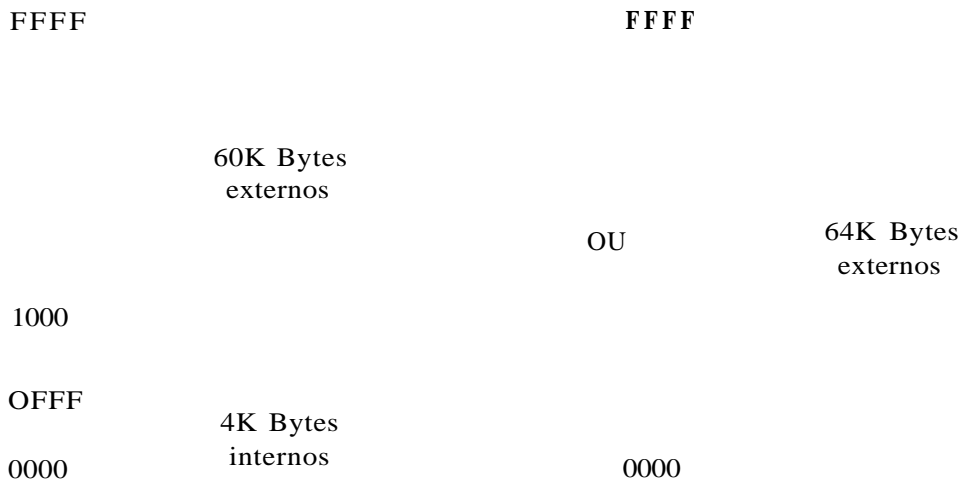


Figura 3.3: Organização da memória de programa do 8051

3.3 Memória de dados:

O 8051 pode endereçar até 64K bytes de memória de dados externa ao chip. A instrução "MOVX" é utilizada para acessar a memória de dados externa. O 8051 possui 128 bytes de memória RAM interna ao chip, e mais um certo número de registradores de funções especiais. Os 128 bytes da parte baixa da RAM podem ser acessados tanto por endereçamento direto como por endereçamento indireto. A figura 3.4 mostra a organização da memória de dados no 8051.

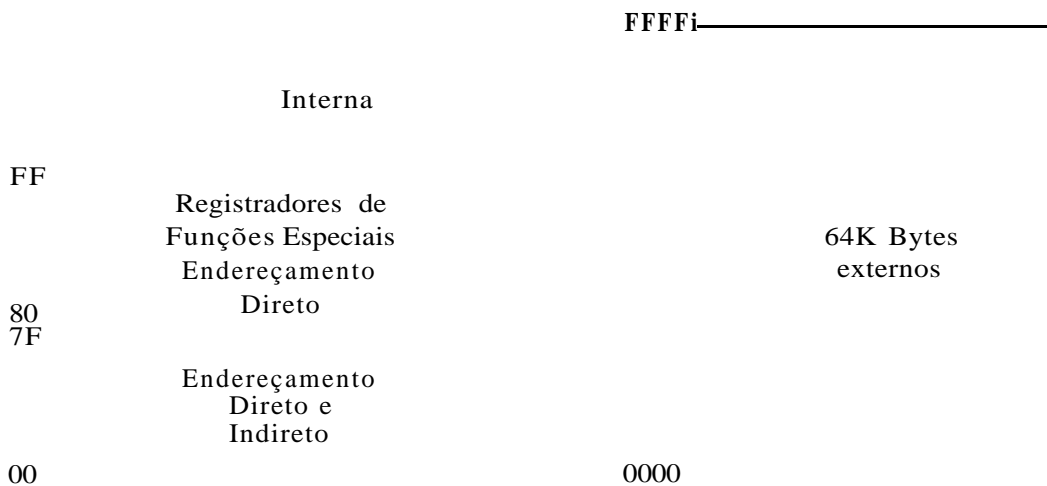


Figura 3.4: Organização da memória de dados do 8051.

A memória de dados interna contém quatro bancos de registradores (cada um com oito registradores), 128 bits individualmente endereçáveis e a pilha, conforme mostra a figura 3.5. A

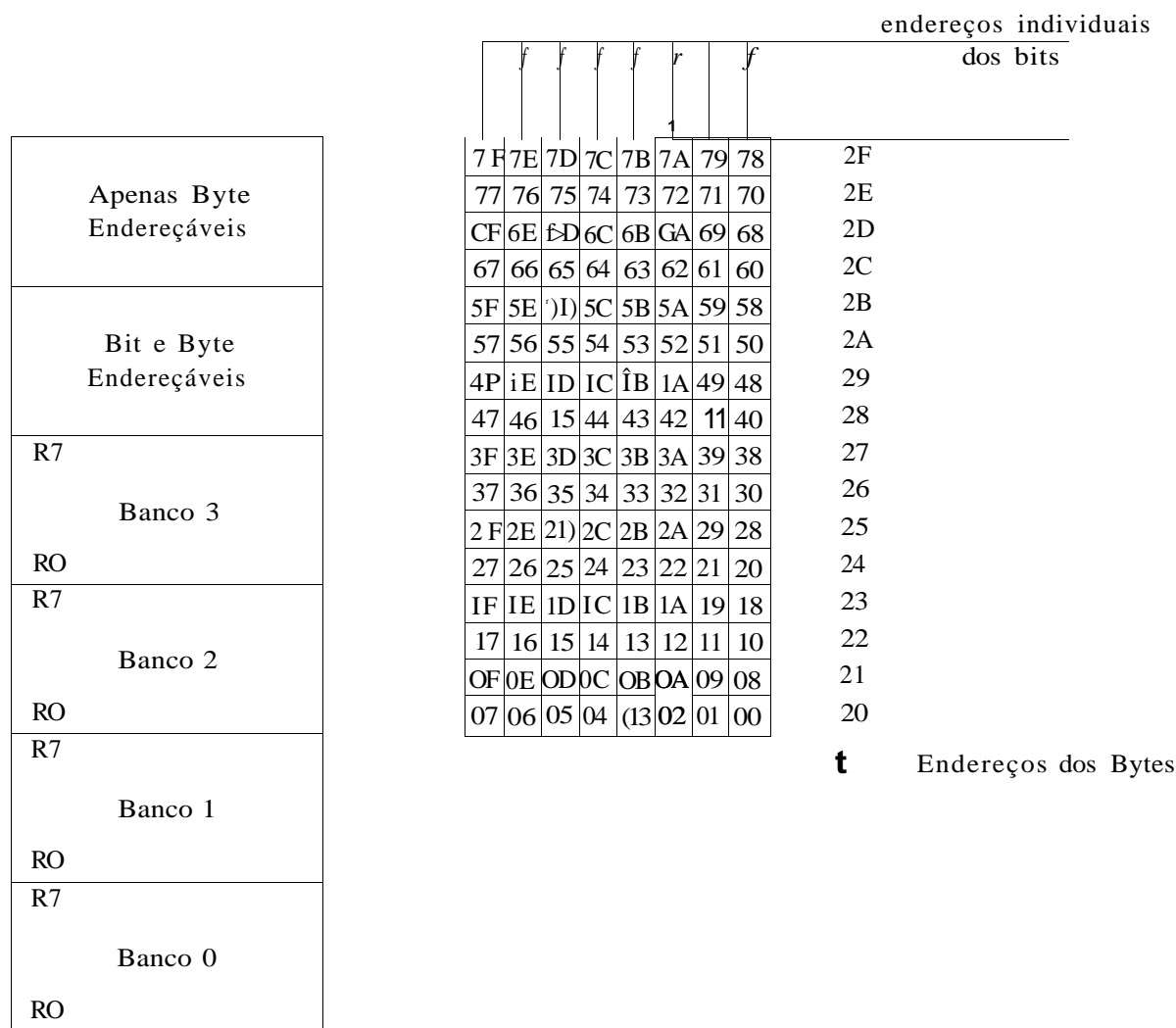


Figura 3.5: Diagrama da parte baixa da RAM

profundidade da pilha é limitada pela quantidade de memória disponível e sua localização é determinada pelo ponteiro de pilha de 8 bits.

Todos os registradores, exceto o contador de programa e os quatro bancos de 8 registradores, estão localizados no espaço de endereços dos Registradores de Funções Especiais. Estes registradores mapeados na memória incluem registradores aritméticos, ponteiros, portas de E/S, registradores do sistema de interrupções, temporizadores e a porta serial, conforme a descrição abaixo:

PO (80H), PI (90H), P2 (A0H) e P3 (B0H) : São as posições da RAM que contém os dados das quatro portas de E/S do microcontrolador, podendo ter seus bits individualmente endereçados. Uma escrita em um destes registradores altera automaticamente o conteúdo na saída do chip. enquanto que uma leitura dos mesmos coloca os dados presentes nos pinos

dentro destes registradores.

SP (81H) : Este é o registrador ponteiro da pilha, que indica o último endereço de armazenamento na pilha.

TH1 (8DH), TL1 (8BH), TH0 (8CH) e TLO (8AH) São os registradores de dados dos temporizadores/contadores T1 e TO, respectivamente.

TCON (88H) e TMOD (89H) : São os registradores de Controle e de Modo de Operação dos temporizadores/contadores. Nestes registradores é feita a programação dos temporizadores T1 e TO. TCON é bit endereçável.

PCON (87H) : Este registrador permite a ativação do modo "Power-Down" e "Idle" nas versões CMOS do microcontrolador, além de definir a taxa de transmissão da porta serial.

SCON (98H) e SBUF (99H) : O SCON, que é bit-endereçável, é o registrador onde é feita a programação do canal serial do microcontrolador. O registrador SBUF é o registrador onde são escritos os bytes a serem transmitidos, ou lidos os bytes recebidos pelo canal serial.

IE (A8H) e IP (B8H) : Estes registradores, bit-endereçáveis, determinam quais fontes de interrupção estão habilitadas e qual a prioridade (maior ou menor) de cada uma.

PSW (DOH) : O registrador PSW, bit-endereçável, contém os flags que indicam as ocorrências da Unidade de Lógica e Aritmética após a última operação desta unidade, além de indicar qual banco de registradores está selecionado.

CY	AC	FO	RS1	RSO	ov	-	p
----	----	----	-----	-----	----	---	---

CY	PSW.7	Flag Carry
AC	PSW.6	Flag Carry Auxiliar
FO	PSW.5	Disponível ao usuário para propósito geral
RS1	PSW.4	Bit 1 de seleção do banco de registradores
RSO	PSW.3	Bit 0 de seleção do banco de registradores
OV	PSW.2	Flag de overflow
-	PSW.1	Reservado para uso futuro
V	PSW.0	Flag de paridade. Ativado/desativado pelo instrução para indicar um número ímpar/par de bits em nível lógico 1 no acumulador.

ACC (EOH) e B (FOH) Estes registradores são o acumulador e o registrador B utilizados principalmente para operações de lógica e aritmética. São bit-endereçáveis.

DPH (83H) e DPL (82H) Estes dois registradores podem ser referenciados como um único registrador de 16 bits, DPTR. É utilizado para indexar leituras de constantes ou tabelas armazenadas na memória de programa, para ler ou escrever variáveis na memória de dados externa, ou para instruções de desvio na memória de programa.

O microcontrolador 8051 possui 5 métodos para endereçar operandos fonte:

- Registrador
- Direto
- Registrador Indireto
- Imediato
- Registrador-Base mais Registrador-Índice-Indireto

Os primeiros três métodos podem ser utilizados para endereçar operandos destino. A maioria das instruções têm um campo "*destino, fonte*" que especifica o tipo dos dados, o método de endereçamento e os operandos envolvidos.

Os seguintes endereçamentos são permitidos:

- Registradores dos quatro bancos de oito registradores através dos modos Registrador, Imediato, Direto, ou Registrador-Indireto, como, por exemplo:

```
MOV R7, A (Registrador);
MOV R4, #32 (Imediato);
MOV R2, 5BH (Direto); e
MOV @R0, #00 (Registrador-Indireto).
```

- 128 bytes da memória de dados interna através dos modos Direto, Imediato, ou Registrador-Indireto, como, por exemplo:

```
MOV 2BH, 2AH (Direto);
MOV 3FH, #01 (Imediato); e
MOV 45H, @R1 (Registrador-Indireto).
```

- Registradores de Funções Especiais através do modo Direto ou Imediato, como, por exemplo:

```
MOV SCON, A (Direto); e
MOV IE, #80H (Imediato).
```

- Memória de dados externa através do modo Registrador-Indireto, como, por exemplo:

```
MOVX A, <&R1: ou MOVX @DPTR, A.
```

- Tabelas e constantes na memória de programa através do modo Registrador-Base mais Registrador-Índice-Indireto:

```
MOVC A, @A+PC; ou MOVC A, @A+DPTR.
```

3.4 O Reset no Microcontrolador 8051

O circuito de reset do microcontrolador 8051 está ligado ao pino 9 (RST), através de um Schmitt trigger, para garantir a rejeição ao ruído. A saída do Schmitt trigger é amostrada pelo circuito de reset a cada ciclo de máquina. A condição de reset ocorre quando o pino 9 (RST) permanece em nível lógico 1 por, pelo menos, 2 ciclos de máquina (24 períodos do oscilador). A Unidade Central de Processamento (UCP) responde executando o reset interno, e configurando os pinos ALE e PSEN como entradas (eles são pinos quasi-bidirecionais). O reset interno é executado durante o segundo ciclo no qual RST está em nível lógico alto e é repetido a cada ciclo até que RST vá para nível lógico baixo. Os registradores internos são modificados da seguinte maneira:

- O contador de programa (PC), o acumulador, o registrador B, os flags, o DPTR e os registradores dos temporizadores/contadores são zerados;
- É colocado o valor 07H no ponteiro de pilha SP;
- As portas PO a P3 ficam em alta impedância (FFH);
- O registrador SBUF fica com conteúdo indeterminado, enquanto que o registrador de controle da porta serial, SCON, fica zerado;
- O registrador PCON tem seu bit mais significativo zerado;
- Os registradores de controle de interrupção (IE e IP) ficam com os cinco bits menos significativos zerados.

A RAM interna não é afetada pelo reset. Porém, quando Vcc é ligado, seu conteúdo é indeterminado.

O microcontrolador 8051 possui um resistor de 8AÍ2 ligado internamente entre o pino RST e o terra, de modo que , para se obter a condição de reset ao ligar, basta conectar um capacitor de valor $10\mu F$ entre o Vcc e o pino RST. Para uma condição de reset forçada, basta conectar uma chave do tipo push-bottom NA em paralelo com o capacitor, conforme mostra a figura 3.6.

3.5 O circuito oscilador

O circuito oscilador do 8051 é um amplificador inversor de um único estágio em uma configuração de oscilador de Pierce. O circuito tem uma combinação de MOSFET's de modo de depleção e modo de enriquecimento para produzir as características inversoras, e não utiliza componentes passivos. Tanto um cristal como um filtro ressonante de cerâmica com frequência de 3.5 MHz a 12 MHz podem ser utilizados como elemento de realimentação para completar o circuito oscilador. O pino 19, XTAL 1, é a entrada do amplificador de alto ganho, e o pino 18, XTAL 2, é a saída, conforme mostra a figura 3.7-(a). Para acionar o 8051 com um oscilador externo, XTAL 1 deve ser aterrado e XTAL 2 acionado pela fonte externa (figura 3.7-(b)).

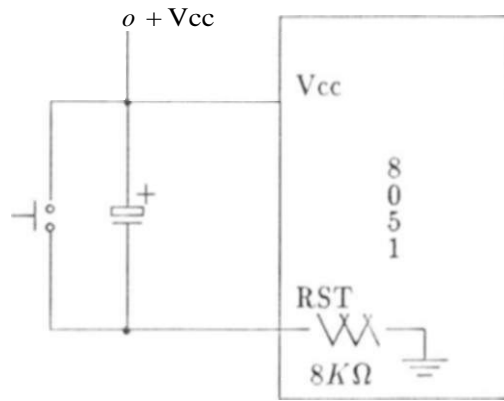


Figura 3.6: O reset no microcontrolador 8051.

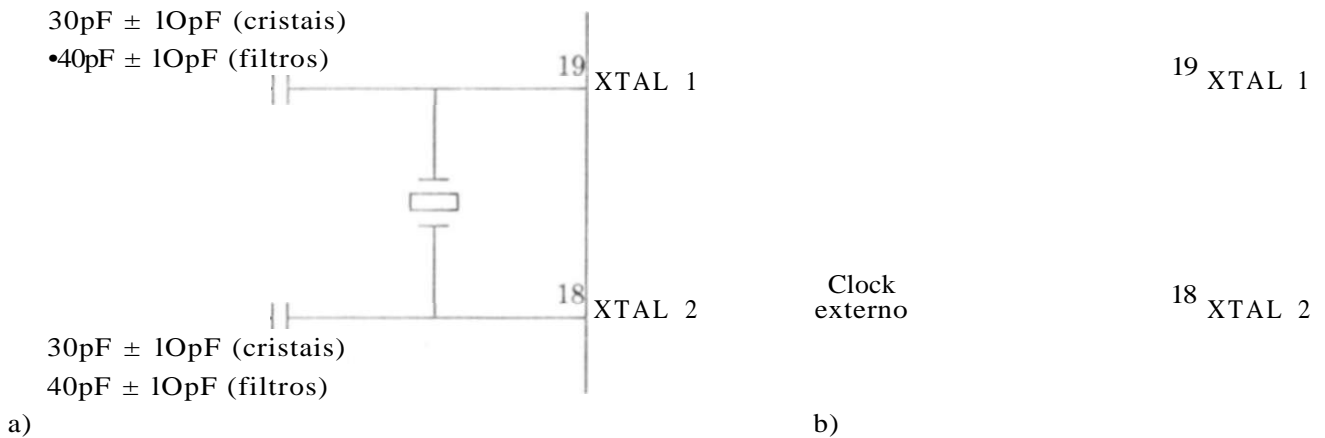


Figura 3.7: O circuito oscilador do 8051: (a) oscilador interno; (b) oscilador externo.

3.6 Interrupções no 8051

Eventos externos e os próprios periféricos internos acionados em tempo-real requisitam serviço à UCP assincronamente à execução de qualquer seção particular de código. Para amarrar as atividades assíncronas destas funções à execução normal do programa, o 8051 possui um sistema de interrupções aninhado de cinco fontes e dois níveis de prioridade.

O 8051 reconhece pedidos de interrupção das seguintes fontes:

- *JNT0* e *INT1*, externamente pelos pinos 12 e 13, respectivamente;
- Temporizadores *T0* e *T1*, pelos dois contadores internos;
- Porta Serial, pela porta de E/S serial interna.

As interrupções no microcontrolador 8051 são vetoradas, conforme a tabela 3.2.

Fonte de Interrupção	Flag	Endereço de Desvio
<i>INT0</i>	IE0	0003H
Temporizador/contador TO	TFO	000BH
<i>INT1</i>	IE1	0013H
Temporizador/contador T1	TF1	001BH
Canal serial	RI ou TI	0023H

Tabela 3.2: Endereços de atendimento das interrupções no microcontrolador 8051.

3.6.1 Registradores de Controle das Interrupções

Dois registradores de oito bits individualmente endereçáveis controlam os pedidos de interrupção no microcontrolador 8051:

O primeiro destes é o Registrador Habilitador de Interrupções — IE, que indica quais fontes de interrupção estão habilitadas, ou não.

EA	-	-	ES	ET1	EX1	ETO	EXO
----	---	---	----	-----	-----	-----	-----

Se o bit é 0, a interrupção correspondente está desabilitada. Se o bit é 1, a interrupção correspondente está habilitada.

EA	IE.7	Se EA = 0, nenhuma interrupção será reconhecida. Se EA = 1, cada fonte de interrupção é individualmente habilitada ou desabilitada de acordo com o bit correspondente
-	IE.6	Não implementado
-	IE.5	Não implementado
ES	IE.4	Habilita ou desabilita a interrupção pela porta serial
ET1	IE.3	Habilita ou desabilita a interrupção por overflow do temporizador/contador T1
EX1	IE.2	Habilita ou desabilita a interrupção externa 1
ETO	IE.1	Habilita ou desabilita a interrupção por overflow do temporizador/contador TO
EXO	IE.0	Habilita ou desabilita a interrupção externa 0

O segundo registrador de controle das interrupções é o Registrador de Prioridade — IP, no qual é programada a prioridade de cada fonte de interrupção.

-	-	-	PS	PT1	PX1	PTO	PXO
---	---	---	----	-----	-----	-----	-----

Se o bit é 0, a interrupção correspondente tem menor prioridade. Se o bit é 1, a interrupção

Aos meus pais.

correspondente tem maior prioridade. Quando um serviço de interrupção está sendo executado, ele não pode ser interrompido por uma interrupção de menor ou mesma prioridade.

-	IP.7	Não implementado
-	IP.6	Não implementado
-	IP.5	Não implementado
PS	IP.4	Define o nível de prioridade da interrupção pela porta serial
PT1	IP.3	Define o nível de prioridade da interrupção por overflow do temporizador/contador T1
PX1	IP.2	Define o nível de prioridade da interrupção externa 1
PTO	IP.1	Define o nível de prioridade da interrupção por overflow do temporizador/contador TO
PX0	IP.0	Define o nível de prioridade da interrupção externa 0

3.6.2 Tempo para atendimento das interrupções

Existe um certo tempo de latência para o atendimento da interrupção, a partir do seu reconhecimento.

O melhor caso ocorre quando o pedido de uma interrupção é reconhecido um pouco antes dos últimos 14 períodos de oscilador da instrução corrente. Com mais 24 períodos de oscilador necessários ao desvio, tem-se uma latência de 38 períodos de oscilador, que correspondem a $3,2/14$ a uma frequência de 12 MHz.

O pior caso ocorre quando o pedido de interrupção é reconhecido após os últimos 14 períodos de oscilador da instrução corrente, e a próxima instrução for multiplicação ou divisão, que duram ambas 48 períodos de oscilador. A latência, neste caso, é de 86 períodos de oscilador, que correspondem a $7,2/15$ a uma frequência de 12 MHz.

3.6.3 Programação da forma de ativação da interrupções externas

A ativação das interrupções externas pode ser programada para ser feita por detecção de nível lógico 0 nos pinos 12 e 13, ou por detecção de uma transição do nível lógico 1 para o nível lógico 0 nestes mesmos pinos.

A programação é feita através de bits de controle que estão localizados no Registrador de Controle dos Temporizadores/Contadores — TCON, e será detalhada na seção 3.8.

3.7 Portas de Entrada/Saída do microcontrolador 8051

O 8051 possui 32 linhas de E/S que podem ser tratadas como 32 bits individualmente endereçáveis e/ou como 4 portas paralelas endereçáveis de 8 bits. Além das funções normais de E/S, as portas PO, P2 e P3 têm as seguintes funções alternativas:

PO: provê multiplexados o byte menos significativo de endereço e o bus de dados utilizado para a expansão do 8051 com memórias e periféricos padrões.

P2: provê o byte mais significativo de endereço para expansão da memória de programa e/ou de dados externa.

P3: os pinos podem ser configurados individualmente para prover:

- entradas de pedidos de interrupções externas;
- entradas dos contadores;
- entrada de recepção e saída de transmissão da porta serial;
- sinais de controle de READ e WRITE para a memória de dados externa.

O uso de cada linha de E/S é feito através de uma escrita, caso ela esteja configurada como saída, ou de uma leitura, caso ela esteja configurada como entrada.

A variação do dado presente em uma linha de E/S configurada como entrada não é sentida pelo microcontrolador até que uma leitura seja feita. A figura 3.8 mostra o hardware simplificado de uma linha de E/S do microcontrolador 8051.

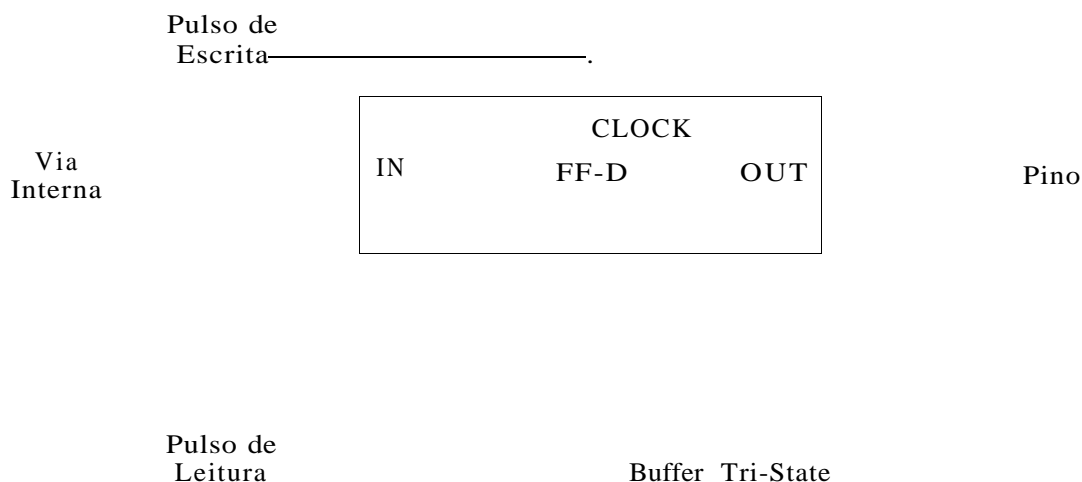


Figura 3.8: Hardware simplificado de uma linha de E/S do microcontrolador 8051

As portas PI, P2 e P3 possuem pull-up's internos. A porta PO é do tipo dreno-aberto e, quando configurada como entrada, terá seu nível flutuando na ausência de uma tensão aplicada em seus pinos.

3.8 Os temporizadores/contadores de eventos

O microcontrolador 8051 contém dois temporizadores ou contadores de eventos de 16 bits, TO e T1. Estes registradores podem operar de maneira independente, e podem ser programados por software para trabalhar em um entre três modos a serem detalhados mais à frente.

O funcionamento dos temporizadores/contadores TO e TI é governado por dois registradores de controle, TCON e TMOD.

O TCON é o Registrador de Controle dos Temporizadores, indicando os estados de TO e TI (parado/contando), bem como se houve estouro da capacidade de contagem (overflow). O registrador TCON, que é bit-endereçável, também governa o tipo de ativação das interrupções externas e indica se houve algum pedido de interrupção dos pinos *JNTO* e *JNT*.

TF1	TR1	TFO	TRO	IE1	IT1	IEO	ITO
-----	-----	-----	-----	-----	-----	-----	-----

TF1	TCON.7	Flag de overflow do temporizador/contador T1. Ativado por hardware quando T1 estoura. Desativado por hardware quando a UCP desvia para a rotina de atendimento interrupção
TR1	TCON.6	Bit de controle de T1. Ativado/desativado por software para ligar/desligar T1
TFO	TCON.5	Flag de overflow do temporizador/contador TO. Ativado por hardware quando TO estoura, desativado por hardware quando a UCP desvia para a rotina de atendimento interrupção
TRO	TCON.4	Bit de controle de TO. Ativado/desativado por software para ligar/desligar TO
IE1	TCON.3	Flag de interrupção externa 1. Ativado por hardware quando um pedido de interrupção é feito no pino <i>JNT\</i> . Desativado por hardware quando a interrupção é atendida
IT1	TCON.2	Bit de controle do tipo da interrupção externa 1. Ativado/desativado por software. Se em nível lógico 1, um pedido de interrupção no pino <i>JNT\</i> acontecerá na transição de nível lógico 1 para nível lógico 0 neste pino, devendo o mesmo permanecer em nível lógico 0 por pelo menos 12 períodos do oscilador. Se em nível lógico 0, o pedido de interrupção acontecerá apenas com a detecção do nível lógico 0 presente no pino
IEO	TCON.1	Flag de interrupção externa 0. Ativado por hardware quando um pedido de interrupção é feito no pino <i>JNTO</i> . Desativado por hardware quando a interrupção é atendida
ITO	TCON.0	Bit de controle do tipo da interrupção externa 0. Ativado/desativado por software. Se em nível lógico 1, um pedido de interrupção no pino <i>JNTO</i> acontecerá na transição de nível lógico 1 para nível lógico 0 neste pino, devendo o mesmo permanecer em nível lógico 0 por pelo menos 12 períodos do oscilador. Se em nível lógico 0, o pedido de interrupção acontecerá apenas com a detecção do nível lógico 0 presente no pino

O Registrador de Controle de Modo dos temporizadores/contadores — TMOD indica o modo de operação de cada um dos dois temporizadores/contadores TO e T1:

GATE.1	<i>C/T.A</i>	M1.1	M0.1	GATE.0	<i>C/T.O</i>	M1.0	MO.0
--------	--------------	------	------	--------	--------------	------	------

GATE.X	TMOD.7,3	Quando TR _x (do TCON) = 1 e GATE. <u>x</u> = <u>1</u> , o temporizador/contador Tx irá contar apenas enquanto o pino INT _x estiver em nível lógico 1. Quando GATE.x = 0, Tx irá contar apenas enquanto TR _x = 1 (controle por software)
C/T.x	TMOD.6,2	Seletor de Contador/Temporizador. Desativado para operação como temporizador (oscilador interno). Ativado para operação como contador (através do pino de entrada Tx)
M1.x	TMOD.5,1	Bit de seleção do modo de operação do temporizador Tx
MO.x	TCON.4,0	Bit de seleção do modo de operação do temporizador Tx

3.8.1 Modos de Operação dos temporizadores/contadores

Os bits M1.x e MO.x do registrador TMOD determinam o modo de operação dos temporizadores/contadores Tx:

Modo 0: Temporizador ou contador de 8 bits com divisor de frequência de até 32 vezes

Para seleccionar este modo, deve-se ter no registrador TMOD M1.x = 0 e MO.x = 0.

Neste modo de operação, a contagem ocorre no registrador TH0 ou TH1, enquanto que os registradores TLO e TL1 funcionam como um divisor de 5 bits, possibilitando uma divisão na frequência de até 32 vezes. Este modo permite uma contagem de até $256 \times 32 = 8192$ vezes (um intervalo de tempo máximo de $8,192//S$, para um oscilador de 12 MHz).

Modo 1: Temporizador ou Contador de 16 bits

Para seleccionar este modo, deve-se ter no registrador TMOD M1.x = 0 e MO.x = 1.

Neste modo de funcionamento TO ou TI funcionam como um temporizador/contador de 16 bits, permitindo uma contagem máxima de 65536 eventos (ou um intervalo de tempo máximo de $65,536/25$, para um oscilador de 12 MHz).

Modo 2: Temporizador ou Contador de 8 bits com recarga automática

Para seleccionar este modo, deve-se ter no registrador TMOD M1.x = 1 e MO.x = 0.

Neste modo de funcionamento TLO ou TL1 funcionam como um temporizador/contador de 8 bits, e TH0 e TH1 contém os valores a serem carregados em TLO e TL1, respectivamente, quando um overflow ocorre nestes registradores. Este modo é bastante indicado para a geração de intervalos constantes de tempo, mas apresenta a desvantagem da contagem máxima ser de 256 períodos do oscilador interno.

Modo 3: Contador de eventos de 8 bits e temporizador de 8 bits

Para seleccionar este modo, deve-se ter no registrador TMOD $M1.0 = 0$ e $MO.0 = 1$. Apenas o temporizador/contador TO pode ser acionado neste modo.

Neste modo de funcionamento TH0 funciona como um temporizador de 8 bits, controlado pelos bits TR1 e TF1. TLO funciona como um temporizador ou contador de eventos controlado pelos bits TRO e TFO.

Quando TO estiver programado no modo 3, T1 poderá ser programado nos modos 0, 1 ou 2, mas não poderá ativar o flag de requisição de interrupção e nem gerar um pedido de interrupção. Contudo, o overflow de T1 pode ser utilizado para incrementar o gerador da taxa de transmissão do canal serial.

3.9 O canal de comunicação serial do 8051

O microcontrolador 8051 possui um canal de comunicação serial do tipo UART Full-Duplex, que permite a transmissão e a recepção simultânea de dados.

O controle da comunicação serial no 8051 é feita pelo Registrador de Controle da Porta Serial - SCON, que é um registrador de oito bits individualmente endereçáveis e que possuem as seguintes funções:

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

SM0 e SM1: Estes dois bits determinam o modo de funcionamento do canal serial, conforme mostra a tabela a seguir:

SM0	SM1	Modo de Funcionamento	Taxa de Transmissão
0	0	0 - Síncrono	$F_{osc}/12$
0	1	1 - Assíncrono	Variável
1	0	2 - Assíncrono	$F_{osc}/32$ ou $w/64$
1	1	3 - Assíncrono	Variável

SM2: No modo 0, deve ser 0. No modo 1, se $SM2 = 1$, RI não é ativado se um bit de parada válido não foi recebido. Nos modos 2 e 3, habilita a comunicação entre mais de um 8051: se $SM2 = 1$ RI não é ativado se o nono bit de dados (RB8) foi 0.

REN: Ativado/desativado por software para habilitar/desabilitar a recepção.

TB8: O nono bit a ser transmitido nos modos 2 e 3. Ativado/desativado por software.

RB8: Não é utilizado no modo 0. No modo 1, indica o estado do bit de parada recebido, caso $SM2 = 0$. Nos modos 2 e 3 indica o estado do nono bit de dados que foi recebido.

TI: Flag de interrupção de transmissão. Ativado por hardware ao fim do oitavo bit transmitido no modo 0, ou ao início do bit de parada nos outros modos. Deve ser desativado por software.

RI: Flag de interrupção de recepção. Ativado por hardware ao fim do oitavo bit recebido, ou na metade do bit de parada nos outros modos (exceto ver SM2). Deve ser desativado por software.

3.9.1 Modos de operação do canal serial do 8051

A porta serial do microcontrolador 8051 pode ser operada de acordo com os modos detalhados a seguir:

Modo 0: Operação síncrona

No modo de operação síncrona do canal serial, o pino *RxD* funciona como transmissor ou receptor de dados, enquanto que o pino *TxD* fornece o sinal de sincronismo, ativo na borda de subida. São transmitidos/recebidos 8 bits de dados, sendo o bit menos significativo o primeiro. Neste modo, a taxa de transmissão é fixa e vale 1/12 da frequência do oscilador.

Este modo é bastante útil como expansão das portas de E/S, através do uso de um registrador de deslocamento.

Modo 1: Operação assíncrona

O pino *TxD* funciona como transmissor de dados, e o pino *RxD* como receptor de dados. Neste modo, a cada pacote, são transmitidos/recebidos 10 bits, sendo um bit de partida (de nível lógico 0), oito bits de dados e um bit de parada (de nível lógico 1).

A taxa de transmissão deste modo é variável e é gerada pelo temporizador T1, conforme será visto mais adiante.

Modos 2 e 3: Operação assíncrona com o nono bit de dados

Nestes modos, a cada pacote, são transmitidos/recebidos 11 bits, sendo um bit de partida (de nível lógico 0, oito bits de dados, um nono bit (de nível lógico definido pelo usuário) e um bit de parada (de nível lógico 1).

No modo 2 a taxa de transmissão/recepção pode ser programada entre 1/32 ou 1/64 da frequência do oscilador. No modo 3, a taxa de transmissão/recepção é variável e gerada pelo temporizador T1.

O nono bit a ser transmitido deve ser escrito no bit TB8 do registrador SCON. O nono bit recebido é armazenado no bit RB8 do mesmo registrador.

Estes dois modos são utilizados principalmente para a comunicação entre vários microcontroladores 8051.

3.9.2 Geração das Taxas de Transmissão

O temporizador T1 e o bit SMOD do Registrador de Controle de Alimentação — PCON são utilizados para gerar as taxas de transmissão variáveis da porta serial do 8051.

SMOD	-	-	-	GF1	GFO	PD	IDL
------	---	---	---	-----	-----	----	-----

SMOD	PCON.7	Bit dobrador da taxa de transmissão. Nos modos 1, 2 e 3, a taxa de transmissão é dobrada se SMOD = 1 e o temporizador T1 for utilizado para gerá-la
	PCON.6	Não implementado
-	PCON.5	Não implementado
-	PCON.4	Não implementado
GF1	PCON.3	Flag de propósito geral
GFO	PCON.2	Flag de propósito geral
PD	PCON.1	Bit de desligamento. Quando em nível lógico 1, ativa a operação de desligamento no microcontrolador 80C51BH
IDL	PCON.0	Bit do modo ocioso (IDLE). Quando em nível lógico 1, ativa o modo ocioso no 80C51BH

O registrador PCON não é bit-endereçável.

Á taxa de transmissão do modo 2 do canal serial depende apenas do estado do bit SMOD do registrador PCON: se SMOD = 0, a taxa de transmissão vale 1/64 da frequência do oscilador; se SMOD = 1, a taxa de transmissão vale 1/32 da frequência do oscilador.

A taxa de transmissão dos modos 1 e 3 é gerada pelo temporizador T1. A transmissão de cada bit é feita ao ocorrer o overflow de T1, que geralmente é programado no modo 2 (recarga automática).

A expressão para a taxa de transmissão é dada por:

$$TAXA \ DE \ TRANSMISSÃO = \frac{2^{SMOD} \times r}{32 \times 12 \times (256 - T/1)}$$

O valor de recarga a ser colocado em TH1 em função da taxa de transmissão é dado por:

$$T/71 = 256 - \frac{2^{SMOD} \times r}{32 \times 12 \times TAXA \ DE \ TRANSMISSÃO}$$

3.10 O conjunto de instruções do 8051

O conjunto de instruções do microcontrolador 8051 inclui 111 instruções, das quais 49 são de um byte, 45 de dois bytes e 17 de três bytes. O formato do código de uma instrução consiste de uma função mnemónica seguida de um campo de operandos do tipo "*destino, fonte*". Este campo especifica o tipo de dados e o modo de endereçamento utilizado.

O conjunto de instruções do 8051 está dividido em quatro grupos funcionais:

- Transferência de dados;
- Aritmética;
- Lógica; e
- Transferência de controle.

3.10.1 Transferência de dados

As operações de transferência de dados estão divididas em três classes:

- Propósito geral;
- Específicas ao acumulador;
- Endereçamento de objeto.

Transferências de propósito geral

- MOV faz a transferência de um bit ou de um byte do operando fonte para o operando destino;
- PUSH incrementa o registrador SP e então transfere um byte do operando fonte para o local da pilha endereçado pelo registrador SP;
- POP transfere um byte do local da pilha endereçado pelo registrador SP para o operando destino e então decrementa o registrador SP.

Transferências específicas ao acumulador

- XCH troca o byte do operando fonte com o acumulador A;
- XCHD troca o nibble menos significativo do operando fonte com o nibble menos significativo de A;

- MOVX faz uma transferência de um byte entre a memória de dados externa e o acumulador. O endereço externo pode ser especificado pelo registrador DPTR (16 bits), ou pelos registradores RI ou RO (8 bits);
- MOVC move um byte da memória de programa para o acumulador. O operando em A é utilizado como índice em uma tabela apontada pelo registrador-base (DPTR ou PC).

Transferência de endereços de objetos

- MOV DPTR, #dado carrega um dado imediato de 16 bits no par de registradores DPH e DPL.

3.10.2 Aritmética

O 8051 tem quatro operações matemáticas básicas. Apenas operações de 8 bits utilizando aritmética sem sinal são suportadas diretamente. Entretanto, o flag de overflow permite que as operações de adição e de subtração sirvam também a inteiros com sinal. A aritmética também pode ser feita diretamente em representações BCD empacotadas.

A não ser onde especificado a seguir, os flags do registrador PSW são afetados da seguinte maneira:

- CY é ativado se a operação causa um "vai-um" do bit mais significativo do resultado. Caso contrário, CY é desativado;
- AC é ativado se a operação resulta em um "vai-um" do nibble menos significativo do resultado (durante a adição), ou em um "sobra-um" do nibble mais significativo (durante a subtração). Caso contrário, AC é desativado;
- OY é ativado se a operação resulta em um carry ao bit mais significativo mas não do bit menos significativo, e vice-versa; caso contrário, OV é desativado. OV é utilizado em aritmética de complemento a dois, pois ele é ativado quando o resultado com sinal não pode ser representado com 8 bits;
- P é setado se a soma módulo 2 dos oito bits do acumulador A for 1 (paridade ímpar); caso contrário, P é desativado (paridade par). Quando um valor é escrito no registrador PSW, o bit P permanece inalterado, já que ele sempre reflete a paridade de A.

Adição

- INC incrementa de 1 o operando fonte e coloca o resultado no mesmo;
- ADD adiciona A ao operando fonte e coloca o resultado em A;
- ADDC adiciona A ao operando fonte, e então adiciona ao resultado o valor do flag Carry, colocando o novo resultado em A;

- DA corrige a soma que resulta da adição de dois operandos de dois dígitos decimais. A soma decimal empacotada formada por DA é colocada em A. O flg CY é ativado se o resultado BCD for maior que 99. Em caso contrário, ele é desativado.

Subtração

- SUBB subtrai o operando fonte de A, subtrai 1 se CY estiver ativado e coloca o resultado em A;
- DEC decrementa o operando fonte de 1 e coloca o resultado em A.

Multiplicação

- MUL faz a multiplicação sem sinal de A com o registrador B, colocando o resultado de 16 bits em A (byte menos significativo) e B (byte mais significativo). OV é desativado se a metade superior do resultado for zero e ativado em caso contrário. CY é desativado e AC não é afetado.

Divisão

- DIV faz a divisão sem sinal de A pelo registrador B, e coloca o quociente em A e o resto em B. Divisão por zero deixa A e B indeterminados e ativa o flag OV que, em caso contrário, é desativado. CY é desativado e AC não é afetado.

3.10.3 Lógica

O 8051 faz operações lógicas tanto em operandos do tipo bit como em operandos do tipo byte.

Operações de um operando

- CLR zera A ou qualquer bit diretamente endereçável;
- SETB coloca qualquer bit diretamente endereçável em 1;
- CPL complementa o conteúdo de A ou qualquer bit diretamente endereçável sem afetar nenhum flag;
- RL, RLC, RR, RRC. SYVAP são as cinco operações de rotação que podem ser realizadas em A. RL rotaciona para a esquerda; RR para a direita; RLC rotaciona para a esquerda através de CY; RRC rotaciona para a direita através de CY; SYVAP troca o nibble mais significativo pelo nibble menos significativo. Para RLC e RRC, o flag CY se torna igual ao último bit rotacionado.

Agradecimentos:

Dedico os meus mais sinceros votos de agradecimento às seguintes pessoas e entidades, sem as quais este trabalho não teria sido possível:

- Ao Prof. Hugo Guerra de Vasconcelos, meu orientador e amigo, pela confiança, dedicação, e orientação. Pelo incentivo, motivação e obstinação de sempre buscar algo mais;
- A Cândida Inês Schettini da Costa e Silva, minha esposa e inseparável companheira, pelo amor, apoio e dedicação sempre constantes. Pela paciência e compreensão nas nossas horas desviadas para este trabalho;
- A Lúcio Flávio Cavalcanti Pessoa, meu amigo e colega, pelas discussões, trocas de idéias e sobretudo pela amizade;
- Ao Centro de Pesquisas Aggeu Magalhães (CPqAM/FIOCRUZ), na pessoa de seu diretor, Prof. André Freire Furtado, pela motivação que originou este trabalho e pela confiança e apoio financeiro necessários a sua realização;
- Ao Departamento de Física da UFPE, por ter cedido as dependências da sua Oficina Mecânica para permitir a confecção das partes mecânicas do *Sistema Automático de Leitura de Amostras em Microscópios Ópticos*;
- Ao Departamento de Eletrônica e Sistemas do Centro de Tecnologia da UFPE, professores, funcionários e colegas, pelo ambiente estimulante encontrado.

Operações de dois operandos

- ANL realiza a operação lógica AND bit-a-bit de dois operandos fonte (tanto para operandos do tipo bit, como byte) e coloca o resultado no primeiro operando;
- OHL realiza a operação lógica OR bit-a-bit de dois operandos fonte (tanto para operandos do tipo bit, como byte) e coloca o resultado no primeiro operando;
- XRL realiza a operação lógica XOR bit-a-bit de dois operandos fonte do tipo byte e coloca o resultado no primeiro operando.

3.10.4 Transferências de controle

Há três classes de operações de transferências de controle, denominadas: Chamadas incondicionais, retornos e desvios; desvios condicionais e interrupções. Todas as operações de transferência de controle, algumas baseadas em uma condição específica, forçam a execução do programa a continuar em um local não-sequencial da memória de programa.

Chamadas incondicionais, retornos e desvios

Chamada- incondicionais, retornos e desvios carregam o registrador PC com o endereço-alvo. São suportadas tanto transferências diretas, como indiretas.

- ACALL e LCALL colocam o endereço da próxima instrução na pilha e então transferem o controle para o endereço-alvo. ACALL é uma instrução de dois bytes usada quando o endereço-alvo está a uma distância de até 2K Bytes do endereço atual. LCALL é uma instrução de três bytes que endereça até 64K bytes da memória de programa;
- RET transfere o controle para o endereço de retorno salvo na pilha por uma operação de CALL anterior e decrementa o registrador SP de dois, para ajustar o SP ao topo da pilha;
- AJMP, LJMP e SJMP transferem o controle para o operando-alvo. As operações AJMP e LJMP são similares a ACALL e LCALL. A operação SJMP provê transferências dentro de 256 bytes do endereço atual (-128 a +127);
- JMP @A+DPTR realiza um desvio relativo ao registrador DPTR. O operando A é utilizado como offset (0 -255) do endereço no registrador DPTR. O destino efetivo do desvio pode ser qualquer endereço dentro da memória de programa.

Desvios condicionais

Os desvios condicionais realizam desvios sujeitos a condições específicas. O endereço destino localiza-se dentro de 256 bytes (-128 a +127) bytes do endereço atual.

- JZ desvia se o acumulador for zero;
- JNZ desvia se o acumulador for diferente de zero;
- JC desvia se o flag CY estiver ativado;
- JNC desvia se o flag CY estiver desativado;
- JB desvia se o bit de endereçamento direto estiver ativado;
- JNB desvia se o bit de endereçamento direto estiver desativado;
- JBC desvia se o bit de endereçamento direto estiver ativado e depois zera este bit;
- CJNE compara o primeiro operando ao segundo operando e desvia se eles forem diferentes. CY é ativado se o primeiro operando for menor que o segundo operando; caso contrário, ele é desativado. As comparações podem ser feitas entre bytes diretamente endereçáveis na memória interna de dados ou entre valores imediatos e o acumulador A, um registrador do banco de registradores selecionado, ou um byte endereçado pelo modo Registrador-Indireto na RAM interna;
- DJNZ decrementa o operando fonte e coloca o resultado no mesmo. O desvio é realizado se o resultado for diferente de zero. O operando fonte da instrução DJNZ deve ser qualquer byte da memória de dados interna. Tanto endereçamentos Direto ou Registrador podem ser utilizados para endereçar o operando fonte.

Retornos de interrupções

- RETI transfere o controle do mesmo modo que RET, mas adicionalmente habilita interrupções do nível de prioridade corrente.

3.11 Conclusões

As características do microcontrolador 8051 apresentadas neste capítulo mostram que ele é um elemento extremamente versátil e poderoso na implementação de sistemas de controle digitais.

A versatilidade conferida pelos recursos internos, juntamente ao poder de processamento conferido por seu conjunto de instruções fazem com que o microcontrolador 8051 simplifique enormemente o projeto de um sistema dedicado, o qual fica limitado praticamente à criatividade e experiência do projetista.

Para uma descrição mais detalhada do conjunto de instruções da família MCS-51, as referências [5,6,7] são de grande auxílio.

Capítulo 4

Estudo dos Motores de Passo

4.1 Introdução

O motor de passo é um transdutor eletromagnético que converte pulsos elétricos em movimento mecânico [10]. Em um motor de passo rotativo, seu eixo rotaciona de incrementos iguais em resposta a um trem de pulsos de entrada. A rotação incremental do eixo, denominada de passo do motor, é caracterizada por um ângulo incremental específico, denominado de ângulo de passo.

Quando o motor de passo é controlado adequadamente, o número de passos dados por seu eixo é igual ao número de pulsos de entrada. Embora sistemas de controle que utilizem motores a.c. ou d.c. convencionais possam ser projetados para controlar movimentos incrementais satisfatoriamente, um sistema que utiliza o motor de passo oferece, entre outras, as seguintes vantagens] 10]:

1. Um motor de passo é inerentemente um dispositivo de movimento discreto, mais compatível, portanto, com técnicas modernas de controle digital. E também mais facilmente adaptável para interfaceamento com outros componentes digitais;
2. O erro de posicionamento em um motor de passo é não-acumulativo, geralmente inferior a 5% de um ângulo de passo;
3. É possível obter-se um controle preciso de posição e velocidade com um motor de passo em um sistema de malha aberta, sem haver problemas de instabilidades, e sem a necessidade de transdutores de realimentação, tais como tacômetros, discos codificadores de posição, etc;
4. O consumo de potência, para operações intermitentes, durante os períodos inativos, pode ser bastante reduzido com o uso de motores de passo;
5. O projeto de um sistema de controle com motor de passo é mais simples.

Este capítulo tem por objetivo descrever os motores de passo e seu funcionamento, detalhando o princípio de operação e os circuitos acionadores mais utilizados. Para um estudo bem mais aprofundado dos motores de passo, as referências [8,9,10,12,13] são sugeridas. Como a maioria das

aplicações envolve o uso de motores de passo do tipo ímã permanente ou relutância variável, apenas estes tipos serão enfocados.

Para um melhor entendimento deste capítulo, algumas definições [8] se fazem necessárias:

Acionadores: os circuitos que controlam o motor de passo. Incluem a fonte de alimentação, circuitos de controle e os transistores de chaveamento de saída.

Amortecimento: redução ou eliminação de oscilações ou sobre-passo do rotor em um movimento. Tipos diferentes de métodos de amortecimento incluem os mecânicos, os elétricos e os viscosos.

Angulo de Passo: (ou simplesmente passo): o ângulo de rotação do eixo do motor de passo descrito em resposta a um único comando de entrada, expresso em graus. $0,72^\circ$, $1,8^\circ$, 2° , $2,5^\circ$, 5° , 15° e 30° são valores típicos.

Bifilar: tipo especial de motor de magneto permanente, com 2 enrolamentos em cada fase do estator. Apresenta como vantagens os fatos de requerer fonte de alimentação unipolar, permitir um acionamento mais simples e ter características de performance melhores que um motor comum.

Constante de Tempo L/R: valor utilizado para determinar a rapidez no crescimento ou decaimento da corrente nos enrolamentos do motor, obtida dividindo-se a indutância da malha do circuito por sua resistência total.

Curva Torque-Velocidade: representação gráfica das características de performance de um dado motor de passo em função dos acionadores. Geralmente mostra a razão máxima entre carga e velocidade na qual o motor é capaz de operar. Este gráfico é extremamente útil no projeto de um sistema com motor de passo.

Malha Aberta: modo de operação de um motor de passo no qual a posição do eixo pode ser determinada exatamente utilizando-se apenas a informação enviada ao motor. Esta vantagem dos motores de passo os tornam mais atrativos que os motores d.c. em certas aplicações.

Malha Fechada: modo de operação na qual o acionador ou o computador recebem de um sensor o sinal que informa a posição do eixo do motor, a qual é utilizada para melhorar o controle do sistema. A não ser em sistemas de altíssima performance, esta forma de operação não é necessária.

Meio-Passo: sequência de chaveamento na qual o rotor é movimentado de meio ângulo de passo. Como um exemplo, um motor de ângulo de passo de $1,8^\circ$ (200 passos por revolução) poderia ser acionado com um meio-ângulo de passo de $0,9^\circ$ (400 meios-passos por revolução). Quando o motor é operado nesta sequência, seu torque médio é reduzido a aproximadamente 70% do valor do modo normal de operação, mas, em compensação, uma resolução mais fina, menores efeitos de ressonância e uma maior velocidade são obtidos.

Partida/Parada sem erro: curva encontrada em alguns gráficos de torque-velocidade mostrando a máxima taxa na qual o motor pode partir ou parar sem perda de passos ou sincronismo. Esta curva geralmente é fornecida para uma carga de inércia desprezível.

Precisão do passo: a precisão na posição do rotor do motor de passo, comumente apresentada em porcentagem do ângulo de passo, já que não existe erro acumulativo na posição do rotor. Quando uma carga friccionai é utilizada, esta precisão diminui.

Rampa de aceleração: aceleração gradual ou desaceleração do motor de passo. Como os motores de passo são limitados a uma certa velocidade de partida, eles devem ser acelerados gradualmente até a velocidade máxima de modo a operar sempre acima do torque de partida.

Relação Torque-Inércia: é a razão entre o torque estático e a inércia do motor. Quanto maior esta relação, melhor é a performance do motor.

Ressonância: faixa de velocidade na qual a performance do motor se deteriora, devido as suas características elétricas e de construção física. Várias técnicas podem ser utilizadas para reduzir o efeito da ressonância no sistema.

Torque de Corrida - "Pull-Out Torque": é o máximo torque obtido pelo motor a uma dada frequência sem que haja perda de sincronismo. Geralmente é maior que o torque de partida/parada.

Torque de Detenção ou Residual: a força que segura o eixo do motor em uma posição fixa quando o motor não está energizado, devido à atração magnética dos dentes do rotor aos dentes do estator. Pode ser percebido por uma sensação de múltiplos encaixes quando o eixo é rotacionado manualmente.

Torque Estático - "Holding Torque": é o torque requerido para deslocar o rotor, parado e energizado, para uma nova posição de equilíbrio.

Torque de Partida e Parada - "Pull-In Torque": é medido pela máxima taxa de chaveamento com a qual o motor pode partir e/ou parar sem perda de sincronismo.

4.2 Construção e princípio de operação dos motores de passo

Há basicamente cinco tipos de motores de passo, que são [10]: (a) solenoidal; (b) relutância variável; (c) rotor de ímã-permanente; (d) acionador harmônico; e (e) síncrono de fase pulsada. Destes, serão considerados nesta seção apenas os tipos (b) e (c), tendo em vista serem os mais utilizados.

4.2.1 Motor de relutância variável

Devido à sua simplicidade de construção e robustez, o motor de passo de relutância variável é um dos motores de passo mais utilizados hoje em dia. As vantagens e desvantagens deste tipo de motor estão mostradas na tabela 4.1.

Vantagens	Desvantagens
Alta relação torque-inércia	Ausência de torque residual quando os enrolamentos estão desenergizados
Altas velocidades	Oscilações e overshoot na resposta ao passo
Resposta rápida ao passo	
Abilidade para se movimentar livremente; o motor está completamente livre para girar na ausência de corrente nos enrolamentos	
Bem adequado para amortecimento eletrônico	
Mecanicamente simples e de longa duração	
Rotação bidirecional	

Tabela 4.1: vantagens e desvantagens de um motor de passo do tipo relutância variável.

Construção

O motor de passo do tipo relutância variável (RV) tem um estator cortado e um rotor não-magnetizado. O rotor pode ter uma ou múltiplas pilhas. No motor de múltiplas pilhas, o estator e o rotor consistem de três ou mais conjuntos de dentes. Os conjuntos separados de dentes, geralmente laminados, são montados no mesmo eixo. Os dentes em todas as partes do rotor estão perfeitamente alinhados, conforme mostra a figura 4.1, onde um motor RV de três fases é retratado esquematicamente.

Este tipo de motor deve possuir ao menos três fases de modo a ter controle direcional!. Os três conjuntos de dentes do rotor são magneticamente independentes, e são montados em um eixo que é suportado por dois apoios. Em torno de cada seção ou fase do rotor está um núcleo do estator com seus enrolamentos, conforme mostra a figura 4.2.

O rotor e o estator têm o mesmo número de dentes, o que significa que a largura de cada dente no rotor e no estator é a mesma. De maneira a fazer o rotor girar, as seções do estator para um motor RV de três fases estão rotacionadas entre si de $1/3$ da largura de um dente, como mostra a figura 4.1. Os dentes de uma dada fase do estator estão deslocados de 10° com relação a uma outra fase. Na figura 4.1. os dentes da fase C do estator são mostrados alinhados com os dentes correspondentes do rotor. Os dentes da fase A do estator estão deslocados no sentido horário de 10° com relação aos dentes da fase C. Os dentes da fase B do estator estão deslocados no sentido horário de 10° em relação aos da fase A, ou 10° no sentido anti-horário com respeito aos dentes da fase C. É fácil observar que, no mínimo, três fases são necessárias para dar controle direcional ao motor. Para um motor de n fases, os dentes do estator estão deslocados de $1/n$ da largura do dente de fase para fase. Obviamente, há um limite no número de fases com as quais um motor pode ser construído, pois o motor pode ficar muito longo e a distância livre entre os apoios ficar excessiva, permitindo a flexão do eixo do rotor.

O ângulo de passo de um motor RV é determinado pelo número de dentes do rotor e do estator,

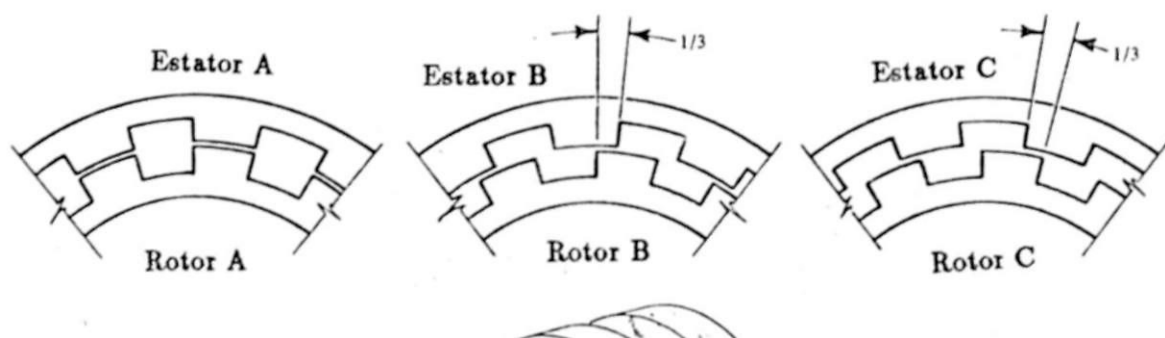


Figura 4.1: Diagrama esquemático do arranjo dos dentes do rotor e estator em um motor RV de três fases e pilhas múltiplas. O motor mostrado tem 12 dentes em cada pilha ou fase.

bem como o número de fases, conforme mostram as equações abaixo:

$$N = \frac{T_i}{360^\circ}$$

$$R = \frac{360^\circ}{N}$$

onde: A' = número de passos por revolução;

T = número de dentes por fase;

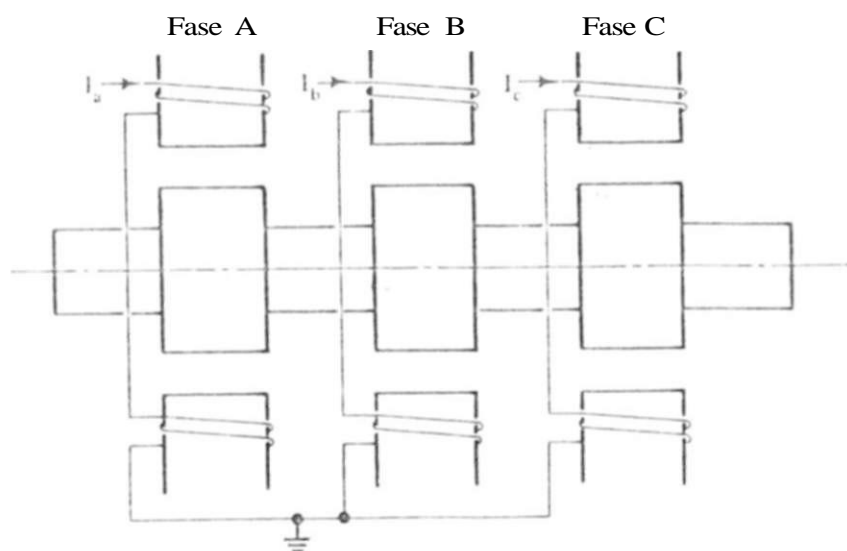
n = número de fases;

R = ângulo de passo ou resolução, em graus.

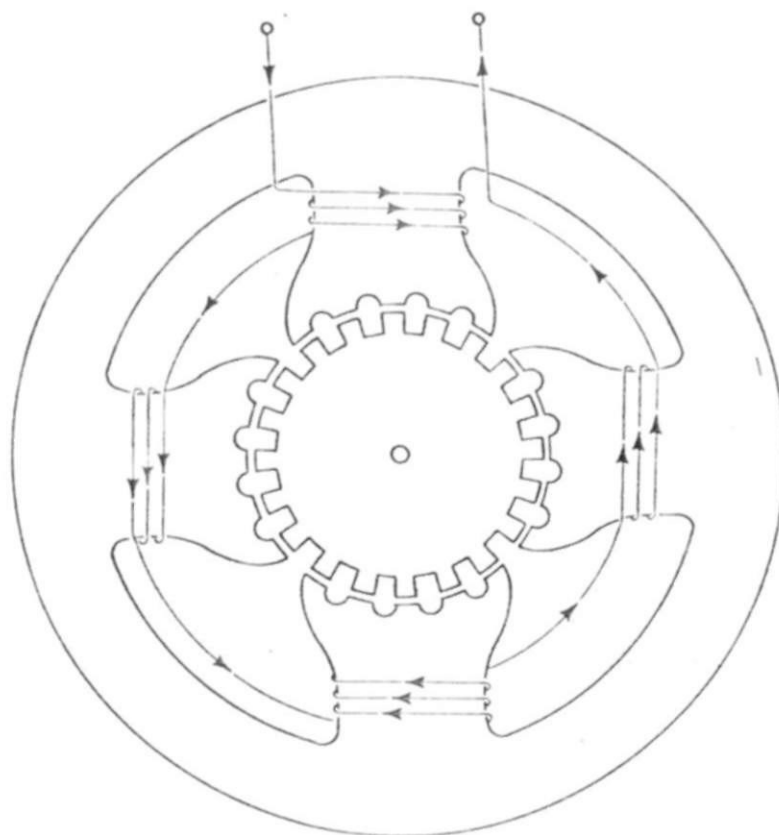
Por exemplo, o motor mostrado na figura 4.1 tem $T = 12$ dentes no rotor e $n = 3$ fases. O número de passos por revolução é $N = 36$, e o ângulo de passo é $R = 10^\circ$.

Princípio de operação

Seja uma fase do motor descrito acima, energizada por uma tensão constante. A força magnetomotiva causada pela corrente no enrolamento da fase posiciona o rotor de uma maneira tal que os dentes da seção do rotor sob a fase excitada se alinham com os dentes desta fase do estator. Esta é a posição de relutância mínima e o motor se encontra em equilíbrio estável. Por exemplo, se a fase C do motor ilustrado na figura 4.1 estiver energizada, o rotor estará posicionado conforme mostra a figura. Caso a tensão aplicada à fase C seja transferida para a fase A, o rotor girará 10° no sentido



(a)



(b)

Figura 4.2: (a) Diagrama esquemático de um motor de passo RV de três fases e múltiplas pólos;(b) Vista frontal de uma fase do estator.

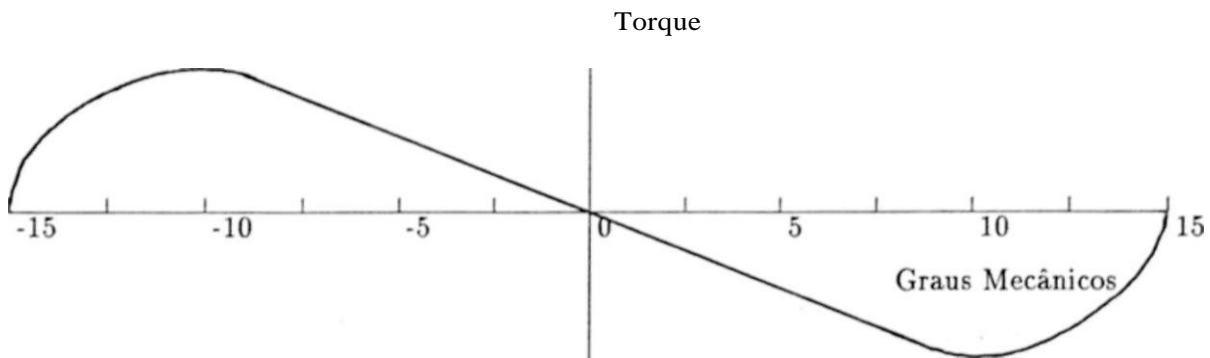


Figura 4.3: Curva do torque estático para um motor de passo do tipo relutância variável. O ângulo de passo é 10° .

horário, alinhando seus dentes com os dentes da fase A do estator. A sequência CAB CAB girará o rotor no sentido horário um total de 5 passos de 10° cada. A sequência CBACBA provocará uma rotação no sentido anti-horário.

A figura 4.3 mostra a curva do torque estático para uma fase qualquer do motor da figura 4.1. Quando o motor é energizado e seu rotor está na posição de equilíbrio, nenhum torque é desenvolvido no eixo do rotor. Quando uma outra fase do motor é acionada, a posição de equilíbrio se desloca, e um torque restaurador é desenvolvido no sentido de rotacionar o eixo do rotor para esta nova posição. Este torque é denominado de torque estático. Para o motor em consideração, a próxima posição de equilíbrio estará sempre dentro de 15° da posição anterior, conforme indica a figura 4.3.

Deve-se notar que as posições $\pm 15^\circ$ também representam pontos de equilíbrio, pois a deflexão do torque é zero nestes pontos. Entretanto, estas são posições de equilíbrio instável, já que a menor deslocamento do rotor fará com que o motor vá para o próximo ponto de equilíbrio.

Um motor de passo pode ser acionado uma fase por passo, ou mais de uma fase simultaneamente. Para um motor de três fases, as mudanças de fase podem ser C-A-B-C-A... (uma fase por vez), ou CA-AB-BC-CA... (duas fases excitadas simultaneamente). O ângulo de passo é idêntico em ambos os esquemas, embora as posições de equilíbrio estejam deslocadas de meio ângulo de passo. As curvas de torque estático devido aos dois tipos de mudança de fase são diferentes, levando a respostas diferentes do motor. A figura 4.4 mostra curvas de torque estático típicas de um motor RV com excitações de uma fase por vez e duas fases simultâneas.

Os dois tipos de mudança de fase mostrados na figura 4.4 podem ser misturados de modo se obter uma sequência de meio-passo. Nesta sequência, o motor de passo se desloca, embora com um torque menor, de meio ângulo de passo por vez, possibilitando um controle mais fino da posição. Para o motor exemplificado, a sequência de meio-passo seria C-CA-A-AB-B-BC-C___

Um motor de passo geralmente desenvolve seu torque máximo a partir do repouso. A medida em que a taxa de pulsos de entrada é aumentada, a indutância do motor previne que a corrente nas

RESUMO

Este trabalho apresenta o desenvolvimento de um sistema automático de varredura e aquisição das imagens de amostras preparadas para observação em microscópios ópticos.

O sistema baseia-se em um microcontrolador da família MCS-51, que comanda o acionamento de três motores de passo acoplados ao mecanismo de movimentação da mesa X-Y do microscópio e ao seu controle de ajuste de foco. Este microcontrolador interage com o operador do sistema através de um teclado dedicado e de um visor auxiliar, e comunica-se com um microcomputador do tipo PC via canal de comunicação serial, constituindo-se em um elemento inteligente de controle do sistema.

As imagens das amostras são captadas por uma câmera de TV acoplada ao microscópio, sendo visualizadas em um monitor de TV e digitalizadas para processamento no microcomputador.

O sistema foi testado com finalidades de análises de amostras sanguíneas, tendo-se mostrado bastante eficiente e valioso na obtenção de diagnósticos médicos.

Palavras-Chave: Automação e Controle, Aquisição de Imagens, Instrumentação, Microscopia, Posicionadores X-Y-Z.

ABSTRACT

This work presents the development of an automatic image scanning and acquisition system for samples prepared for examination through optic microscopes.

The system is based on a MCS-51 microcontroller, which controls three stepper motors connected to the X-Y traversing and the focusing mechanisms of the microscope. This microcontroller interacts with the system operator through a dedicated keyboard and an auxiliary display, and communicates to a PC microcomputer through its serial port, constituting itself an intelligent control element of the system.

The images of the samples are collected by a video camera coupled to the microscope, and digitized in order to be processed at the microcomputer.

The system was tested on analysis of blood smears, proving to be very efficient and valuable to medical diagnosis.

Keywords: Automation and Control, Image Acquisition, Instrumentation, Microscopy, X-Y-Z Positioners.

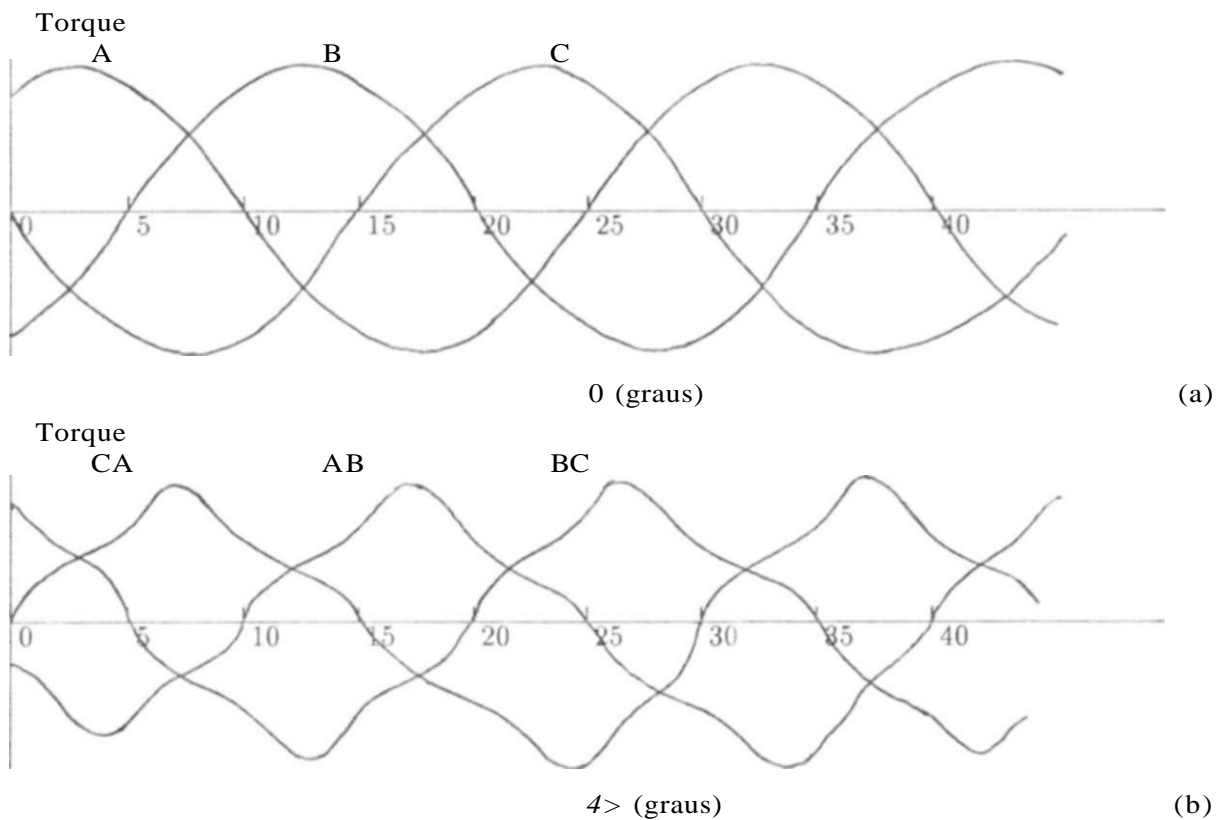


Figura 4.4: Curvas do torque estático típicas de um motor de passo do tipo relutância variável: (a) uma fase excitada por passo; (b) duas fases excitadas simultaneamente.

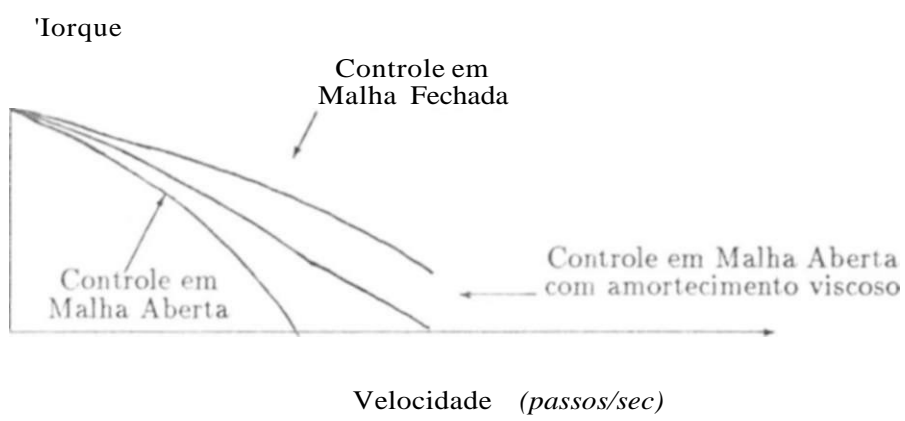


Figura 4.5: Curvas torque-velocidade típicas para um motor de passo.

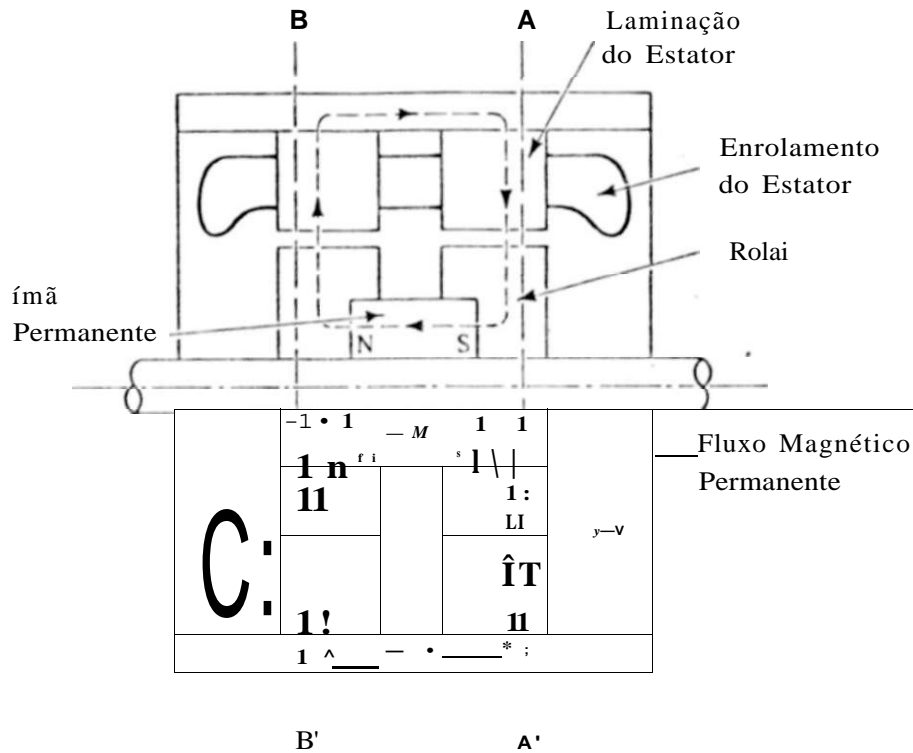


Figura 4.6: Vista axial de um motor de passo do tipo ímã permanente.

fases atinja seu valor do estado estacionário, diminuindo o torque do motor. Entretanto, de uma maneira geral, a curva torque-velocidade de um motor de passo depende do modo como o motor é controlado. O torque de corrida ("pull-out") pode ser melhorado com o uso de amortecedores mecânicos, controle dual de tensão ou controle em malha fechada. A figura 4.5 mostra curvas torque-velocidade típicas para um motor de passo.

4.2.2 Motor de passo de ímã permanente

A figura 4.6 mostra uma vista axial de um motor de passo do tipo ímã permanente (IP). Enquanto que o estator contém um enrolamento multifase, o rotor consiste de um magneto orientado axialmente com dois pólos. A extremidade *norte* do rotor possui seus dentes defasados de 180° dos dentes da extremidade *sul*. O número de dentes do rotor e do estator são diferentes, de modo que todos os dentes do rotor nunca estarão exatamente alinhados com os do estator. O número de dentes do estator, N_s , está relacionando com o número de dentes do rotor, N_r , por :

$$AV = N_r \pm p$$

onde p é o número de pólos por fase do estator.

E este fato que cria o movimento predito do motor, pois há sempre uma atração magnética entre os dentes mais próximos do rotor e do estator. Mesmo com o motor desenergizado, o motor IP manterá sua posição, embora a um torque reduzido chamado de torque residual.

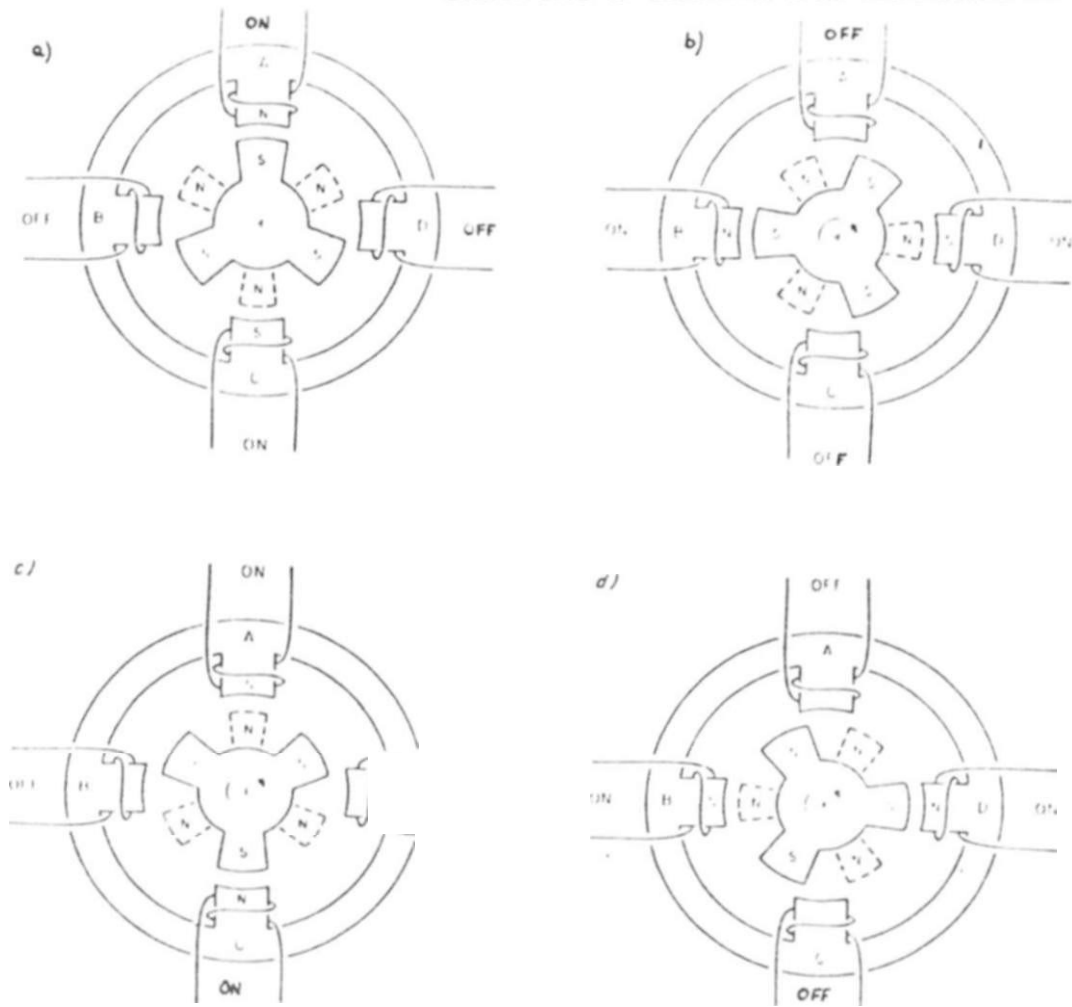
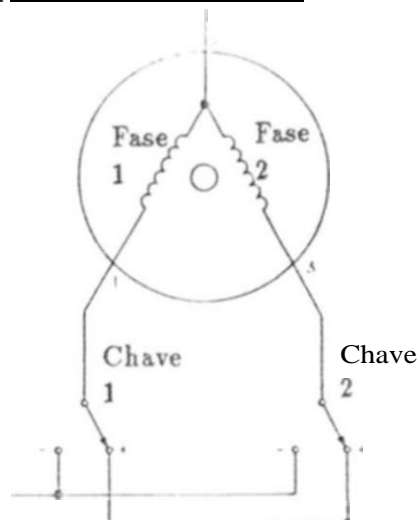


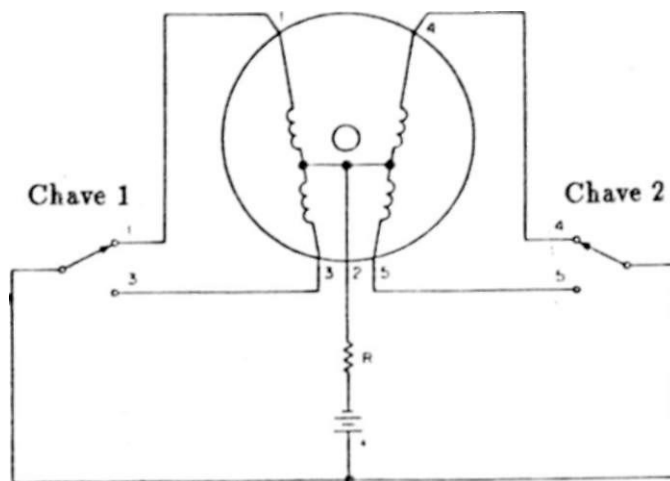
Figura 4.7: Sequência de energização dos enrolamentos de um motor de passo do tipo ímã permanente.



Sentido	Horário		Anti-horário	
	Chave 1	Chave 2	Chave 1	Chave 2
Passo 1	OFF	-	OFF	-
2	+	OFF	-	OFF
3	OFF	+	OFF	+
4	-	oi I	+	OFF

Figura 4.8: Diagrama de conexões de um motor de passo do tipo ímã permanente e sua seqüência de cliaveamento.

Motor de Passo Bifilar



Passo	Chave 1	Chave 2
1	1	5
2	1	4
3	3	4
4	3	5

Figura 4.9: Diagrama de conexões de um motor de passo bifilar e sua sequência de chaveamento.

A sequência de energização dos enrolamentos das fases de um motor IP é relativamente simple. Seja um motor IP de quatro pólos e duas fases *AC* e *BD* (2 pólos por fase). Considerando a vista frontal do pólo sul do rotor, conforme mostra a figura 4.7 tem-se:

- Considerando-se o pólo *A* energizado como norte e o pólo *C* energizado como sul, com os pólos *B* e *D* desenergizados, o rotor se alinhará com o pólo *A*.
- Se o pólo *B* é energizado como norte e o pólo *D* energizado como sul, com os pólos *A* e *B* desenergizados, o rotor se deslocará no sentido horário, alinhando-se com o pólo *B*.
- Para um novo passo na mesma direção, o pólo *C* é energizado como norte e o pólo *A* como sul (invertendo-se a corrente na situação (a)), com os pólos *B* e *D* desenergizados. O rotor se alinhará então com o pólo *C*.
- Para continuar o movimento, o pólo *D* é energizado como norte e o pólo *B* como sul (invertendo-se a corrente na situação (b)), e os pólos *A* e *C* são desenergizados, fazendo com que o rotor se alinhe com o pólo *D*.

O próximo passo retornaria o motor para a situação (a) mostrada na figura 4.7. Revertendo-se a sequência, seria obtido o movimento na direção anti-horária. Um diagrama simplificado do inutoi mostrado na figura 4.7 e sua sequência de operação são mostrados na figura 4.8. Para mais resolução em um motor real, mais quatro enrolamentos podem ser adicionados ao estator, e mais dentes adicionados a cada pólo do estator e do rotor, de modo que o número de passos por revolução pode aumentar para 200 ou mais com um número mínimo de enrolamentos.

4.2.3 Motor de passo bifilar

O motor de passo bifilar é uma variação especial do motor de passo IP. Neste caso, há o dobro de enrolamentos em relação a um motor IP comum, conforme mostra a figura 4.9, com dois enrolamentos em cada pólo do estator.

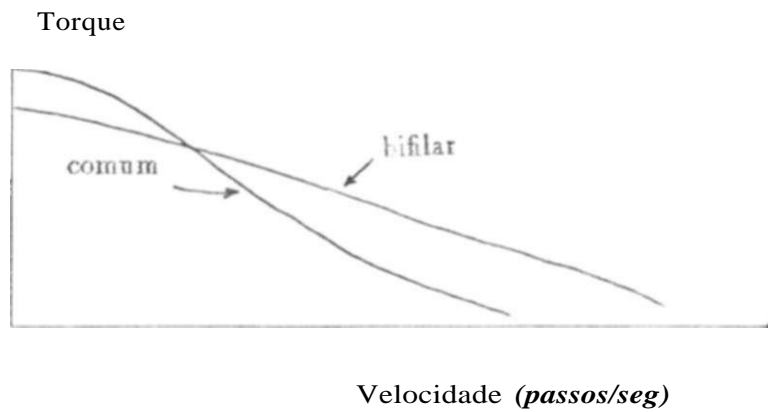


Figura 4.10: Curvas do torque de corrida de um motor bifilar e um motor de passo do tipo ímã permanente de 2 fases. O motor biílar possui um torque menor a baixas velocidades, mas o mesmo cai muito mais lentamente à medida em que a velocidade cresce em relação ao motor de ímã permanente comum.

O fio de cada enrolamento tem uma bitola menor de modo a caber nas ranhuras de cada fase do estator. Um fio de bitola menor resulta em uma maior resistência, dando ao motor uma menor constante de tempo L/R e, assim, melhorando a performance em alta velocidade. Uma outra vantagem do motor bifilar sobre o motor IP comum é que ele pode ser operado a partir de uma fonte de tensão unipolar, com um circuito acionador mais simples. Uma comparação entre as curvas torque-velocidade para o motor IP comum e o motor bifilar é mostrada na figura 4.10.

4.3 Acionamento dos motores de passo

O propósito do acionador é prover a tensão e a corrente corretas para o motor em um pequeno intervalo de tempo e de maneira eficiente. A direção da corrente nos enrolamentos de um motor de passo de ímã permanente é importante, bem como o próprio tempo de excitação do motor.

A figura 4.11 é um diagrama simplificado do enrolamento de um motor de passo, representando este enrolamento como um indutor. As chaves podem alternadamente conectar o enrolamento com a tensão de alimentação positiva ou negativa. Isto resulta em uma mudança direcional na corrente (e, conseqüentemente, na polaridade magnética) no enrolamento. Esta é uma configuração bipolar, e requer duas fontes de alimentação para operar.

Utilizando mais chaves, uma das duas fontes de alimentação pode ser eliminada, como mostra a figura 4.12. Esta configuração é comumente chamada de acionador H ou acionador tipo ponte. Acionando-se um par oposto de cada vez, os extremos do enrolamento são chaveados alternadamente entre a terra e a tensão de alimentação. Isto produz a mudança desejada na direção da corrente do enrolamento. Deve ser tomado um certo cuidado com estes dois tipos de acionadores de modo a prevenir que as chaves possam ligadas no momento errado, ou elas irão curto-circuitar as fontes de alimentação.

4.3. ACIONAMENTO DOS MOTORES DE PASSO

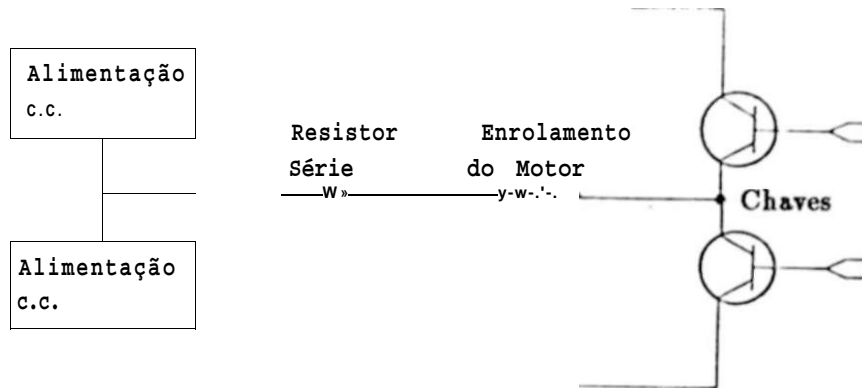


Figura 4.11: Diagrama bipolar simplificado de um motor de passo. Este tipo de acionador requer duas fontes de alimentação para operar o motor.

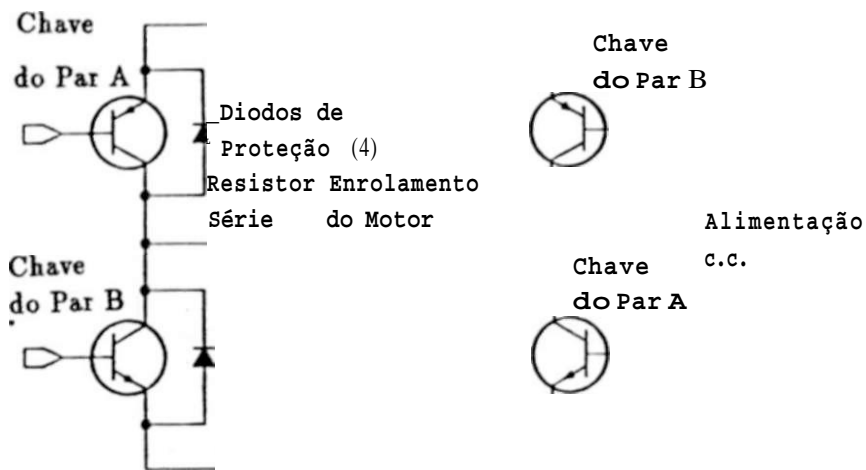


Figura 4.12: Configuração do acionador *H* para uma fase. Ligando-se alternadamente os pares de chaves, a direção da corrente no enrolamento é revertida. Este método requer quatro transistores por fase.

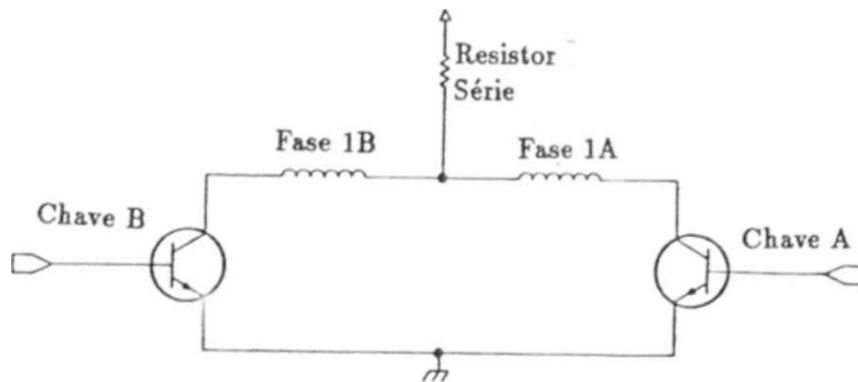


Figura 4.13: Configuração do acionador simplificado para metade de um motor biúlar. As chaves são acionadas alternadamente, fazendo com que a corrente flua em uma fase por vez. Cada vez que os transistores chaveam, a polaridade magnética do enrolamento ligado é revertida. O acionador requer outro grupo de chaves para a outra fase do motor.

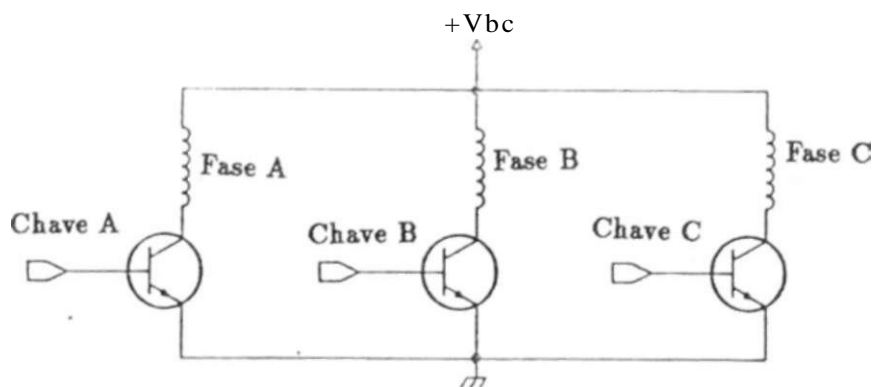


Figura 4.14: Esquema do acionador para um motor de passo do tipo relutância variável de 3 fases. Como não há magnetos permanentes em seu interior, apenas uma fonte de alimentação é necessária.

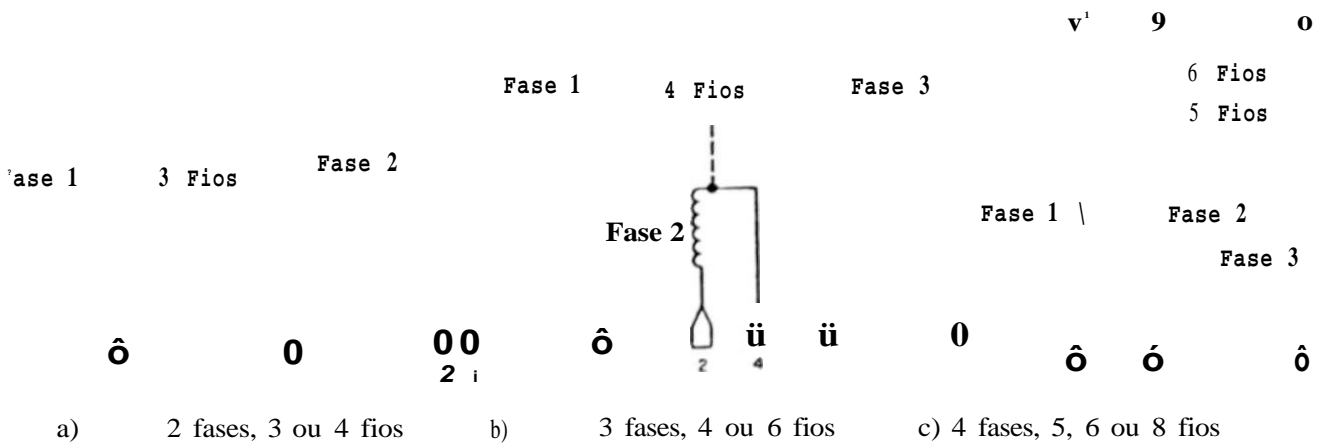


Figura 4.15: Diagramas de conexão para vários motores. A linha pontilhada em cada configuração indica uma conexão interna quando menos fios são trazidos para fora do motor.

Um motor bifilar, entretanto, não apresenta este problema, pois há dois enrolamentos em cada pólo. A configuração para um acionador de uma fase do motor bifilar é mostrada na figura 4.13. Cada pólo tem os enrolamentos conectados de modo que a corrente em um enrolamento cria uma polaridade oposta no pólo do outro enrolamento. As chaves decidem que enrolamento será energizado. O efeito é o mesmo dos acionadores bipolares acima, mas apenas uma fonte de alimentação é requerida, e os transistores de chaveamento (ou o motor) não serão danificados se ambas as chaves forem acionadas acidentalmente ao mesmo tempo. Por outro lado, os acionadores bipolares podem fornecer um torque maior a velocidades baixas. Dependendo de quais fios dos enrolamentos estiverem disponíveis, o motor bifilar também pode ser conectado a um acionador bipolar.

Os motores de passo do tipo relutância variável não dependem da direção da corrente, já que não há magnetos em seu interior. Assim, eles podem utilizar um acionador do tipo mostrado na

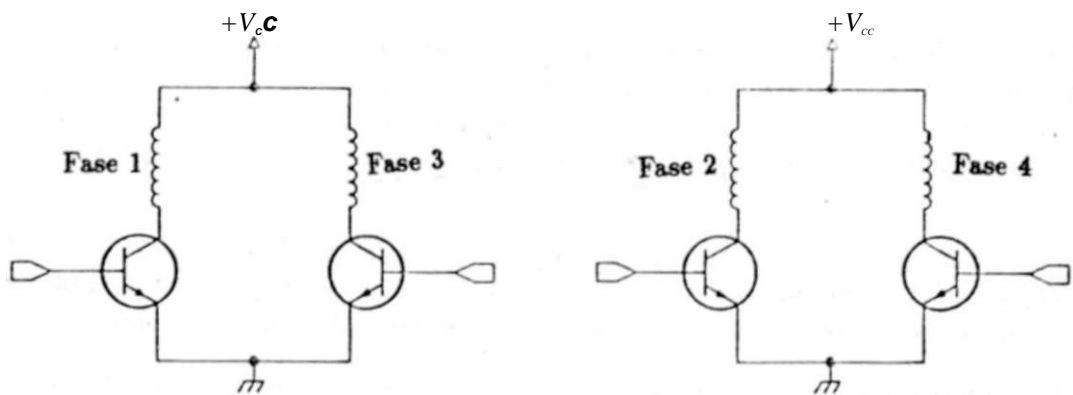


Figura 4.16: Acionador simples para um motor de passo bifilar de 4 fases.

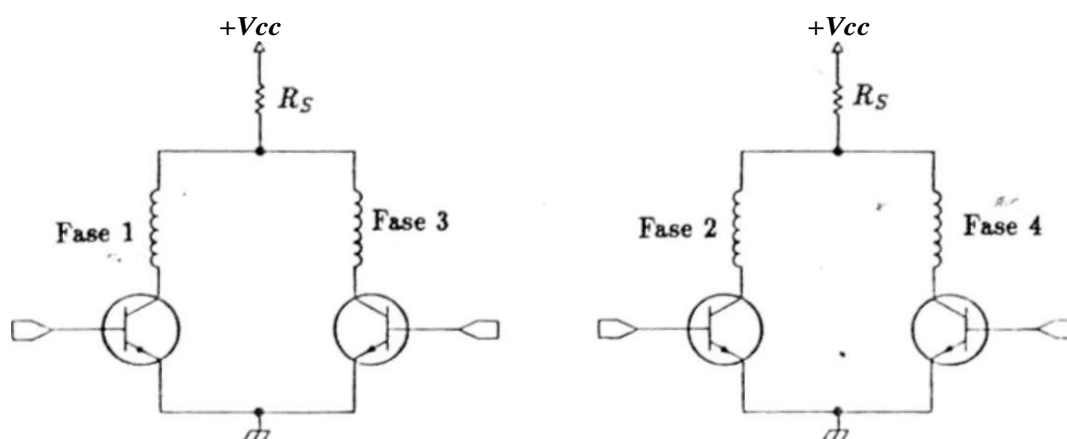


Figura 4.17: Acionador com resistência série limitadora.

figura 4.14. Deve-se lembrar, entretanto, que não existe torque residual nestes motores quando seus enrolamentos estão desenergizados.

Os diagramas das conexões de diversas configurações comuns de enrolamentos são mostrados na figura 4.15-(a), (b) e (c). A figura 4.15-(a) representa um motor de passo bipolar de 3 ou 4 fios. AS figuras 4.15-(b) e 4.15-(c) mostram motores de 4, 5, 6 e 8 fios. A única diferença entre os vários tipos é que os fios comuns nos tipos de 6 e 8 fios são conectados internamente nos tipos de 4 e 5 fios.

Um acionador direto da tensão de alimentação para um motor de passo bifilar é mostrado na figura 4.16. Este tipo de acionador apresenta alguma dificuldade em forçar a corrente para os enrolamentos, devido à longa constante de tempo nestes enrolamentos, que previnem o crescimento rápido da corrente. Como resultado, um baixo torque é produzido. Este acionador pode ser melhorado pela introdução de uma resistência em série com os enrolamento, como mostra a figura 4.17.

No acionador da figura 4.17, a tensão de alimentação é aumentada para aproximadamente 5 vezes a tensão nominal do motor. Os resistores série são colocados para deter o aumento na tensão do motor. A vantagem deste acionador é que a adição dos resistores série muda a constante de tempo do motor, permitindo que o fluxo de corrente aumente mais rapidamente em um certo intervalo de tempo. Para manter a corrente nominal, a tensão de alimentação é aumentada. A grande desvantagem deste tipo de acionador é a perda de potência nos resistores série, o que o torna muito ineficiente.

Diversos tipos de acionadores foram desenvolvidos de maneira a melhorar a performance dos motores. A figura 4.18-(a) mostra um acionador que utiliza um transistor e um diodo para desligar uma alta tensão dos enrolamentos do motor após a corrente ter crescido suficientemente.

A figura 4.18-(b) mostra um método similar ao de fontes chaveadas. Uma fonte de pulsos independente do motor alimenta inicialmente um indutor. Um segundo pulso que aumenta a frequência à medida que a velocidade do motor aumenta também controla o chaveamento da alimentação.

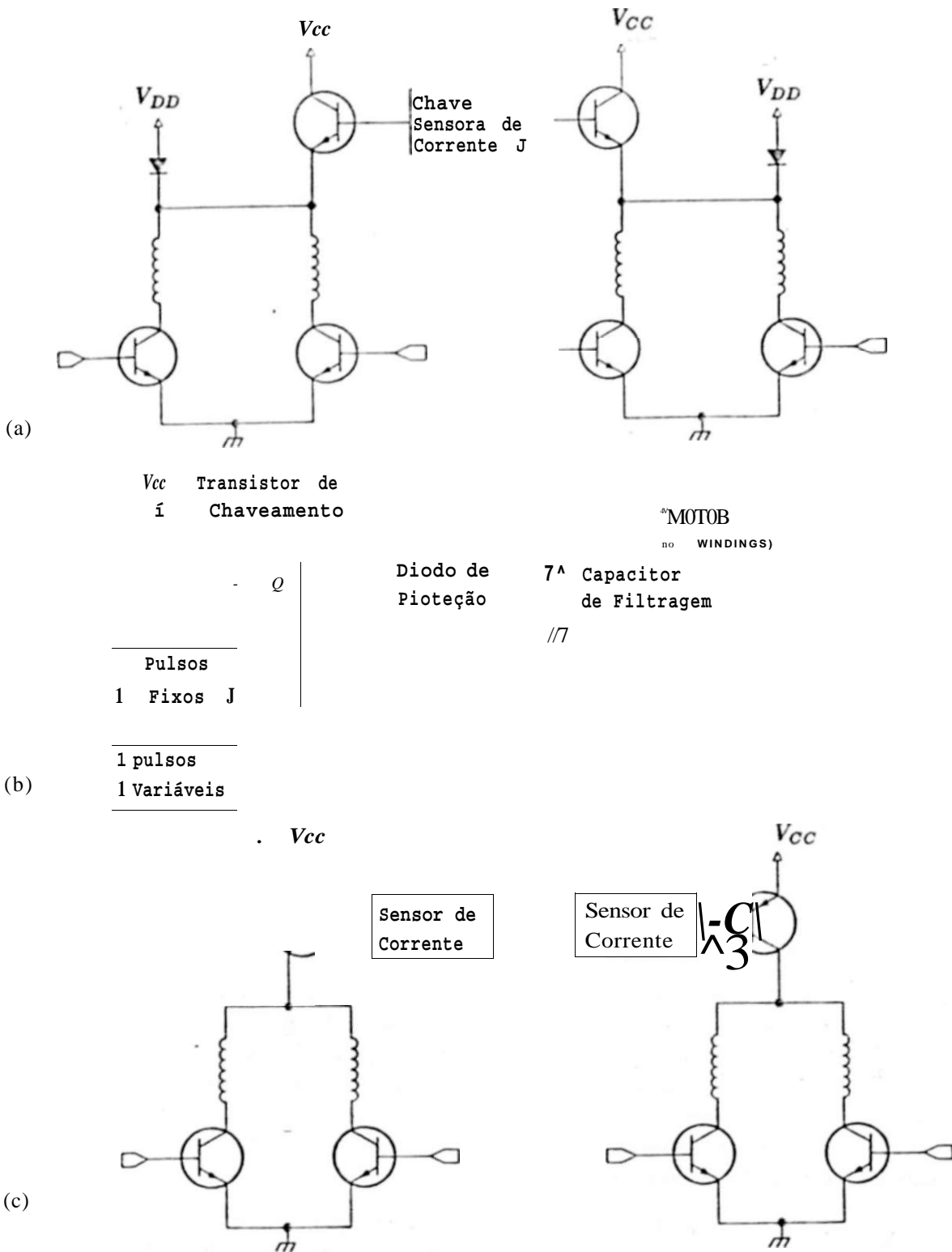


Figura 4.18: Três tipos de acionadores de alta performance: (a) Fonte de alimentação dual, que desliga a alta tensão quando a corrente nos enrolamentos tiver crescido; (b) aproximação por fonte chaveada que aumenta a tensão nos enrolamentos à medida em que a velocidade do motor cresce; (c) Configuração "Chopper" que aplica uma alta tensão aos enrolamentos para aumentar a corrente rapidamente e então a desliga quando uma corrente pré-determinada for atingida.

Sumário

I	Sistema Automático de Leitura de Amostras em Microscópios Ópticos	xxi
1	Introdução	1
1.1	Motivação	1
1.2	Organização desta dissertação.	3
2	Concepção do Sistema	5
3	O Microcontrolador 8051	9
3.1	Descrição funcional	9
3.1.1	Pinagem (encapsulamento DIL).	11
3.2	Memória de programa:	11
3.3	Memória de dados:	13
3.4	O Reset no Microcontrolador 8051.	17
3.5	O circuito oscilador.	17
3.6	Interrupções no 8051.	18
3.6.1	Registradores de Controle das Interrupções	19
3.6.2	Tempo para atendimento das interrupções.	20
3.6.3	Programação da forma de ativação da interrupções externas.	20
3.7	Portas de Entrada/Saída do microcontrolador 8051.	20
3.8	Os temporizadores/contadores de eventos.	21
3.8.1	Modos de Operação dos temporizadores/contadores.	23
3.9	O canal de comunicação serial do 8051.	24

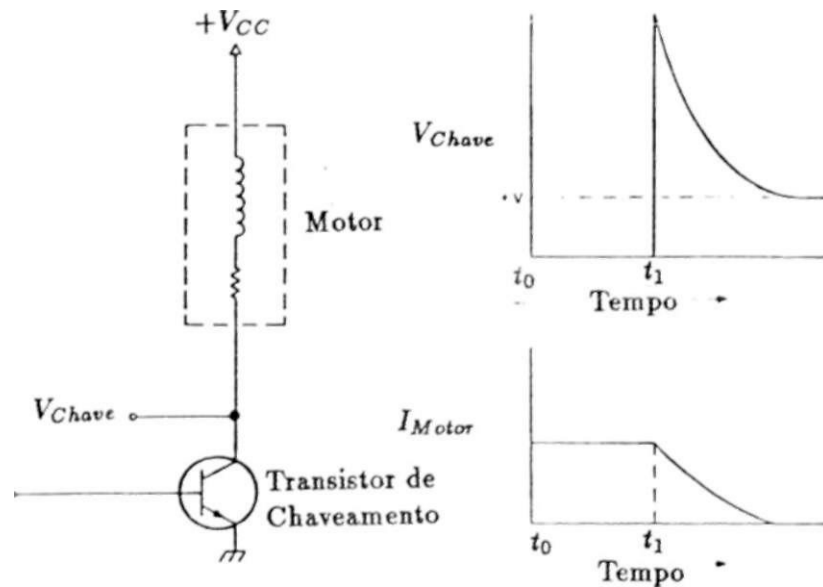


Figura 4.19: Transiente de chaveamento em um enrolamento desprotegido. Quando a chave tenta abrir no instante T_1 , o enrolamento do motor força a tensão a subir de modo a manter a mesma corrente.

Neste tipo de acionador, há corrente suficiente em repouso para fornecer a corrente adequada ao torque estático. A medida que a velocidade do motor aumenta, a tensão aumenta devido ao chaveamento mais rápido. Esta situação continua até que a tensão no motor atinja a tensão de alimentação. Nestas velocidades, a impedância do motor é muito maior e este pode suportar a alta tensão presente em seus enrolamentos.

A figura 4.18-(c.) é um acionador mais eficiente, porém mais caro, conhecido como acionador "Chopper". Neste esquema, uma alta tensão é aplicada ao enrolamento e removida quando o circuito de sensoriamento da corrente detecta uma corrente pré-determinada nos enrolamentos. Este tipo de acionador é utilizado também em sistemas de alta performance em malha fechada [11,14], e já existem circuitos integrados para controle de motor de passo que utilizam este tipo de acionador [15].

Um dos pontos a serem observados nos acionadores de motores de passo é a necessidade de controlar os efeitos transientes da energia desenvolvida no motor. A figura 4.19 mostra o efeito transiente do chaveamento de um enrolamento de um motor de passo. Até o tempo T_1 , o enrolamento está energizado e uma corrente constante de valor I_0 atravessa. No instante T_1 , o transistor é cortado. Devido ao enrolamento ser um indutor, a corrente vai continuar a fluir por algum tempo, e a tensão vai subir instantaneamente de modo a manter o fluxo da corrente constante. Este transiente de tensão pode facilmente queimar o transistor.

As figuras 4.20-(a), (b) e (c) mostram várias maneiras de proteger o acionador contra os efeitos transientes do chaveamento. A maneira mais simples mostrada na 4.20-(a) é conectar um diodo do enrolamento para a fonte de tensão. Isto faz com que a corrente no indutor encontre um caminho de retorno pelo diodo alimentação e eventualmente desapareça. A tensão na chave é de, no máximo, a tensão de condução do diodo acima da tensão de alimentação. A figura 4.20-(b) segue a mesma

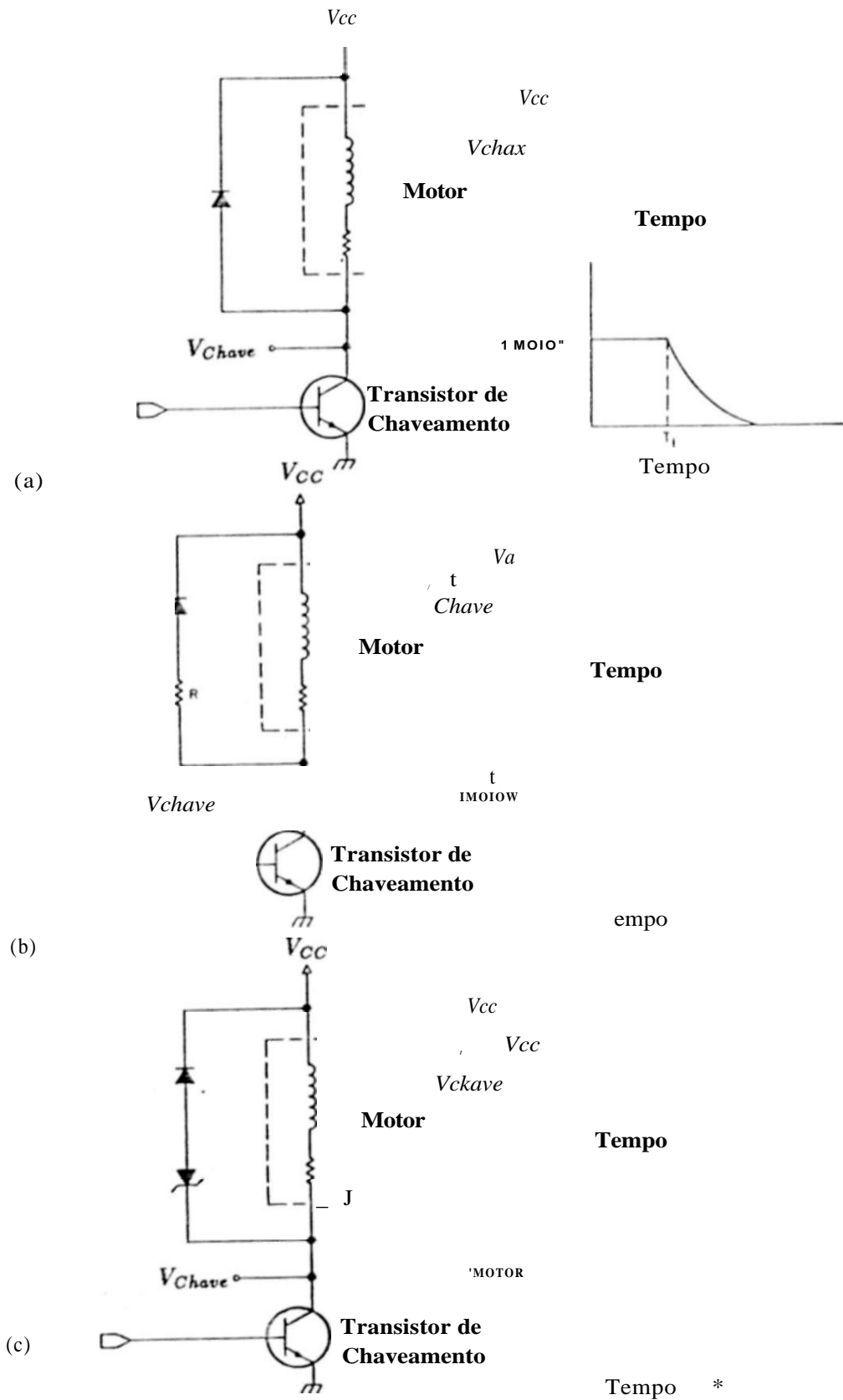


Figura 4.20: Circuitos de supressão para um motor de passo. As técnicas mostradas permitem: (a) uso de transistores de baixa tensão; (b) aumento da performance do motor; (c) combinação dos dois.

idéia, mas um resistor é adicionado em série com o diodo, de modo a fazer com que a corrente do enrolamento caia mais rapidamente, melhorando a performance do motor em altas velocidades. Uma terceira configuração (figura 4.20-(c)) é obtida com o uso de um diodo zener no lugar do resistor, limitando o pico de tensão na chave a um valor equivalente à soma da tensão do diodo zener com a tensão de alimentação. A taxa de decaimento da corrente é linear neste caso, e ainda mais rápida que a da figura 4.20-(a).

Capítulo 5

Projeto do Sistema

Este capítulo tem por objetivo descrever o projeto e implementação do *Sistema Automático de Leitura de Amostras em Microscópios Ópticos*.

Conforme descrito no capítulo 2, o sistema foi concebido de modo a minimizar as dificuldades de execução dos exames, tomando-se por base o procedimento de detecção da filariose. Os requerimentos principais para o sistema, estabelecidos de acordo com esta análise, foram:

- (a) o acoplamento de uma câmera de vídeo ao microscópio, possibilitando a visualização das amostras em um monitor de TV.
- (b) a movimentação X-Y da mesa do microscópio, bem como o controle do mecanismo de ajuste do foco da imagem, de maneira mecanizada e por controle remoto.
- (c) a interação com o examinador (o operador do sistema), através de um teclado dedicado e de um display auxiliar.
- (d) a comunicação do sistema com um microcomputador do tipo IBM-PC.
- (e) o controle das atividades (b), (c) e (d) de maneira coordenada e inteligente, dando grande versatilidade ao sistema.

A partir dos requerimentos observados acima, o projeto do sistema foi feito de maneira sequencial, de modo a satisfazer cada um deles. A montagem foi realizada em um microscópio óptico alemão Carl Zeiss Jena, cedido pelo Centro de Pesquisas Aggeu Magalhães.

5.1 Acoplamento de uma câmera de vídeo ao microscópio óptico

A escolha da câmera de vídeo se deu em função das características das imagens a serem captadas: (a) grande intensidade luminosa proveniente do sistema de iluminação do microscópio; e (b) imagens de brilho muito forte, devido à densidade de pontos escuros ser muito menor que sua densidade de pontos claros.

Característica	Camera do Estado Sólido	Camera com Tubo de Imagem
Dispositivo	Circuito integrado LSI composto por elementos foto-sensores do tipo MOS ou CCD	Tubo a vácuo, no qual um feixe de elétrons é defletido verticalmente e horizontalmente
Vida Útil	Longa	Curta
Dimensões	Pequenas	Grandes
Peso	Leve	Pesado
Distorção Geométrica	Inexistente	Pequena
Imagem ao ligar	Instantânea	Atrasada
Imagem residual	Inexistente	Grava o objeto observado por longo período (marcação do tubo)
Campo magnético	Não é suscetível	E suscetível
Resistência mecânica (vibração e choque)	Excelente imunidade	Muito frágil
Consumo	Baixo	Alto

Tabela 5.1: Comparação entre câmeras de vídeo do estado sólido e câmeras com tubos de imagem.

Este tipo de imagem restringiu bastante as opções do tipo de câmera a ser utilizada, principalmente as que possuem tubos de imagem do tipo *vidicon*, construídos com material fotossensível. Estas câmeras são as mais comuns e baratas, mas apresentam o problema de marcação e até mesmo queima do material quando este é exposto prolongadamente a cenas estáticas de altos níveis de brilho e contraste[16], características marcantes das imagens de amostras sanguíneas.

A escolha mais adequada recaiu então sobre as câmeras de estado sólido, que possuem tubos constituídos por um circuito integrado composto por elementos fotosensores do tipo MOS ou CCD, e que não apresentam problemas de exposição prolongada a imagens de alto nível de brilho e contraste[17], conforme mostra a tabela 5.1.

Embora as câmeras de vídeo do estado sólido sejam as mais indicadas para uso neste sistema, por questões de disponibilidade, foi utilizada uma câmera com tubo de imagem do tipo *vidicon* para circuito fechado de vídeo, modelo RCA-TC1000[18].

O acoplamento mecânico da câmera de vídeo ao microscópio óptico foi feito através de uma saída para o acoplamento de câmeras já disponível no microscópio utilizado. O sinal de vídeo proveniente da câmera foi levado a um monitor de vídeo comum com impedância de entrada 75Ω.

5.2 Acoplamento dos motores de passo ao microscópio

A movimentação X-Y da mesa do microscópio e o ajuste mecanizado do foco se fizeram necessários de modo a permitir a varredura da lâmina de vidro contendo a amostra sanguínea a ser examinada por controle remoto, com a visualização das imagens da amostra feita no monitor de TV.

A escolha da utilização de motores de passo para fazer a movimentação X-Y da mesa e o

5.2. ACOPLAMENTO DOS MOTORES DE PASSO AO MICROSCÓPIO

.....v -v

i:
a í * }
s

m m

Figura 5.1: Detalhe do acoplamento dos motores de passo X e Y ao sistema de movimentação da mesa do microscópio, mostrando os sistemas parafuso sem-fim e coroa dentada utilizados.

ajuste do foco se deu devido a estes serem elementos extremamente adequados ao controle de posição, de fácil acionamento digital e por não necessitarem nem de transdutores de posição e nem realimentação em malha fechada[10].

5.2.1 Projeto das engrenagens de acoplamento dos motores ao microscópio

O projeto das engrenagens de acoplamento dos motores de passo ao microscópio óptico foi desenvolvido com a participação da Oficina Mecânica do Departamento de Física da UFPE.

Para o sistema de movimentação X-Y da mesa do microscópio foram utilizados sistemas de acoplamento do tipo parafuso sem-fim e coroa dentada, conforme mostra a figura 5.1. Os parafusos sem-fim foram acoplados aos eixos dos motores de passo X e Y, respectivamente, enquanto que as coroas dentadas foram acopladas ao sistema de movimentação original da mesa X-Y do microscópio, através de sua colocação em substituição às rodas originais de movimentação manual.

O diâmetro externo dos parafusos sem-fim é de $d_j = 13\text{mm}$, e o passo é de $P_j = 2,35\text{mm}$. Cada parafuso sem-fim está acoplado a uma coroa dentada de $A'_{cd} = 38$ dentes e diâmetro externo $Q_{cd} = 30\text{mm}$, conforme mostra a figura 5.2.

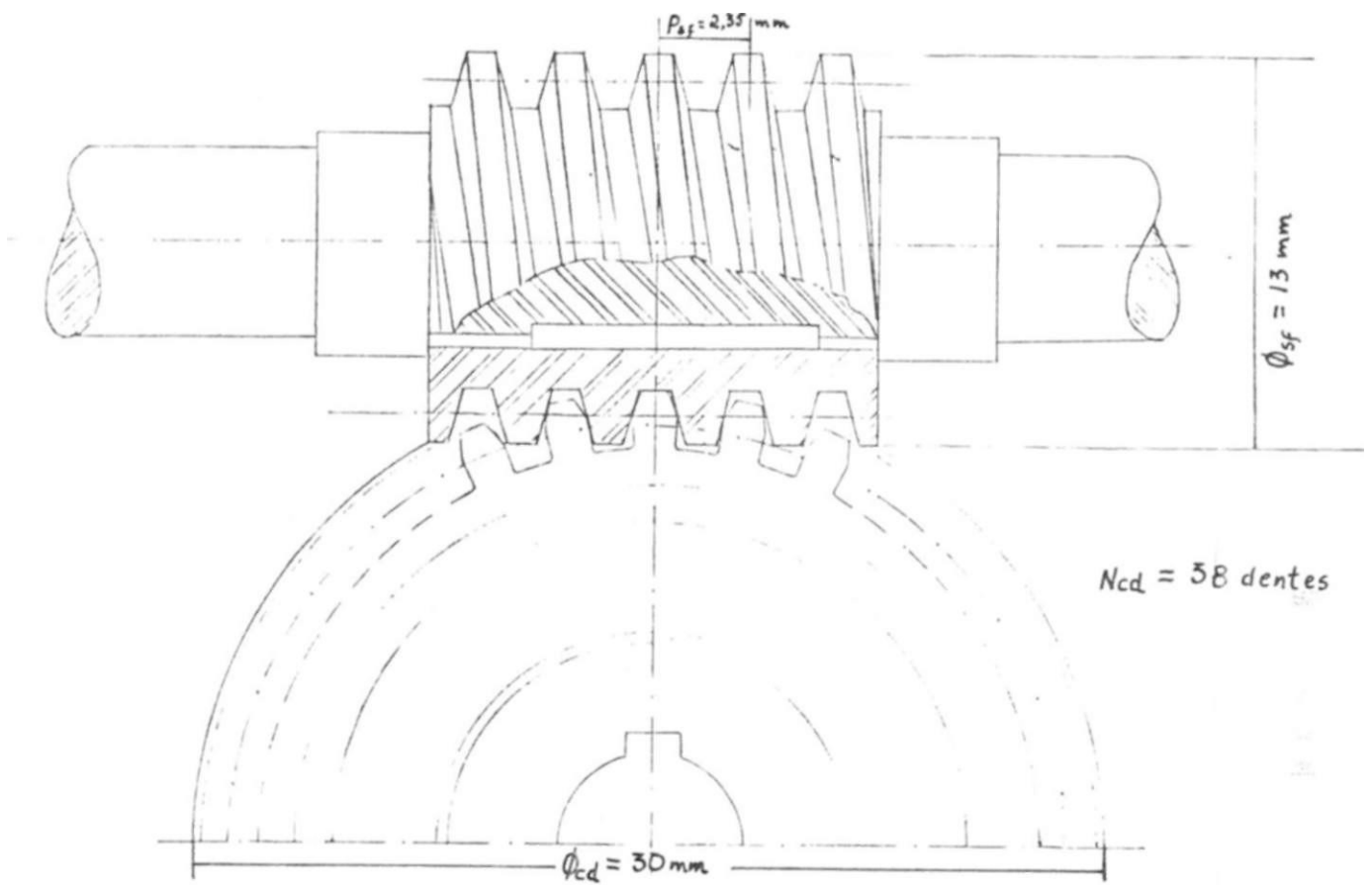


Figura 5.2: Dimensionamento do conjunto parafuso sem-fim e corôa dentada utilizados no acoplamento dos motores de passo ao microscópio.

A cada revolução completa do eixo dos motores de passo X ou Y, o parafuso sem-fim correspondente provoca o deslocamento angular de $\frac{2\pi}{N_d}$ da coroa dentada. São necessárias, portanto, $N_d = 38$ revoluções completas do eixo de cada motor de passo para provocar uma revolução completa da coroa dentada.

Relação de movimento na direção X

Cada volta da coroa dentada X corresponde a um movimento da mesa X-Y do microscópio de $M_x = 16\text{mm}$. Portanto, cada volta do eixo do motor de passo X produz um deslocamento de $\Delta x = \frac{M_x}{N_d} = 0,42\text{mm}$ da lâmina contendo a amostra.

Relação de movimento na direção Y

Cada volta da coroa dentada Y corresponde a um movimento da mesa X-Y do microscópio de $M_y = 39\text{mm}$. Portanto, cada volta do eixo do motor de passo Y produz um deslocamento de $\Delta y = \frac{M_y}{N_d} = 1,03\text{mm}$ da lâmina contendo a amostra.

Motor de passo de ajuste do foco

Um terceiro motor de passo foi acoplado ao controle de ajuste do foco, de modo que este também pudesse ser alterado por controle remoto.

As engrenagens utilizadas foram do tipo roda dentada com relação de número de dentes de 1:1, conforme mostra a figura 5.3. Cada roda dentada tem diâmetro externo $d = 24\text{mm}$ e $Z = 30$ dentes.

5.2.2 Dimensionamento dos motores de passo

Os três motores de passo utilizados neste projeto são idênticos, de fabricação nacional. O dimensionamento dos motores foi obtido segundo instruções contidas no manual de utilização fornecido pela empresa fabricante [19,20]. Os cálculos foram feitos para o motor de passo Y, que é o motor que suporta a maior carga no sistema, constituída pela mesa X-Y, o motor X e seu suporte de apoio.

A carga do motor de passo Y pode ser considerada como um bloco inteiro de massa M , movimentada por um sistema do tipo parafuso sem-fim e coroa dentada. O modelo simplificado para cálculo do torque necessário para movimentar a carga M está representado na figura 5.4. Os dados necessários à obtenção de um valor aproximado do torque do motor são:

Massa da carga M : A carga M , constituída pela mesa X-Y do microscópio, o motor de passo X e respectivo suporte de apoio à mesa X-Y, tem uma massa $M = 1,5\text{Kg}$.

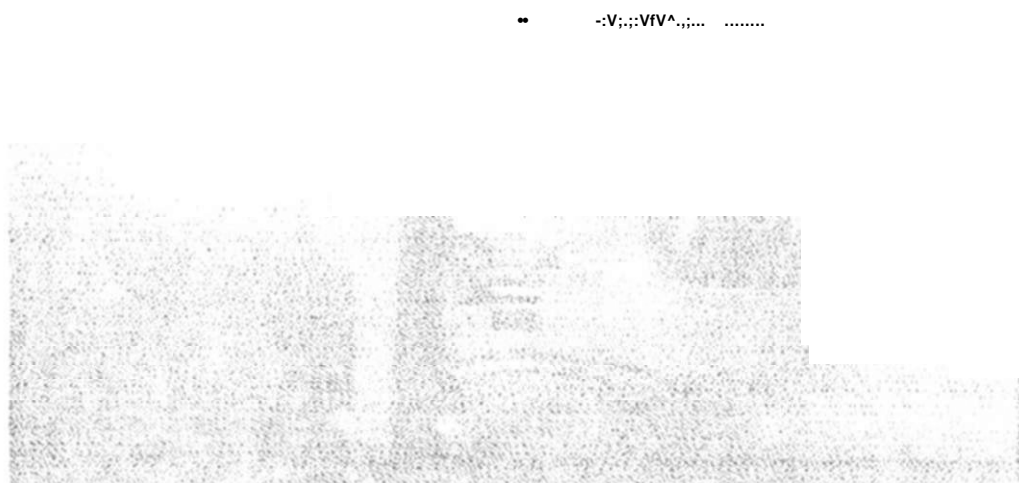


Figura 5.3: Detalhe do acoplamento de um motor de passo ao mecanismo de ajuste de foco do microscópio óptico.

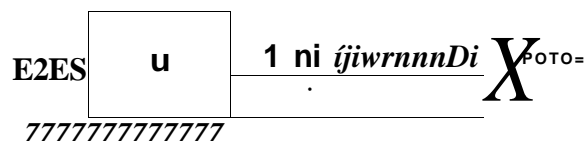


Figura 5.4: Modelo simplificado para o cálculo do torque do motor de passo. A carga do motor é considerada como um bloco inteiro de massa M .

Altura de um campo: A altura de um campo da imagem, na direção Y, em condições normais de foco, foi medida como sendo aproximadamente $AY = 1,44\text{mm}$.

Diâmetro externo do parafuso sem-fim: Este diâmetro é de $\langle f \rangle_j = 13\text{mm}$, conforme já especificado acima.

Passo do parafuso sem-fim: O passo do parafuso sem-fim é de $P_j = 2,35\text{mm}$, conforme já especificado acima.

Força de atrito da carga M_y . Não foi possível calcular esta força, e ela foi estimada em $F_a = 0,44\text{N}$, correspondendo a 3% do valor de seu peso[19].

Com estes dados, o dimensionamento do sistema foi feito da seguinte maneira:

1. Resolução do movimento Y:

Adotando-se um motor de passo de 200 passos por revolução ($1,8^\circ$ por passo), a resolução do movimento da mesa do microscópio na direção Y é dada por

$$R_y = \frac{6y}{200} = \frac{1,03}{200} = 0,00515 \text{ mm / passo}$$

Para deslocar a lâmina contendo a amostra da altura de um campo, AY , o eixo do motor Y precisará rotacionar $AN_y = \frac{AY}{R_y} = 280$ passos.

Estimando-se que a altura de um campo deva ser percorrida em $A/y = 1,12\text{s}$, a velocidade do motor de passo Y deverá ser de $V_y = \frac{AN_y}{A/y} = 250$ passos/s.

2. Momento de inércia total:

O momento de inércia aproximado da carga M_y é dado por[19]:

$$J_M = M_y \times \frac{\langle f \rangle^2}{4} = 1,5 \times \frac{3^2}{4} = 3,375 \text{ A}^2 \text{ cm}^2$$

O momento de inércia do rotor, segundo dados fornecidos pelo fabricante, é de : $J_r = 0,177 \text{ Kgc}m^2$

Assim, o momento de inércia total vale:

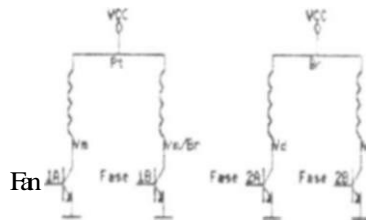
$$J = JM_r + Jr = 3,452 \text{ A}^2 \text{ 0C77}^2$$

3. Torque total:

O torque necessário para movimentar a carga é dado pela seguinte expressão[19]:

$$M = \frac{\partial O_x a x p r'}{\partial \theta}$$

3.9.1	Modos de operação do canal serial do 8051.	25
3.9.2	Geração das Taxas de Transmissão.	26
3.10	O conjunto de instruções do 8051.	27
3.10.1	Transferência de dados.	27
3.10.2	Aritmética	28
3.10.3	Lógica	29
3.10.4	Transferências de controle.	30
3.11	Conclusões.	31
4	Estudo dos Motores de Passo	33
4.1	Introdução.	33
4.2	Construção e princípio de operação dos motores de passo.	35
4.2.1	Motor de relutância variável	35
4.2.2	Motor de passo de ímã permanente.	41
4.2.3	Motor de passo bifilar.	43
4.3	Acionamento dos motores de passo.	44
5	Projeto do Sistema	53
5.1	Acoplamento de uma câmera de vídeo ao microscópio óptico.	53
5.2	Acoplamento dos motores de passo ao microscópio.	54
5.2.1	Projeto das engrenagens de acoplamento dos motores ao microscópio.	55
5.2.2	Dimensionamento dos motores de passo.	57
5.3	Projeto dos circuitos acionadores dos motores de passo.	60
5.3.1	Máquina sequencial.	61
5.3.2	Acionador por fonte de tensão.	61
5.3.3	Chaves de detecção de fim-de-curso.	62
5.4	Interação do sistema com o operador.	62
5.4.1	Display auxiliar.	64
5.4.2	Teclado dedicado.	66



Passo	Fase 1A	Fase 1B	Fase 2A	Fase 2B
1	On	Off	Off	On
2	Off	On	Off	On
3	Off	On	On	Off
4	On	Off	On	Off

Figura 5.5: Sequência de acionamento do motor de passo utilizado no sistema. A sequência 1-2-3-4 representa a rotação do eixo do motor no sentido horário, e a sequência 1-4-3-2 representa sua rotação no sentido anti-horário.

onde: TM é o torque desenvolvido pelo motor, em Nem ;

J é o momento de inércia total, em $Kgcm$ \

Vy é a velocidade do motor Y , em $passos/s$;

a é o atraso máximo, em número de passos, que o rotor pode sofrer em relação à comutação das fases do estator[19].

No caso do motor de $pr = 200$ passos/revolução, $a = 2$;

pr é o número de passos por revolução do motor.

Para o motor Y , este torque vale

$$i_M = \frac{3,5 \times 250^2 \times 7\pi}{50 \times 2 \times 200} = 34 \text{ A cm}$$

O torque de atrito é dado por

$$T_a = F_a \times f = 0,44 \times 1,5 = 0,66 \text{ A'cm}$$

O torque total vale, então, $T = TM - f T_a = 35 \text{ Ncm}$. Observando-se a curva Torque versus Velocidade para o motor de passo modelo 841.101-5, construído pela Syncro Eletromecânica Ltda.. conforme mostra o apêndice C, o torque de corrida para a velocidade $Vy = 250 \text{ passo} \cdot s^{-1}$ é de aproximadamente 44 Ncm , mais que suficiente, portanto, para permitir a utilização do referido motor no projeto, com margem de segurança de 20%.

5.3 Projeto dos circuitos acionadores dos motores de passo

Os motores de passo utilizados são do tipo bifilar, com ângulo de passo de $1,8^\circ$ (200 passos por revolução), tensão de alimentação de 12 V c.c. e corrente de $0,64$ por fase. O acionamento de cada motor é feito energizando-se os enrolamentos de cada fase de maneira sequencial, conforme mostra a figura 5.5.

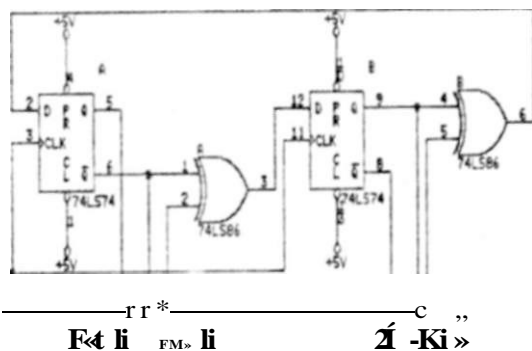


Figura 5.6: Máquina sequencial implementada de passo.

Passo	Fase 1A	Fase 1B	Fase 2A	Fase 2B
1	1	0	0	1
2	0	1	0	1
3	0	1	1	0
4	1	0	1	0

gerar a seqüência de acionamento dos motores

5.3.1 Máquina sequencial

A seqüência de acionamento descrita na figura 5.5 foi obtida através de uma máquina sequencial de 4 estados[21], implementada com dois fíip-flops do tipo D[22,23]. Conforme mostra a figura 5.6, apenas dois sinais (*Clock* e *Sentido*) são necessários para o acionamento da máquina sequencial. Estes sinais são gerados pelo microcontrolador 8051, e três máquinas foram implementadas, uma para cada motor de passo (direção X, direção Y e ajuste de foco).

A frequência em Hertz do sinal *Clock* determina a velocidade do motor correspondente em passos por segundo. O sinal *Sentido* determina a rotação horária (*Sentido* = 0) ou anti-horária (*Sentido* = 1) do rotor.

5.3.2 Acionador por fonte de tensão

Os circuitos acionadores dos motores de passo foram implementados utilizando a configuração simples por fonte de tensão para motores bifilares de quatro fases[8], conforme mostra a figura 5.7. Esta configuração foi utilizada sem a resistência de limitação em série devido à velocidade da movimentação dos motores ser baixa (100—400 passos/s), não havendo, portanto, a necessidade de diminuir a constante de tempo LjR do motor. A tensão de alimentação utilizada foi, então, a tensão nominal 12V do motor.

Os transistores utilizados no chaveamento dos enrolamentos foram do tipo BD135, que são transistores de máxima tensão coletor-emissor $V_{CEO} = 45V$ e corrente máxima de coletor de 1A, valores bem acima da tensão e corrente nominais do motor. A proteção do transistor contra os transientes do chaveamento dos enrolamentos do motor foi feita através da colocação de um diodo do tipo 1N4007 do coletor do transistor para a fonte de alimentação.

Por serem do tipo bifilar, os motores de passo utilizados neste projeto apresentam um torque residual (de valor 4 Nem) quando os mesmos estão desenergizados. Este torque residual é mais que suficiente para manter a carga fixa, de modo que um terceiro sinal de controle, denominado *Libem*, foi utilizado para evitar o consumo de potência pelo motor de passo quando este estiver parado. Este sinal ativa quatro transistores do tipo BC547 (figura 5.7), que desviam a corrente de base dos transistores de chaveamento de cada fase do motor, deixando-os no estado de corte e,

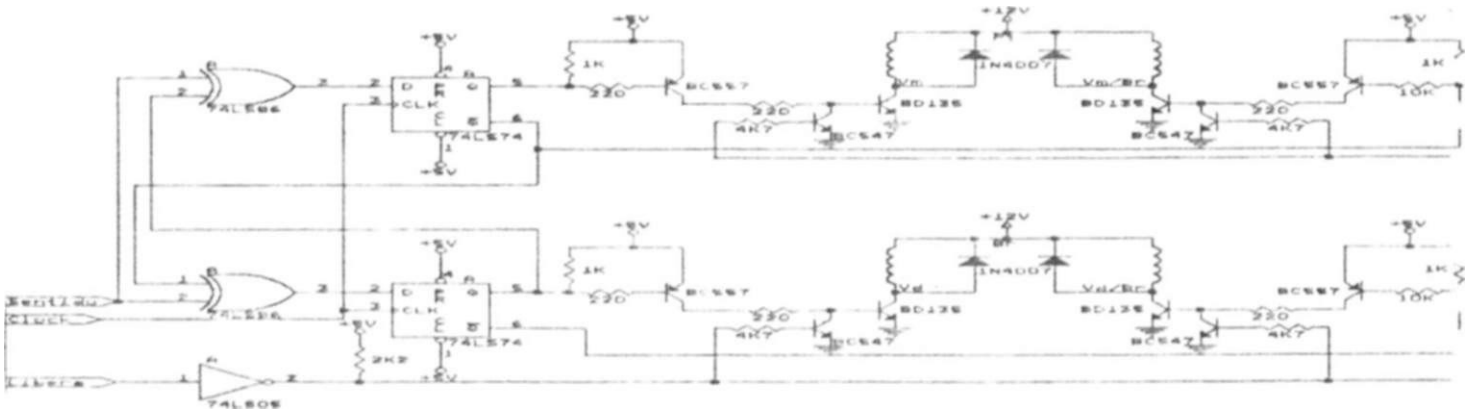


Figura 5.7: Circuito de acionamento dos motores de passo por fonte de tensão. Observe-se que não foram utilizadas as resistências de limitação em série com os enrolamentos do motor.

portanto, mantendo os quatro enrolamentos do motor abertos. O sinal *Libem* também é fornecido pelo microcontrolador 8051.

5.3.3 Chaves de detecção de fim-de-curso

Um grupo de seis chaves tipo push-button N.A. de detecção de fim-de-curso (duas por motor de passo) foram utilizadas para evitar que os mesmos sejam acionados além do curso permitido, podendo vir a danificar as engrenagens ou os próprios motores. Estas chaves foram colocadas nos extremos do curso de cada motor e, uma vez acionadas, geram um pedido de interrupção no microcontrolador 8051, que cessa o movimento do motor correspondente. Conforme mostra a figura 5.8, as chaves de fim-de-curso estão conectadas a uma porta lógica do NAND do tipo 74LS30, que muda de estado caso qualquer chave seja acionada. Esta transição gera um pedido de interrupção no 8051 que, através de uma rotina de atendimento à mesma, verifica que chave gerou o pedido via leitura de um buffer isolador do tipo 74LS244. O microcontrolador interrompe então o movimento do motor de passo correspondente, reverte seu sentido de rotação e libera o movimento novamente até que a chave que gerou a interrupção seja liberada.

5.4 Interação do sistema com o operador

A interação do sistema com o operador foi feita através de *i*n teclado dedicado de oito teclas e um display LCD auxiliar do tipo multi-matrix, de 2 linhas de 10 caracteres cada uma, conforme mostra a figura 5.9. Tanto o teclado como o display foram montados em uma unidade à parte, formando um controle remoto que conferiu um conforto muito grande de operação ao usuário do sistema.

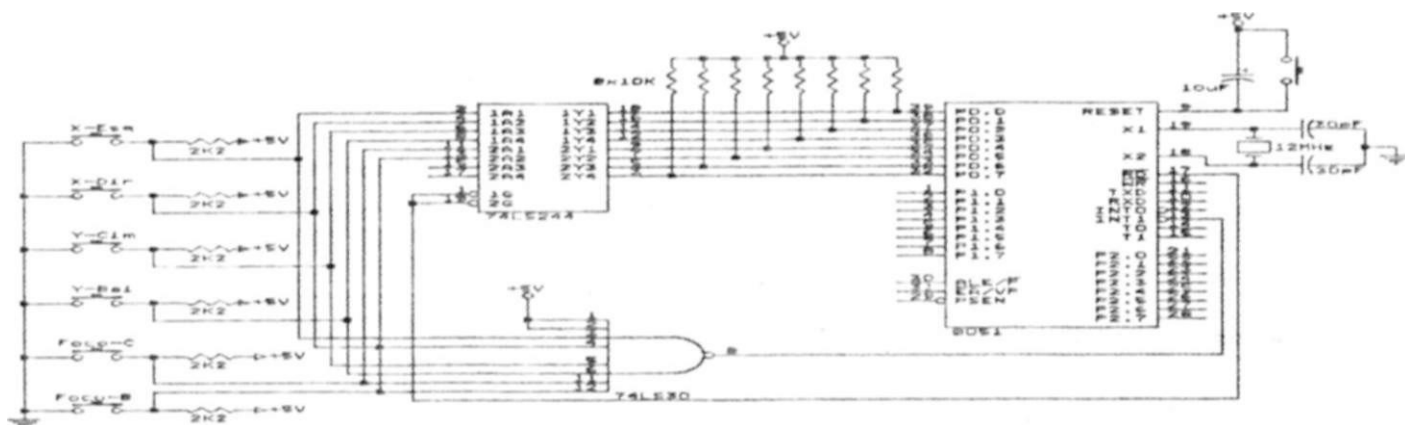


Figura 5.8: Circuito de detecção de fim-de-curso para os três motores de passo.

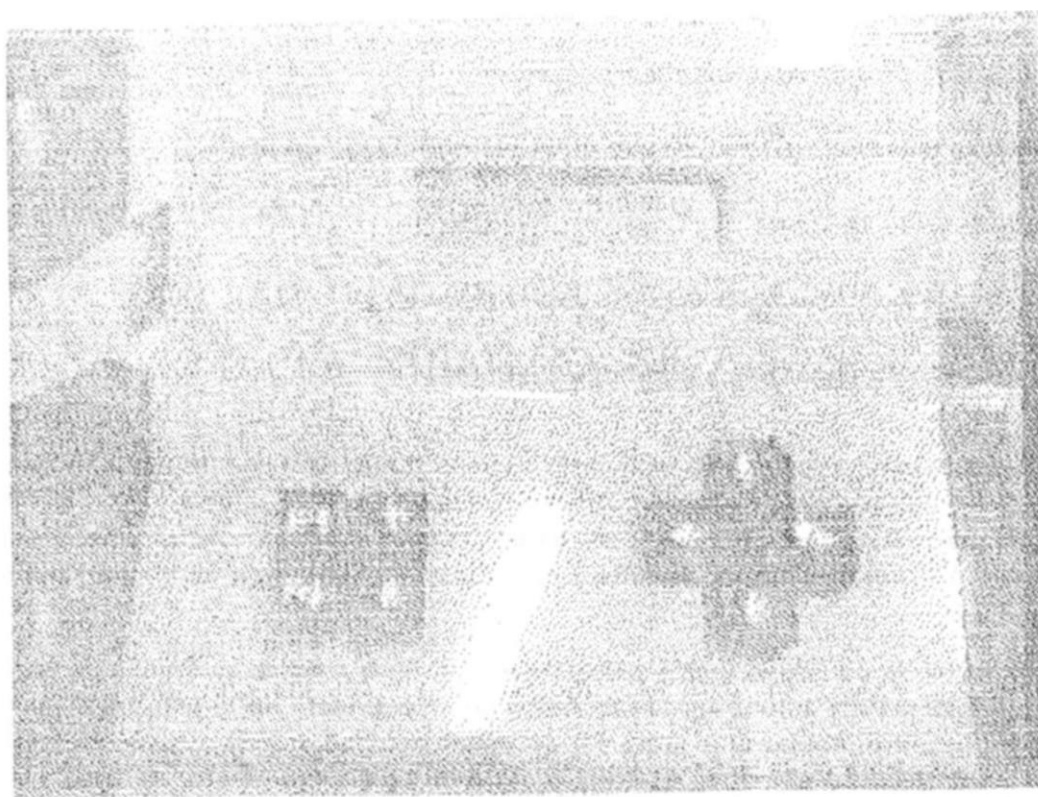


Figura 5.9: Unidade de controle remoto do Sistema Automático de Leitura de Amostras em Microscópios Ópticos.

5.4.1 Display auxiliar

O display auxiliar utilizado no controle remoto do sistema tem por função mostrar mensagens ao operador no sentido de guiar seus procedimentos durante a execução do exame.

Este display, que é fabricado pela Alfacon S.A., é um módulo composto por duas linhas de 16 caracteres de cristal liquido, sendo cada caracter composto por uma matriz de 7 x 5 pontos e um cursor de 5 pontos. Suas características principais são[24,25]:

- Interfaceamento direto com qualquer processador de 4 ou 8 bits;
- Compatibilidade total com o código ASCII;
- Consumo de corrente reduzido;
- Possibilidade de até oito caracteres especiais programáveis pelo usuário;
- Gerador de caracteres e acionadores de linhas/colunas já incluídos;
- Instruções de programação simples e poderosas;
- Iluminação posterior opcional através de painel eletroluminescente;
- Angulo de visão ajustável;
- Possibilidade de utilização de cursor/caracter piscante;
- Deslocamento da mensagem à direita ou à esquerda;

A tabela 5.2 mostra a pinagem do módulo Alfacon utilizado, juntamente com a função de cada pino. O gerador de caracteres do display Alfacon armazena 192 caracteres, sendo 96 correspondentes a caracteres alfanuméricos e símbolos, 64 do alfabeto katakana e 32 caracteres europeus e gregos. Uma RAM interna especial permite a programação pelo usuário de 8 caracteres especiais no formato 7 x 5.

O interfaceamento do display com o processador é bastante simples, podendo sua via de dados ser conectada diretamente ao barramento de dados do processador. Neste projeto, a via de dados do display foi ligada diretamente à porta PO do microcontrolador 8051 através de resistores de pull-up de 10K Ω (figura 5.10). visto que esta porta é do tipo dreno-aberto. O sinal para o pino RS, também gerado por uma linha de E/S do microcontrolador 8051, indica se o byte presente na via de dados do display é uma instrução ou o código de um caracter, e o sinal E, comandado por outra linha de E/S do microcontrolador 8051, é o sinal de habilitação do display: quando em nível lógico 0, seu barramento de dados fica em alta impedância, de modo que não há a necessidade de colocar latches ou portas do tipo buffer entre o display e o processador.

Pino	Símbolo	E/S	Função
1	V_{SS}	-	0V (Terra)
2	V_{DD}	-	+5V (Tensão de alimentação)
3	V_o	-	Tensão de acionamento do display
4	RS	E	1 — Entrada de dados 0 — Entrada de instruções
5	R/W	E	1 — Leitura 0 — Escrita
6	E	E	Habilitação do módulo
7	DB_0	E/S	Via de dados Utilizado como "busy flag"
8	DB_1	E/S	
9	DB_2	E/S	
10	DB_3	E/S	
11	DB_4	E/S	
12	DB_5	E/S	
13	DB_6	E/S	
14	DB_7	E/S	

Tabela 5.2: Pinagem do módulo LCD multi-matrix utilizado como display auxiliar.

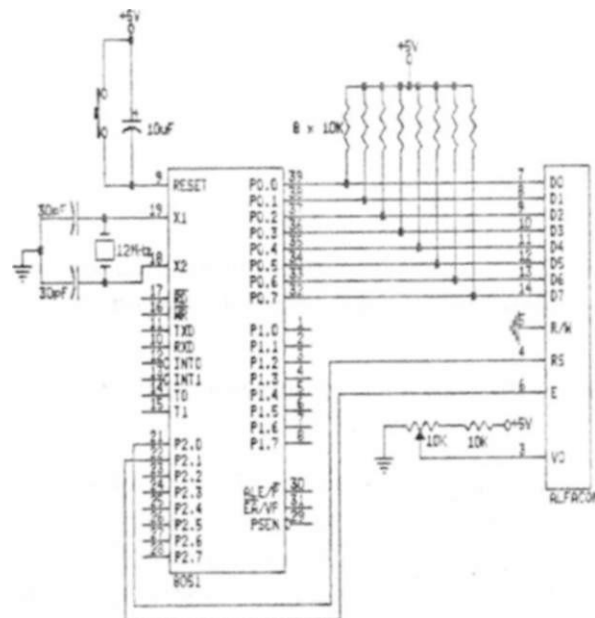


Figura 5.10: Interfacing entre o display Alfacom e o microcontrolador 8051.

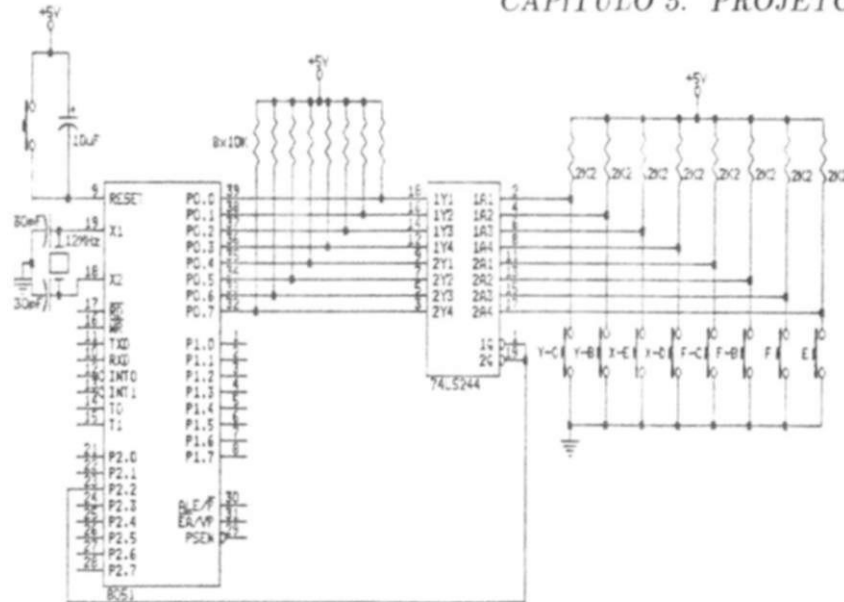


Figura 5.11: Interfaceamento entre o teclado dedicado e o microcontrolador 8051.

5.4.2 Teclado dedicado

O teclado dedicado de oito teclas é o dispositivo através do qual o operador comanda a operação do sistema. Seis destas teclas comandam a movimentação dos motores de passo, enquanto que uma tecla seleciona a função a ser executada e a outra serve como confirmação ou entrada de dados. O teclado dedicado foi implementado com chaves do tipo push-button interligadas à porta PO do microcontrolador 8051 através de um buffer isolador do tipo 74LS244, conforme mostra a figura 5.11.

As funções de cada tecla podem ser resumidas da seguinte maneira:

• Setas : [-], [1], [-], [J]:

- Movimentar os motores X e V na direção indicada, de maneira contínua ou por campos, conforme opção previamente selecionada, permitindo assim a varredura da amostra em observação.
- [←] ou [—•]: selecionar o esfregaço a ser examinado pelo operador.

• [F] (Função):

Selecionar a função a ser executada pelo sistema. Esta função é indicada através de um menu apresentado no display auxiliar, e é ativada pressionando-se a tecla [E]. Ao pressionar-se a tecla [F] múltiplas vezes, este menu é trocado de acordo com uma lista de funções, programadas de modo cíclico, ou seja, após pressionar-se a tecla [F] um determinado número de vezes consecutivas, o display volta a apresentar a função de origem. Tais funções serão detalhadas no capítulo 6, que trata da operação do sistema.

[E] (Entrada):

- **Confirmar** (ativar) uma função previamente selecionada pela tecla [F].
 - Quando na função de Varredura da Amostra, incrementar o número de aspectos característicos identificados e contados (no caso do exame de detecção da filariose, as filarias).
 - Quando na função de Varredura da Amostra, decrementar o número de aspectos característicos identificados e contados, em caso de erro de contagem. O decremento **ocorre** mantendo-se pressionada a tecla [E] e pressionando-se a tecla [—] tantas vezes quanto tenha sido o número de falsas contagens cometidos.
- **!>'1]e[Fj:]**
Movimentar o motor Z **na** direção indicada, permitindo assim o ajuste do **foco** da imagem observada no monitor de TV.

5.5 Interface de comunicação serial

Uma interface de comunicação entre o microcontrolador 8051 e um microcomputador do tipo IBM-PC foi projetada com os objetivos de permitir a transferência de dados entre estes dispositivos e fornecer um maior poder de automação ao sistema.

A escolha pela comunicação serial foi natural, uma vez que tanto o PC como o microcontrolador dispõem deste recurso. O projeto da interface serial ficou resumido então a:

- (a) a compatibilização do nível de transmissão, uma vez que a porta serial do microcontrolador 8051 trabalha em nível TTL, enquanto que a do PC trabalha em nível RS-232C;
- (b) a designação de linhas de E/S do microcontrolador 8051 para atuar no protocolo de comunicação com o PC.

A figura 5.12 mostra a interface serial implementada. Para a conversão de nível TTL para nível RS-232C, foi utilizado o circuito integrado 1488, enquanto que para a conversão no sentido inverso foi utilizado o circuito integrado 1489. A comunicação serial entre o microcontrolador 8051 e o PC também será detalhada no capítulo 6.

5.6 O microcontrolador 8051

O elemento central do projeto do hardware do Sistema Automático de Leitura de Amostras em Microscópios Ópticos foi o microcontrolador 8051. Todos os seus recursos já descritos no capítulo 3 foram amplamente explorados na operação deste sistema, simplificando enormemente o seu projeto.

Ao microcontrolador 8051 foram atribuídas as seguintes tarefas:

- fazer a leitura do teclado, identificando e interpretando a tecla pressionada, de modo a executar a ação correspondente;

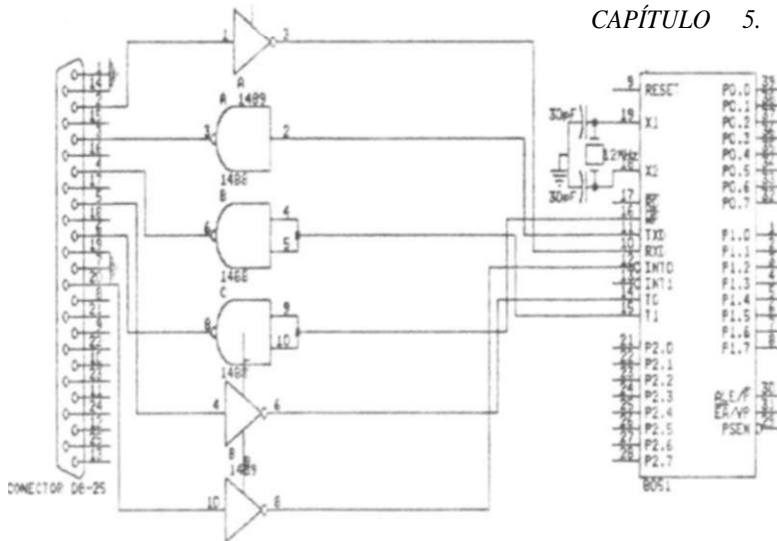


Figura 5.12: Interface de comunicação serial. Para a conversão de níveis TTL-<RS-232C, foram utilizados os circuitos integrados 1488 e 1489.

- comandar os circuitos acionadores dos motores de passo, proporcionando a varredura da amostra e o ajuste do foco da imagem;
- identificar condições de fim-de-curso para um dado motor, prevenindo danos mecânicos às engrenagens;
- enviar mensagens de interação com o operador ao display auxiliar, orientando-o no procedimento do exame;
- comunicar-se com o PC, transmitindo e recebendo dados e comandos, de forma a enviar os resultados do exame ao PC, ou aceitar os comandos de operação do PC, e não do teclado dedicado.

O microcontrolador 8051 opera com um oscilador de 12MHz. Seus pinos de E/S foram utilizados da seguinte maneira:

Porta PO : entrada e saída:

Funciona com barramento de dados do sistema, estando a ela ligados:

- A via de dados do display auxiliar, através de resistores de pull-up de 10KQ;
- O teclado dedicado, através de um buffer isolador do tipo 74LS244;
- As chaves de detecção de fim-de-curso, também através de um buffer isolador do tipo 74LS244.

Porta PI e linha P2.3 : saída:

São responsáveis pelo acionamento dos três motores de passo, através de três grupos de três linhas de E/S destinados cada um ao controle do circuito acionador do motor correspondente.

As linhas PI.0, P1.1 e P2.3 correspondem ao sinal *Libera* dos motores X, Y e Z, respectivamente. Um nível lógico 1 em um destes pinos desenergiza o motor de passo correspondente, enquanto que um nível lógico 0 habilita sua operação.

As linhas PI.2, PI.4 e PI.6 correspondem ao sinal *Clock* da máquina sequencial do motor X, Y e Z, respectivamente. Cada transição de nível lógico 0 para nível lógico 1 em um destes pinos provoca a mudança de estado da máquina sequencial correspondente, rotacionando o eixo do respectivo motor de 1 passo.

A velocidade de rotação de cada motor é gerada internamente pelo temporizador TO do microcontrolador, que é programado no modo 0 (temporizador de 8 bits com divisor de frequência) e é carregado com o valor correspondente à velocidade desejada para o motor. A cada overflow do temporizador TO, uma rotina de interrupção é chamada. Esta rotina verifica que motor está energizado e comanda um pulso positivo na linha de *Clock* correspondente.

As linhas P1.3, P1.5 e P1.7 correspondem ao sinal *Sentido* da máquina sequencial do motor X, Y e Z, respectivamente. Um nível lógico 0 em um destes pinos determina que a rotação do eixo do motor correspondente será feita no sentido horário (movimentação X para a direita, Y para cima e Z para baixo), enquanto que um nível lógico 1 no mesmo pino determina que a rotação do eixo do respectivo motor será feita no sentido anti-horário (movimentação X para a esquerda, Y para baixo e Z para cima).

Pinos P2.0, P2.1 e P2.2 : saída:

A linha P2.0 corresponde ao sinal *RS* do display Alfacom. Um nível lógico 0 nesta linha indica que o byte presente na via de dados é uma instrução, enquanto que um nível lógico 1 indica que o mesmo representa um caracter.

A linha P2.1 corresponde ao sinal *E* de habilitação do display Alfacom. Quando esta linha está em nível lógico 0, a via de dados do display fica em alta impedância.

A linha P2.2 representa o sinal de habilitação do buffer isolador do teclado dedicado. Um nível lógico 0 neste pino permite a leitura do teclado via porta PO.

Porta P3 : entrada/saída:

Os pinos da porta P3 são utilizados individualmente como entrada ou saída, cada um com uma função específica.

As linhas P3.0 e P3.1 correspondem respectivamente aos sinais *RxD* e *TxD* do canal de comunicação serial.

A linha P3.2, que funciona como entrada, corresponde ao sinal de protocolo *DTR* da comunicação serial.

A linha P3.3 funciona como sinal de requisição de interrupção externa, ativado pela transição de nível lógico 1 para nível lógico 0 quando ocorre uma condição de fim-de-curso. Um pedido de interrupção através deste pino ativa uma rotina interna que desliga o temporizador TO, interrompendo o movimento do motor que causou a interrupção, identifica este motor e retrocede o seu movimento até que a condição de fim-de-curso termine.

5.5	Interface de comunicação serial	67
5.6	O microcontrolador 8051.	67
5.7	Considerações sobre o software de operação do sistema.	70
6	Operação do Sistema	73
6.1	Versão 1.	74
6.1.1	Inicialização do esfregão.	74
6.1.2	Tipo de movimentação.	75
6.1.3	Definição do esfregão atual.	76
6.1.4	Reinicialização do esfregão.	76
6.1.5	Total de aspectos contados.	76
6.1.6	Varredura do esfregão.	76
6.2	Versão 2	77
6.2.1	Inicialização do esfregão.	77
6.2.2	Transmissão para o PC.	78
6.3	Versão 3.	78
6.4	Comunicação Serial 8051 O PC.	79
6.4.1	Transmissão PC => 8051.	80
6.4.2	Transmissão 8051 => PC.	80
6.4.3	Taxa de Transmissão.	81
6.4.4	Comunicação 8051 PC na Versão 3.	81
7	Sistema de Aquisição e Digitalização de Imagens	85
7.1	Características técnicas do digitalizador de vídeo.	86
7.2	O hardware do sistema de digitalização de imagens.	86
7.2.1	Isolação do sinal de vídeo.	86
7.2.2	Fixação do nível de preto do sinal de vídeo.	86
7.2.3	Separador de Sincronismo.	87
7.2.4	Conversão A/D do sinal de vídeo.	88

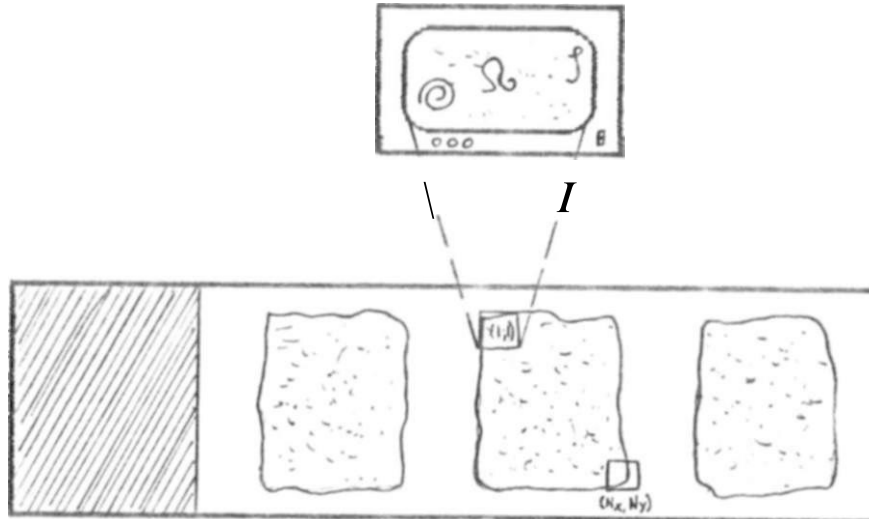


Figura 5.13: Lâmina contendo uma amostra sanguínea preparada para o exame contra a filariose.

As linhas P3.4 (entrada), P3.5 (saída) e P3.6 (saída) funcionam como sinais de protocolo da comunicação serial. O pino P3.4 corresponde ao sinal *RTS*, o pino P3.5 ao sinal *CTS* e o pino P3.6 ao sinal *DSR*.

Finalmente, a linha P3.7 representa o sinal de habilitação do buffer isolador das chaves de fim-de-curso, que são lidas através da porta PO para a identificação do motor que causou a condição de fim-de-curso.

5.7 Considerações sobre o software de operação do sistema

A operação do sistema é inteiramente controlada pelo microcontrolador 8051 que, através de um programa escrito em sua memória de programa interno, gerencia o funcionamento de todas as partes do hardware do sistema.

Este software foi desenvolvido segundo o conceito de programação modular, constituído por uma rotina de inicialização de diversos parâmetros e variáveis de controle do sistema, e uma rotina principal cíclica, que identifica a função selecionada pelo usuário através do teclado dedicado, chamando subrotinas correspondentes à execução da função selecionada. A operação do sistema será assunto do capítulo 6.

Para permitir-se o posicionamento preciso e ordenado da lâmina contendo a amostra sanguínea em inspeção sob as objetivas do microscópio, foi necessário estabelecer-se uma métrica de movimentação da mesa X-Y, segundo a qual os motores de passo correspondentes fossem controlados. A definição desta métrica levou em conta as características de lâminas preparadas para exames de detpção da filariose.

Conforme mostra a figura 5.13, uma lâmina de vidro preparada para inspeção contra a filariose

apresenta 3 regiões aproximadamente retangulares denominadas de esfregaços. Relembrando a definição de *campo* como sendo a área retangular visível na tela do monitor de vídeo, pode-se dizer que cada esfregaço é constituído de um total de $N_x \times N_y$ campos, cada um com largura AA' e altura AY expressas em número de passos do respectivo motor. Assim, a métrica de movimentação para cada esfregaço fica completamente definida determinando-se os seguintes parâmetros:

1. A posição do campo (1,1) do esfregaço, definido como sendo seu canto superior esquerdo (figura 5.13).
2. A largura AX de cada campo.
3. A altura AY de cada campo.
4. A posição do campo ($A \cdot a$, $A \cdot y$) final, com N_x e N_y múltiplos de AX e AY , respectivamente. O campo ($A \cdot a < A \cdot y$) deve conter o canto inferior direito do esfregaço.

Para o sistema implementado, foi observado que o motor X deve rotacionar 680 passos para mover a lâmina da largura AA' de um campo. O número de passos do motor Y necessários para se percorrer a altura AY de um campo foi determinado como sendo 280.

A resolução de movimento de 1 passo por vez se mostrou desnecessária, tendo em vista que a divisão da largura de um campo em 680 faixas torna o movimento de uma faixa para outra adjacente imperceptível. Um outro ponto a ser considerado é que esta resolução obrigaria parâmetros tais como AA' e AY , ambos expressos em número de passos a serem dados pelo respectivo motor, a serem armazenados em dois bytes da memória de dados do microcontrolador 8051, tornando a manipulação destes parâmetros trabalhosa.

A partir da consideração dos dois pontos acima, foi criado o conceito de Pacote de Movimento para a métrica de movimentação da mesa X-Y, que vem a ser o número de passos que os motores X e Y executam cada vez que eles são comandados pelo microcontrolador. Todas as variáveis e parâmetros de movimentação da mesa X-Y do microscópio são expressos então em termos de número de pacotes de movimento, e podem ser armazenados cada um em uma única posição da memória RAM do microcontrolador.

O pacote de movimento adotado foi de 4 passos por vez. Assim, a largura de um campo passou a ser $AA'' = 170$ pacotes de movimento e a altura de um campo $AY'' = 70$ pacotes de movimento.

Para a movimentação contínua, duas variáveis precisaram ser definidas: X_{total} e Y_{total} definidas como sendo o número de pacotes de movimento percorridos pelo respectivo motor a partir do início do campo. A definição destas duas variáveis permitiu o posicionamento do canto superior esquerdo da imagem observada no monitor de vídeo em qualquer posição dentro de um campo anteriormente pré-definido.

Em resumo, os parâmetros e variáveis necessários à movimentação da mesa X-Y do microscópio, de modo a permitir a varredura da lâmina contendo a amostra são:

N_x^* número total de campos dentro de um esfregaço, na direção X, a partir do campo (1,1).

->

N_y : número total de campos dentro de um esfregão, na direção Y, a partir do campo (1,1).

ΔX : largura de um campo em número de pacotes de movimentos.

ΔY : largura de um campo em número de pacotes de movimentos.

N_x : campo atual na direção X ($0 < N_x < N$)-

N_y : campo atual na direção Y ($0 < N_y < N$)-

A_x : número de pacotes de movimento percorridos dentro do campo (A_x, N_x), na direção X, a partir da borda esquerda do campo ($0 < A_x < A$).

A_y : número de pacotes de movimento percorridos dentro do campo (N_x, N_y), na direção Y, a partir da borda superior do campo ($0 < A_y < A$).

Pacote de movimento: número de passos executados por um dado motor a cada comando do microcontrolador.

A velocidade de rotação dos motores foi determinada experimentalmente como sendo a que permitiu a varredura da lâmina contendo a amostra de modo que o operador pudesse acompanhar seu movimento sem perder os detalhes do conteúdo da amostra durante o deslocamento.

Para o motor Y, a velocidade encontrada foi $V_y = 250$ passos/s. Para o motor X, a velocidade foi estabelecida como sendo $V_x = 333$ passos/s, onde a relação de 4/3 foi colocada para compensar a relação existente entre a largura e a altura de um campo no monitor de vídeo. Assim, um campo é percorrido no mesmo intervalo de tempo quer se esteja fazendo uma movimentação vertical ou horizontal. A velocidade estabelecida para o motor Z de ajuste do foco foi de $V_z = 167$ passos/s.

A frequência de rotação dos motores é obtida através do temporizador TO do microcontrolador 8051, programado no modo 0, com divisão de frequência por 32. O valor a ser carregado no registrador TH0 para obter-se a velocidade desejada para o motor é dado por:

$$TH0 = \frac{12 \times 10^6}{32 \times f} - 38$$

onde f é a frequência de rotação do motor em passos por segundo. A velocidade dos motores de passo, de acordo com a expressão acima fica limitada a ser, no mínimo, de 122 passos (carregando-se TH0 com 0). A cada overflow do temporizador TO, uma rotina de interrupção interna é chamada. Esta rotina verifica que motor está energizado e comanda um pulso positivo na linha de *Clock* correspondente.

Capítulo 6

Operação do Sistema

Durante o decorrer deste trabalho, foram desenvolvidas três versões básicas de operação do sistema:

Versão 1: representa uma semi-automação do procedimento de diagnóstico. Nesta versão, o examinador realiza o exame da lâmina contendo a amostra sanguínea utilizando todas as facilidades apresentadas previamente nos capítulos anteriores, mas o sistema não é dotado de comunicação com um microcomputador do tipo IBM-PC.

Versão 2: esta versão incorpora a comunicação do microcontrolador 8051 para um microcomputador do tipo IBM-PC, permitindo a transferência dos resultados da análise da lâmina de vidro, bem como os parâmetros *AX* e *AY* para que a inicialização do sistema possa ser feita pelo PC.

Versão 3: constitui a versão completamente automatizada do sistema, onde o controle de todas as suas operações pode ser feito via um microcomputador do tipo IBM-PC, que faz o papel do controle remoto no sistema original.

Cada uma destas versões será detalhada neste capítulo, através de um roteiro de operação do sistema.

Após ligar-se o mesmo, uma mensagem de apresentação é mostrada no display auxiliar durante quatro segundos. Durante este tempo uma rotina de inicialização pré-define os níveis lógicos em cada linha de E/S do microcontrolador e algumas variáveis e parâmetros, tais como: as velocidades dos motores, as interrupções a serem habilitadas, o número de campos X e Y, a largura e a altura dos campos, tomando a posição atual da mesa X-Y como sendo o Campo (1,1). O sistema é inicializado para movimentação contínua.

Após esta mensagem de apresentação, o display mostra a primeira opção de um menu cíclico, que o operador ativa pressionando a tecla *[E]* (Enter), ou muda para a próxima opção pressionando a tecla *[F]* (Função). Pressionando-se esta tecla um determinado número de vezes consecutivas faz com que o display volte a apresentar a primeira opção.

6.1 Versão 1

Nesta seção serão detalhadas as opções disponíveis na versão 1 do sistema.

6.1.1 Inicialização do esfregaço

A primeira opção após a mensagem de apresentação do sistema é de **Inicialização**, na qual o operador delimita a área de cada esfregaço. Para ativar esta função o operador deve pressionar a tecla $[E]$. Para passar para a próxima opção, a tecla $[F]$ deve ser pressionada. Caso a inicialização do esfregaço não seja feita, o microcontrolador 8051 interpretará o ponto em que o sistema foi ligado como sendo o Campo (1,1), e a largura e altura dos campos utilizadas serão as pré-definidas na inicialização do sistema.

Uma vez pressionada a tecla $[E]$, o ajuste do foco da imagem pode ser feito pressionando-se as teclas $[F]$ e $[F \]]$.

Definição do campo (1,1)

Caso a opção **Inicialização** seja ativada, as mensagens **Mov. p/ Campo 1,1** e **Enter ou Função** serão mostradas no display auxiliar, instruindo o operador a definir o canto superior esquerdo do esfregaço. Este canto será o Campo (1,1), e será tomado como origem de todos os movimentos feitos a partir desta definição. A movimentação dos motores é feita de maneira contínua, de modo que o operador possa definir precisamente o Campo (1,1) do esfregaço.

Para movimentar a mesa X-Y, o operador deve utilizar as teclas $[<-]$, $[f]$, $[->]$ e $[[]]$. Uma vez no Campo (1,1), o operador tem duas opções: (a) pressionar a tecla $[E]$, para definir a largura AA' e a altura AY dos campos; ou (b) pressionar a tecla $[F]$ para aceitar a largura AA' e a altura AV pré-definidas na memória de dados do microcontrolador 8051 e definir apenas o Campo (AA', AY) final do esfregaço.

Definição da largura AA' dos campos

Caso o operador tenha pressionado a tecla $[E]$ após posicionar a amostra no Campo (1,1), as mensagens **Mov. p/ Campo 2,1** e **Enter qdo Pronto** surgirão no display auxiliar, instruindo o operador a definir a largura AA' dos campos. Para isto o operador poderá utilizar as teclas $[*->]$ e $[->]$ apenas, pois as teclas de movimentação na direção Y estarão desativadas. O sistema irá então contar o número de pacotes de movimentos executados pelo motor X à direita do Campo (1,1) até o operador pressionar a tecla $[E]$. Neste momento, o sistema deverá estar posicionado no Campo (2,1), e a largura AA' corresponderá à distância entre o Campo (1,1) e o Campo (2,1).

Definição da altura AV dos campos

Após o operador pressionar a tecla [E] ao posicionar a amostra no Campo (2,1), as mensagens **Mov. p/ Campo 2,2** e **Enter qdo Pronto** surgirão no display auxiliar, instruindo o operador a definir a altura AY dos campos. Para isto o operador poderá utilizar as teclas [↓] e [↵] apenas, pois as teclas de movimentação na direção X estarão desativadas. O sistema irá então contar o número de pacotes de movimentos executados pelo motor Y abaixo do Campo (2,1) até o operador pressionar a tecla [E]. Neste momento, o sistema deverá estar posicionado no Campo (2,2), e a altura A)' corresponderá à distância entre o Campo (2,1) e o Campo (2,2).

Definição do Campo (Nx,hy) final

Uma vez definidos o Campo (1,1) e a largura e altura dos campos, é necessário delimitar o tamanho do esfregaço. As mensagens **Mov. p/ X, Y Final** e **Enter qdo Pronto** instruem o operador a levar a amostra para o canto inferior direito do esfregaço. Esta movimentação é feita no modo por campos, para que o Campo (Nx, AV) seja múltiplo da largura e altura dos campos.

A movimentação X-Y é feita através das teclas [←], [↓], [→] e [↵], até que o canto inferior direito do esfregaço seja encontrado. Neste ponto, o operador deverá pressionar a tecla [E] para que o microcontrolador registre os valores Nx e Ny. O esfregaço estará inteiramente delimitado e a varredura da lâmina poderá então ser iniciada.

6.1.2 Tipo de movimentação

A segunda opção desta versão é definir o tipo de movimentação : (a) contínua; ou (b) por campos, esta opção é ativada pressionando-se a tecla [E] quando o display auxiliar apresentar as mensagens **Mov. Contín/Campo** e **Enter ou Função**.

Ao pressionar-se a tecla [E], o display exibirá as mensagens **Mov. Contínua** e **Enter ou Função**. Caso o operador pressione a tecla [E], o sistema passará a operar no modo de movimentação contínua, que é o modo no qual os motores de passo X e Y se deslocam de apenas um pacote de movimento cada vez que as teclas de movimentação [←], [↓], [→] e [↵] são pressionadas. Este modo é indicado para verificar aspectos da imagem contidos na transição de um campo para outro, quando é necessário posicionar a lâmina entre dois campos adjacentes para melhor observar o referido aspecto.

Caso o operador pressione a tecla [F], o sistema passará a operar no modo de movimentação por campos, que é o modo no qual os motores de passo X e Y se deslocam da largura AX ou da altura AY de um campo por vez em que as teclas de movimentação [←], [↓], [→] e [↵] são pressionadas. Este modo é utilizado durante a varredura normal da lâmina. Antes de passar para o modo de movimentação por campos, porém, o sistema retrocede continuamente para o campo mais próximo, a fim de preservar a definição feita do esfregaço, mantendo todas as referências de posição válidas.

6.1.3 Definição do esfregaço atual

A opção de definição do esfregaço atual é dada ao usuário através das mensagens **Esfregaço Atual** e **Enter ou Função**. Através desta opção, o operador informa ao microcontrolador qual dos três esfregaços será lido. Esta informação é importante porque o sistema registra o número de aspectos encontrados em cada esfregaço, fazendo sua totalização após a varredura dos três esfregaços.

Para ativar esta opção o usuário deve pressionar a tecla *[E]* e, com o auxílio das teclas *[←•]* e *[—]*, aumentar ou diminuir o esfregaço indicado no display até que este mostre o número correto. Este número é confirmado pressionando-se novamente a tecla *[E]*, fazendo com que o display passe a mostrar a próxima opção.

6.1.4 Reinicialização do esfregaço

Uma vez tendo inicializado o esfregaço e definido seu número, o usuário deve voltar a lâmina para o Campo (1,1) para iniciar a varredura. Isto é feito ativando-se a opção representada pelas mensagens **Reinício Sistema** e **Enter ou Função**. Ao pressionar a tecla *[E]*, o usuário verá as mensagens **Reinicializando** e - **Aguarde** -, e o sistema voltará por si só ao Campo (1,1) retrocedendo por campos (1 para a esquerda, 1 para cima), até parar exatamente no Campo (1,1). Após chegar no Campo (1,1), o sistema zera o número de aspectos eventualmente já contados neste esfregaço, e a varredura poderá ser iniciada.

6.1.5 Total de aspectos contados

A opção imediatamente após a reinicialização do esfregaço é a de visualizar no display auxiliar o número de aspectos (no caso, filarias) contados em toda a amostra, somando-se as contribuições de cada um dos três esfregaços. O display mostra as mensagens *xxxx* **Filarias** e **Função**, onde *xxxx* é o número de filarias contadas em toda a amostra. Para passar para a próxima opção, o operador deve pressionar as teclas *[E]* ou *[F]*.

6.1.6 Varredura do esfregaço

A opção apresentada após a visualização do total de aspectos contados na lâmina é a de fazer a varredura e contagem dos aspectos do esfregaço. Esta opção é mostrada ao operador através das mensagens **Campo Filarias** e *xx,yy zzzz*, mostradas no display auxiliar, onde *xx,yy* é o campo atual e *zzzz* é o número de filarias contadas no esfregaço atual.

Durante a varredura do esfregaço, o ajuste do foco da imagem pode ser feito pressionando-se as teclas *[F]]* e *[F []*. Para fazer a movimentação da lâmina, o operador deverá utilizar as teclas *[←—]* e *[←•]* para a movimentação na direção X e *[|]* e *[J]* para a direção Y. O sistema será operado no modo de movimentação contínua ou por campos, conforme a programação feita pelo operador.

A movimentação da lâmina só é permitida dentro dos limites definidos do esfregaço. Caso o

operador deseje retroceder na direção X após o display auxiliar mostrar a mensagem Campo 01 , yy, uma mensagem — Fim do campo X será exibida e o movimento será recusado. Da mesma forma, caso ele deseje avançar na direção X além do último campo X, uma mensagem Fim do Campo X → será mostrada no display auxiliar e o movimento recusado. O mesmo vale para a direção Y, onde as mensagens Fim do Campo Y A e Fim do Campo Y V serão exibidas caso se deseje retroceder além do primeiro campo Y ou avançar além do último campo Y.

A contagem dos aspectos é feita pressionando-se a tecla [E] para incrementar o número de filarias. Caso algum erro seja cometido na contagem, o decremento do número de filarias poderá ser feito segurando-se a tecla [E] pressionada e pressionando-se a tecla [←] tantas vezes quantas forem os erros cometidos. A tecla [E] deve então ser solta primeiro, soltando-se depois a tecla [←].

Para voltar ao menu cíclico de opções, o operador deverá pressionar a tecla [F]. Isto pode ser feito, por exemplo, para trocar o modo de movimentação quando um aspecto comum a mais de um campo for detectado e for necessário posicionar a amostra entre os campos através do modo de movimentação contínua.

Uma vez terminada a leitura de um esfregaço, a inicialização do próximo a ser lido deverá ser feita, seguindo-se o ciclo de opções detalhadas acima novamente, até que o último esfregaço tenha sido lido, encerrando-se o exame da lâmina.

6.2 Versão 2

A versão 2 incorpora todas as opções disponíveis na versão 1, permitindo também a comunicação serial entre o microcontrolador 8051 e um microcomputador do tipo IBM PC para a passagem dos resultados para o PC, além dos parâmetros AA' e AY com os quais foi feita a leitura da lâmina.

A passagem dos resultados do exame para o PC é importante não só para a informatização dos mesmos, como também para a manutenção de um banco de dados com o histórico do paciente, facilitando o controle e a manipulação estatística dos números da doença.

A passagem dos parâmetros AA' e AY é importante para que estes mesmos parâmetros sejam utilizados em caso de uma nova leitura da mesma lâmina, a fim de comprovar os resultados da leitura anterior.

6.2.1 Inicialização do esfregaço

A primeira diferença entre a versão 2 e a versão 1 se dá na opção de inicialização do esfregaço. Ao visualizar as mensagens Inicialização e Enter ou Função no display auxiliar, caso pressione a tecla [E], o operador verá as mensagens Inic. Automática e Enter ou Função.

Caso o operador pressione novamente a tecla [£"], o sistema irá se comunicar com o microcomputador PC para ler os parâmetros AA e AY. Para isto, o PC deverá estar com um programa em execução que, além de possuir estes parâmetros prontos para serem transmitidos ao microcontrolador 8051, deverá programar corretamente o canal de comunicação serial do PC com o protocolo

adequado para que a comunicação seja bem sucedida. Caso o PC não esteja pronto para a transmissão, o microcontrolador 8051 ficará travado aguardando a comunicação, e a única saída será através do Reset do microcontrolador.

Após a transmissão dos parâmetros AA' e AV do PC para o microcontrolador 8051, o display auxiliar mostrará as mensagens **Mov. p/ Campo 1,1** e **Enter ou Função**. O operador deverá então posicionar a amostra no Campo (1,1) e então pressionar a tecla [F], para definir o Campo (Nx,Ny) final, pois o sistema já está de posse dos parâmetros AA e AV. Caso o operador pressione acidentalmente a tecla [E] ao invés da tecla [F], ele será forçado a definir normalmente a largura e a altura dos campos, e a transmissão do PC para o microcontrolador 8051 terá sido em vão.

Ao observar as mensagens **Inic. Automática** e **Enter ou Função**, caso o operador pressione a tecla [F], o display exibirá as mensagens **Inic. Assistida** e **Enter ou Função**, que corresponde ao processo normal de inicialização do esfregaço apresentado na Versão 1. Caso o operador pressione a tecla [E], esta opção será ativada e ele deve proceder como explicado na Versão 1.

6.2.2 Transmissão para o PC

A segunda diferença da Versão 2 para a Versão 1 é a opção de transmissão dos resultados do exame e dos parâmetros AA' e AV para o PC. Esta opção é apresentada ao operador após a visualização do total de filarias da amostra, através das mensagens **Transmissão PC** e **Enter ou Função**.

Caso o operador pressione a tecla [£"], o microcontrolador fará a transmissão do número de filarias contados em cada esfregaço, do número total de filarias da amostra e dos parâmetros AA' e AV. Novamente, caso o PC não esteja pronto para a recepção, o microcontrolador 8051 ficará travado aguardando a comunicação, e a única saída será através do Reset do microcontrolador.

6.3 Versão 3

A versão 3 representa a automação completa do sistema através da inclusão da opção **Operação Automática**, na qual o PC comanda a operação do sistema simulando o teclado dedicado e o display auxiliar através da comunicação serial com o microcontrolador 8051.

A opção de operação automática pode ser selecionada pressionando-se a tecla [E] quando o display auxiliar mostrar as mensagens **Oper. Automática** e **Enter ou Função**, caso a tecla pressionada seja [F], o sistema operará normalmente como na versão 2.

Na operação automática o PC envia comandos para o microcontrolador 8051 via canal de comunicação serial. Todos os comandos possíveis foram implementados, de modo que a operação do sistema pode ficar completamente a cargo do PC, que atuaria como mestre, tendo o microcontrolador 8051 como seu escravo.

Esta versão foi implementada com o objetivo de uma etapa futura de reconhecimento automático dos aspectos característicos da amostra em inspeção, com o PC fazendo a movimentação ordenada da lâmina contendo a amostra, bem como a digitalização das imagens para processamento digital

no PC.

A operação automática pelo PC foi feita atribuindo-se códigos a cada uma das funções do sistema, e também ao teclado dedicado. Assim, o PC faz a seleção de determinada função enviando ao microcontrolador 8051 um byte código específico, que o microcontrolador interpreta como se a seleção da referida função tivesse sido feita via teclado dedicado. Para a movimentação da mesa X-Y e ajuste do foco, o PC envia o código da tecla correspondente e novamente o 8051 interpreta como se a tecla respectiva do teclado dedicado tivesse sido pressionada.

Embora um programa de varredura automática da amostra e digitalização das imagens não tenha sido desenvolvido, foi implementado um programa de demonstração no PC, no qual o PC simula seu teclado como sendo o teclado dedicado do sistema, e seu monitor como sendo o display auxiliar do controle remoto do sistema.

Este programa, desenvolvido em linguagem Pascal[26], lê uma tecla pressionada pelo operador no teclado do PC e envia ao microcontrolador 8051 um código correspondente a esta tecla, fazendo que o mesmo execute a ação determinada como se a tecla correspondente do teclado dedicado tivesse sido pressionada.

6.4 Comunicação Serial 8051 PC

A comunicação do sistema com um microcomputador do tipo IBM-PC foi implementada de utilizando-se o canal de comunicação serial do microcontrolador 8051. A interface de comunicação com o PC foi implementada, conforme descrita no capítulo 5, de modo a compatibilizar os níveis RS-232C do canal de comunicação serial do PC com os níveis TTL do microcontrolador e estabelecer os sinais de protocolo da comunicação.

Apenas os seguintes sinais disponíveis na interface serial do PC foram utilizados na comunicação com o sistema:

- Pino 1** — Terra do PC (chassis);
- Pino 2** — TxD — Transmissão do PC;
- Pino 3** — RxD — Recepção do PC;
- Pino 4** — RTS — Request To Send;
- Pino 5** — CTS — Clear To Send;
- Pino 6** — DSR — Data Set Ready;
- Pino 7** — Terra do Sinai;
- Pino 20** — DTR — Data Terminal Ready;