

**UNIVERSIDADE FEDERAL DE PERNAMBUCO
CENTRO DE TECNOLOGIA E GEOCIÊNCIAS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**



DISSERTAÇÃO DE MESTRADO

**Amplificador de Baixo Ruído
Totalmente Integrado em CMOS**

Filipe Esteves Távora

PPGEE-UFPE

**Amplificador de Baixo Ruído
Totalmente Integrado em CMOS**

ESTEVES TÁVORA

**M186
2010**

UNIVERSIDADE FEDERAL DE PERNAMBUCO
CENTRO DE TECNOLOGIA E GEOCIÊNCIAS
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

AMPLIFICADOR DE BAIXO RUÍDO
TOTALMENTE INTEGRADO EM CMOS

por

FILIFE ESTEVES TÁVORA

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Pernambuco como parte dos requisitos para a obtenção do grau de Mestre em Engenharia Elétrica.

ORIENTADOR: JOÃO PAULO CERQUINHO CAJUEIRO, D.Sc.

Recife, Fevereiro de 2010.

© Filipe Esteves Távora, 2010

Catálogo na fonte
Bibliotecária Raquel Cortizo, CRB-4 664

T233a Távora, Filipe Esteves.
Amplificador de baixo ruído totalmente integrado em CMOS / Filipe Esteves Távora. - Recife: O Autor, 2010.
xiv, 85 folhas, il., gráfs., tabs., figs.

Orientador: Prof. Dr: João Paulo Cerquinho Cajueiro
Dissertação (Mestrado) – Universidade Federal de Pernambuco. CTG. Programa de Pós-Graduação em Engenharia Elétrica, 2010.
Inclui Referências Bibliográficas e Apêndices.

1. Engenharia Elétrica 2.LNA 3.CMOS 4.RF. 5. Figura de ruído. I. Cajueiro, João Paulo Cerquinho (orientador). II. Título.

621.3 CDD (22. ed.)

UFPE
BCTG/2011-277



Universidade Federal de Pernambuco

Pós-Graduação em Engenharia Elétrica

PARECER DA COMISSÃO EXAMINADORA DE DEFESA DE
DISSERTAÇÃO DO MESTRADO ACADÊMICO DE

FILIPE ESTEVES TÁVORA

TÍTULO

**“AMPLIFICADOR DE BAIXO RUÍDO TOTALMENTE
INTEGRADO EM CMOS”**

A comissão examinadora composta pelos professores: JOÃO PAULO CERQUINHO CAJUEIRO, DES/UFPE, EDVAL JOSÉ PINHEIRO SANTOS, DES/UFPE e ODILON MAROJA DA COSTA PEREIRA FILHO DES/UFPE sob a presidência do primeiro, consideram o candidato **FILIPE ESTEVES TÁVORA APROVADO.**

Recife, 23 de fevereiro de 2010.

RAFAEL DUEIRE LINS
Coordenador do PPGEE

JOÃO PAULO CERQUINHO CAJUEIRO
Orientador e Membro Titular Externo

ODILON MAROJA DA COSTA PEREIRA FILHO
Membro Titular Externo

EDVAL JOSÉ PINHEIRO SANTOS
Membro Titular Interno

Para Vanessa Souza Eletherio de Oliveira.

Agradecimentos

Agradeço primeiramente a Deus, a minha família e a minha amada noiva Vanessa por terem sempre me apoiado neste período de grandes atribulações. Gostaria de agradecer também a todas as pessoas da *SiliconReef* pelo grande incentivo e compreensão sem os quais não seria possível concluir este trabalho. Por fim, mas não menos importantes, aos meus professores e colegas de mestrado pelo apoio e ensinamentos, em especial a Diego Dias de Menezes pela edição do arquivo de tecnologia do ASITIC, ao Professor Edval J. P. Santos pelo auxílio com as ferramentas de projeto e com o fabricante de Circuitos integrados (*Austria Micro System*) e ao Professor João Paulo Cerquinho Cajueiro pela sua valiosa orientação.

FILIPE ESTEVES TÁVORA

Universidade Federal de Pernambuco

23 de Fevereiro de 2010

Resumo da Dissertação apresentada à UFPE como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Amplificador de Baixo Ruído Totalmente Integrado em CMOS

Filipe Esteves Távora

Fevereiro/2010

Orientador: João Paulo Cerquinho Cajueiro, D.Sc.

Área de Concentração: Eletrônica

Palavras-chaves: LNA, CMOS, RF, figura de ruído, integrado

Número de páginas: xiv+85

Esta dissertação descreve o projeto de dois amplificadores de baixo ruído (LNA), que é um dos blocos mais relevantes do sistema de recepção de rádio frequência. Os circuitos, desenvolvidos em tecnologia CMOS 0,35 μm da (*Austria Micro System*), foram baseados na norma IEEE 802.15.4 para serem aplicados a sistemas de redes de sensores sem fio.

Apresenta-se uma dedução detalhada do fator de ruído para a configuração de fonte comum com degeneração indutiva, incluindo o ruído induzido no *gate* e o ruído devido a resistência parasita do *gate*, bem como duas adaptações de uma técnica de otimização para a figura de ruído em função do tamanho do transistor e da indutância de *gate*.

Por fim, são apresentados dois casos de testes para operar em 915 MHz com seus desempenhos verificados através de simulações.

Abstract of Dissertation presented to UFPE as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

Low Noise Amplifier Completely Integrated in CMOS Technology

Filipe Esteves Távora

February/2010

Supervisor: João Paulo Cerquinho Cajueiro, D.Sc.

Area of Concentration: Electronic

Keywords: LNA, CMOS, RF, Noise figure, integrated

Number of pages: xiv+85

This dissertation describes the project of two Low Noise Amplifiers (LNA), one of the most relevant parts of a receiver. The circuits were designed in $0.35\mu\text{m}$ CMOS technology, based on the IEEE 802.15.4, to be applied in wireless sensor networks.

A detailed deduction of the common source with inductively degeneration noise figure is presented, including the analyses of the induced gate noise and the noise due to parasitic resistance. Two adaptation of the noise factor's optimization techniques are also presented, taking the transistor width and the gate inductor into account.

Finally, two LNAs are designed and simulated, each one with different method, to operate at 915MHz.

Conteúdo

Agradecimentos	iv
Resumo	v
Abstract	vi
Lista de Tabelas	x
Lista de Figuras	xi
Capítulo 1 Introdução	1
1.1 Motivação	1
1.2 Objetivos	2
1.3 Organização do documento	2
Capítulo 2 Revisão Bibliográfica	4
2.1 Ruído	4
2.1.1 Ruído Térmico	4
2.1.2 Ruído <i>Flicker</i>	6
2.1.3 Ruído no transistor MOS	7
2.1.4 Otimização de ruído em quadripolos	10
2.2 Parâmetros de ruído para transistor MOS como quadripolo	13
2.3 Técnicas de otimização de ruído para LNA	16
2.3.1 Casamento Clássico de ruído - CCR	17
2.3.2 Casamento Simultâneo de Ruído e Impedância de entrada - CSRI	18
2.3.3 Casamento Simultâneo de Ruído e Impedância com Restrição de Potência - CSRIRP	20

2.4	Linearidade	22
2.4.1	Ponto de compressão do ganho	23
2.4.2	Produtos de intermodulação	23
2.5	Indutores Integrados	25
Capítulo 3 Metodologia		30
3.1	introdução	30
3.2	Projeto	39
3.2.1	Otimização de ruído para largura de transistores fixas	39
3.2.2	Otimização de ruído para indutâncias de <i>gate</i> fixas	40
3.3	Considerações e observações	43
Capítulo 4 Resultados		44
4.1	Simulação com componentes ideais	44
4.1.1	LNA1	44
4.1.2	LNA2	48
4.2	Caracterização dos indutores integrados	49
4.3	Re-simulação com parasitas	51
4.3.1	LNA1	51
4.3.2	LNA2	54
4.4	<i>Layout</i>	59
4.5	Análise dos resultados	63
Capítulo 5 Conclusões		65
5.1	Contribuições	65
5.2	Propostas para trabalhos futuros	66
Apêndice A Derivação da Figura de ruído		67
A.1	Ruído na saída devido à fonte de entrada	73
A.2	Ruído na saída devido ao ruído da resistência de <i>gate</i>	74
A.3	Ruído na saída devido ao ruído induzido no <i>gate</i>	75
A.4	Ruído na saída devido ao ruído térmico de canal	76
Apêndice B Cálculos auxiliares da metodologia		78

Apêndice C Publicações	82
Bibliografia	83

Lista de Tabelas

2.1	Resumo dos parâmetros de ruído do transistor MOS como quadripolo, obtido de [7].	15
2.2	Coeficientes da expressão modificada de Wheeler, obtida de [15]. . . .	28
2.3	Coeficientes da expressão para corrente de folha, obtida de [15]. . . .	28
2.4	Coeficientes da expressão para corrente de folha, obtida de [15]. . . .	29
3.1	Dimensionamento dos componentes.	38
3.2	Resultados dos cálculos teóricos do LNA.	41
3.3	Resultados dos cálculos teóricos do LNA1 para 4, 2 e 1 mW de potência consumida.	41
3.4	Resultados dos cálculos teóricos do LNA2.	42
3.5	Variação de parâmetros da especificação.	43
4.1	Resultados das simulações utilizando componentes ideais para o LNA1 para diferentes tensões de <i>overdrive</i>	47
4.2	Resultados das simulações utilizando componentes ideais para o LNA2.	48
4.3	Resultados das simulações dos indutores com o <i>Asitic</i>	50
4.4	Resultados das simulações com extração de parasitas.	54
4.5	Resultados das simulações com parasitas modelados.	57
4.6	Resultados das simulações com circuito de polarização.	57
4.7	Resumo dos resultados dos amplificadores projetados.	61
4.8	Comparação com outros trabalhos publicados.	64

Lista de Figuras

2.1	Equivalente <i>Norton</i> de resistor ruidoso, R.	5
2.2	Equivalente <i>Thevenin</i> de resistor ruidoso, R.	6
2.3	Ilustração de defeitos de fabricação em redes cristalinas.	7
2.4	Circuito equivalente para ilustrar as fontes de ruído em um MOSFET, I_G , I_S e I_D são as contribuições de ruído das terminações resistivas da porta, fonte e dreno; I_d é a contribuição de ruído do canal, incluindo o ruído <i>flicker</i> ; I_{DB} , I_{SB} I_{DSB} são as contribuições de ruído das resistências presentes no substrato; I_g representa o ruído induzido na porta [4].	7
2.5	Densidade espectral de ruído na corrente de dreno de um NMOS, obtido de [4].	8
2.6	Contribuição para o ruído de dreno simulada para um dispositivo com $L = 0,18\mu m$ em $3GHz$. MOS representa o ruído intrínseco térmico de canal, $1/f$ a contribuição do ruído <i>flicker</i> , R_b , R_g e R_s são as contribuições das resistências de substrato, porta e fonte, respectivamente [8].	9
2.7	Modelo de transistor ruidoso simplificado [9].	9
2.8	Modelo de fontes de ruído em quadripolo, obtido de [7].	11
2.9	Representação do ruído de um quadripolo através de fontes de ruído na entrada, obtido de [5].	13
2.10	Representação do ruído de um quadripolo através de fontes de ruído na entrada, obtido de [5].	14

2.11	Topologia para o casamento clássico de ruído. a) Diagrama esquemático do circuito de casamento. b) modelo de pequenos sinais do esquemático.	17
2.12	Topologia para o casamento simultâneo de impedância e ruído. a) Diagrama esquemático do circuito. b) modelo de pequenos sinais do esquemático, obtida de [9].	18
2.13	Topologia para o casamento simultâneo de impedância e ruído com restrição de potência. a) Diagrama esquemático do circuito. b) modelo de pequenos sinais do esquemático. Obtida de [9].	21
2.14	ponto de compressão do ganho de 1dB, obtido de [14].	23
2.15	Ponto de intersecção de terceira ordem IIP3, obtido de [14].	25
2.16	Geometrias típicas de indutores planares, obtido de [7].	26
2.17	Modelo pi para indutores planares integrados, obtido de [15].	27
2.18	comparação entre as expressões e resultados simulados, obtido de [15].	29
3.1	Topologia de LNA adotada.	31
3.2	Contornos de figuras de ruído constantes (em decibel) em função de v_{od} e C_t . (a) curvas obtida das expressões calculadas neste trabalho. (b) curvas obtidas de [19].	33
3.3	Contornos da transcondutância do LNA em função de v_{od} e C_t . (a) curvas obtida das expressões calculadas neste trabalho. (b) curvas obtidas de [19].	34
3.4	Contornos da resistência parasita de <i>gate</i> em função de v_{od} e C_t . (a) curvas obtida das expressões calculadas neste trabalho. (b) curvas obtidas de [19].	35
3.5	Superposição das curvas 3.2 (a) e 3.3 (a).	36
3.6	Circuito para casamento de impedância na saída do LNA.	38

3.7	Contornos da figura de ruído em dB (linha tracejada vermelha), da transcondutância do LNA dada em $\frac{A}{V}$ (linha verde sólida) e da largura do transistor em mm (linha pontilhada azul). Os parâmetros utilizados foram: $\gamma = 2$, $\delta = 4$, $c = j0,395$, $E_{sat} = 4,7 \cdot 10^6 \text{V/m}$, $v_{sat} = 8,43 \cdot 10^4 \text{ m/s}$, $f = 0,915 \text{GHz}$, $P_D = 4 \text{mW}$, $V_{dd} = 1,8 \text{V}$, $R_{sheet} = 8 \frac{\Omega}{\text{quadrado}}$, $W_f = 10 \mu\text{m}$, $Q_{ind} = 100$, $L_{g,bw} = 0 \text{nH}$, $Q_{ind,bw} = 0$ e $L_{ef} = 0,29 \mu\text{m}$ (para tecnologia de $0,35 \mu\text{m}$).	40
3.8	Contornos da figura de ruído em dB (linha tracejada vermelha), da transcondutância do LNA dada em $\frac{A}{V}$ (linha verde sólida) e da largura do transistor dada em mm (linha pontilhada em azul). Os parâmetros utilizados foram: $\gamma = 2$, $\delta = 4$, $c = j0,395$, $E_{sat} = 4,7 \cdot 10^6 \text{V/m}$, $v_{sat} = 8,43 \cdot 10^4 \text{ m/s}$, $f = 0,915 \text{GHz}$, $P_D = 15 \text{mW}$, $V_{dd} = 1,8 \text{V}$, $R_{sheet} = 8 \frac{\Omega}{\text{quadrado}}$, $W_f = 10 \mu\text{m}$, $Q_{ind} = 4$, $L_{g,bw} = 0 \text{nH}$, $Q_{ind,bw} = 0$ e $L_{ef} = 0,29 \mu\text{m}$ (para tecnologia de $0,35 \mu\text{m}$).	42
4.1	Diagrama esquemático de LNA com componentes ideais utilizado nas simulaes.	45
4.2	Casamento de impedância usando a carta de <i>Smith</i>	45
4.3	Coefficientes de reflexão na entrada S11 e na saída S22.	46
4.4	Coefficiente de transmissão direto S21 e reverso S12 (em dB).	47
4.5	Figura de ruído do LNA1 (dB).	48
4.6	Parâmetros de espalhamento (dB) e fator de ruído para o LNA2.	49
4.7	Modelo elétrico de indutor para banda estreita fornecida pelo <i>Asitic</i>	50
4.8	<i>Layout</i> dos indutores usados no LNA1. a) L_{d1} . b) L_{s1}	51
4.9	<i>Layout</i> dos indutores usados no LNA2. a) L_{s2} . b) L_{d2} . c) L_{g2}	51
4.10	Diagrama esquemático de LNA com componentes da biblioteca do fabricante.	52
4.11	Coefficiente de reflexo na entrada (S11) e na sada (S22) medidos em decibel.	52
4.12	Coefficiente de transmissão direto (S21) e reverso (S12) medido em decibel.	53
4.13	Fator de ruído do LNA1 simulado com parasitas.	53

4.14	Resultado das simulações dos parâmetros de espalhamento e de ruído com tenso de <i>overdrive</i> de 0.075 V.	55
4.15	Ponto de compressão do ganho de 1dB.	56
4.16	Resultado das simulações dos parâmetros de espalhamento e de ruído com tensão de <i>overdrive</i> de 0.063 V.	56
4.17	Circuito de polarização do LNA2.	57
4.18	Resultado das simulações dos parâmetros de espalhamento e de ruído com circuito de polarização.	58
4.19	<i>Layout</i> dos transistores do LNA1 com anéis de polarização para o poço.	59
4.20	<i>Layout</i> dos transistores do LNA2 com anéis de polarização para o poço.	59
4.21	<i>Layout</i> do circuito de polarização com transistores PMOS em par cruzado no canto superior esquerdo.	60
4.22	<i>Layout</i> final dos dois amplificadores.	61
4.23	<i>Layout</i> dos dois amplificadores e do indutor de saída do LNA2 para <i>tapeout</i> . LNA1 destacado em roxo, LNA2 em vermelho e o indutor em amarelo.	62
A.1	Fontes de ruído.	67
A.2	Contribuição do ruído da fonte.	73
A.3	Contribuição do ruído induzido no gate.	74
A.4	Contribuição do ruído induzido no gate.	75
A.5	Contribuição do ruído induzido no gate.	76

Capítulo 1

Introdução

Nas últimas décadas as tecnologias de comunicação sem fio vêm ganhando espaço em diversas aplicações de forma cada vez mais intensa. Este crescimento tem impulsionado pesquisadores da indústria e do mundo acadêmico a buscarem soluções mais econômicas e seguras. Esta busca tem levado projetistas a optarem pela tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*), devido a sua promessa de integração dos circuitos de rádio frequência (RF) com circuitos digitais de processamento de dados em uma única pastilha de silício. Inicialmente, os circuitos de RF eram implementados em tecnologias de Arseneto de Gálio (*GaAs*) e empregavam transistores bipolares, pois apresentavam características melhores que a CMOS, tais como maior transcondutância (g_m) e melhor desempenho em termos de ruído. Entretanto a evolução da tecnologia CMOS, impulsionada pela corrida para aumentar o desempenho e reduzir área dos microprocessadores empregados nos computadores pessoais, possibilitou a implementação de circuitos de RF cada vez melhores [1].

1.1 Motivação

O investimento no desenvolvimento desta tecnologia de comunicação sem fio vem permitindo a um número cada vez maior de pessoas acesso à informação de locais remotos e em situações críticas, proporcionando assim uma maior segurança, comodidade e aumento da qualidade de vida. As atenções se focam não só para setor de telefonia móvel, mas também para o segmento de redes de sensores sem fio (RSSF), que encontra aplicações nas áreas de monitoramento de infraestrutura, automação

residencial, agricultura de precisão, detecção de gases tóxicos, gerenciamento de cadeia de suprimentos, cuidados da saúde, entre outros [2]. Para o segmento de redes de sensores sem fio há uma demanda por dispositivos de RF de baixo consumo para prolongar o tempo de vida útil das baterias utilizadas e de alta integração com dispositivos de processamento de dados.

1.2 Objetivos

Este trabalho tem o propósito geral de contribuir com uma pesquisa sobre o desenvolvimento de um amplificador de baixo ruído (um dos principais blocos do sistema de recepção de sistemas de comunicação sem fio) implementado na tecnologia CMOS para atender a demanda do segmento de RSSF. O objetivo específico deste projeto é desenvolver um amplificador de baixo ruído com todos os dispositivos necessários para o seu funcionamento integrados na mesma pastilha de silício, ou seja, totalmente integrado e compatível com a norma IEEE 802.15.4, que vem sendo amplamente adotada para especificação dos sistemas de rádio de RSSF [3]. Para o caso particular do amplificador de baixo ruído estas especificações podem ser traduzidas em uma figuras de ruído¹ e consumo de potência inferior a 3 dB e 15 mW, respectivamente e um ganho superior a 10 dB.

1.3 Organização do documento

O texto está dividido em cinco capítulos: introdução, revisão bibliográfica, metodologia, resultados e conclusões.

No segundo capítulo é realizada uma revisão de literatura acerca dos conceitos básicos para o desenvolvimento de circuitos de rádio frequência, com um foco maior na questão do ruído e das técnicas de minimização do mesmo. Neste mesmo capítulo é feita também uma breve consideração sobre a implementação de indutores integrados e formas de projetá-los utilizando ferramentas gratuitas.

No terceiro capítulo é apresentada a metodologia de otimização da figura de ruído

¹Figura de ruído é a figura de mérito que caracteriza a quantidade de ruído que é adicionado a um sinal por um determinado sistema, quando o mesmo é processado por este referido sistema. Quanto menor seu valor, menor é a quantidade de ruído adicionado.

para dois tipos de amplificadores de baixo ruído (totalmente integrado e utilizando indutor de entrada como componente externo) desenvolvida neste trabalho, bem como os passos seguidos para dimensionar todos os dispositivos do circuito.

No capítulo quatro são apresentados os resultados obtidos através de simulações do circuito projetado utilizando componentes ideais e não ideais.

Por fim, o último capítulo traz considerações finais do trabalho e propostas de melhorias para trabalhos futuros.

Capítulo 2

Revisão Bibliográfica

Neste capítulo é feita uma revisão de literatura acerca das técnicas aplicadas a um projeto de um amplificador de baixo ruído.

2.1 Ruído

Ruído, de modo geral, pode ser definido como sinais indesejáveis presentes no sistema de comunicação, uma vez que distorcem e comprometem a informação transmitida. Tecnicamente, definem-se dois tipos de sinais indesejados: interferências, proveniente de acoplamento de fontes externas, e ruído, intrínseco ao sistema. Aqui utilizaremos a segunda definição de ruído.

Por ser um processo aleatório, o ruído caracterizado pela densidade espectral e pela função de densidade de probabilidade, por isso nas próximas secções os diferentes tipos de ruído serão referenciados e calculados a partir desta função. Existem diversos mecanismos de geração de ruído em circuitos integrados, entretanto será dada uma breve introdução apenas aos mais significativos para a tecnologia CMOS na faixa de RF: o térmico e o *flicker* [4], como será mostrado na subsecção *Modelo de ruído do transistor MOS em RF*.

2.1.1 Ruído Térmico

O ruído térmico está presente em qualquer condutor. Ele é causado pela agitação de portadores, e sua densidade espectral é dada pela seguinte grandeza, conhecida

como *potência de ruído disponível*[5]:

$$P_{NA} = K_B T \Delta f,$$

onde K_B a constante de *Boltzman* ($\approx 1,38 \times 10^{-23} J/K$), T a temperatura absoluta em kelvin e Δf a largura de banda do ruído medida em Hz. O valor dessa potência de ruído disponível para uma largura de banda de 1 Hz calculada em 290 K de temperatura é -174 dBm e é conhecida como *noise floor* [6].

A potência de ruído disponível é a máxima potência que pode ser entregue a uma carga por uma fonte de ruído [7]. Com base nessa definição, o ruído térmico de cada elemento ativo ou passivo pode ser modelado por uma fonte de ruído equivalente de tensão ou corrente. Considerando o equivalente *Norton* do ruído térmico associado ao resistor R, mostrado na figura 2.1, o cálculo da fonte de ruído equivalente de corrente seria dado por:

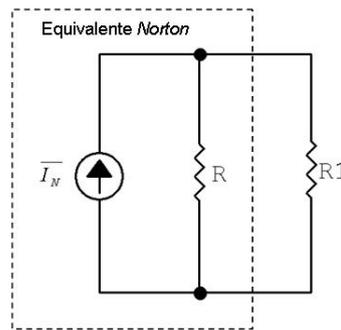


Figura 2.1: Equivalente *Norton* de resistor ruidoso, R.

$$P_{NA} = K_B T \Delta f = \frac{\overline{i_n^2} (R \parallel R1)^2}{R1}$$

O segundo membro da expressão tem valor máximo quando $R1$ igual a R .

$$P_{NA} = K_B T \Delta f = \frac{\overline{i_n^2} \cdot R}{4}$$

Nestas condições a fonte de ruído equivalente de corrente é dada por:

$$\overline{i_n^2} = \frac{4K_B T \Delta f}{R} = 4K_B T G \Delta f,$$

onde G é a condutância do resistor.

Analogamente, considerando o modelo *Thevènin* do ruído térmico associado a um resistor R , mostrado na figura 2.2, o cálculo da fonte de ruído equivalente de corrente seria dado por:

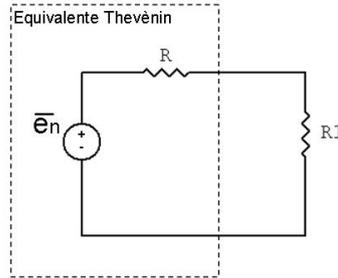


Figura 2.2: Equivalente *Thevènin* de resistor ruidoso, R .

$$P_{NA} = K_B T \Delta f = \frac{\overline{e_n^2}}{(R + R1)^2} R1$$

O segundo membro da expressão tem valor máximo quando $R1$ igual a R .

$$P_{NA} = K_B T \Delta f = \frac{\overline{e_n^2}}{4R}$$

Nestas condições a fonte de ruído equivalente de tensão é dada por:

$$\overline{e_n^2} = 4K_B T R \Delta f$$

2.1.2 Ruído *Flicker*

Segundo Scholten [8], o ruído *flicker* tem como origem o aprisionamento e liberação de portadores de carga na rede cristalina do material semiconductor. A rede cristalina de semicondutores apresenta imperfeições, como as vacâncias (falta de átomos na rede) e interstícios (átomos "sobrando" na rede), como mostra a figura 2.3.

Portadores de carga deslocando-se próximo a tais imperfeições podem ser aprisionados por um tempo e posteriormente liberados. Este mecanismo provoca uma flutuação na quantidade de portadores de carga que estão atravessando a rede e desta forma causa uma perturbação (ruído) na corrente elétrica do condutor. A densidade de probabilidade espectral do ruído *flicker* apresenta uma distribuição inversamente proporcional à frequência de operação da corrente que flui na rede. Por essa razão

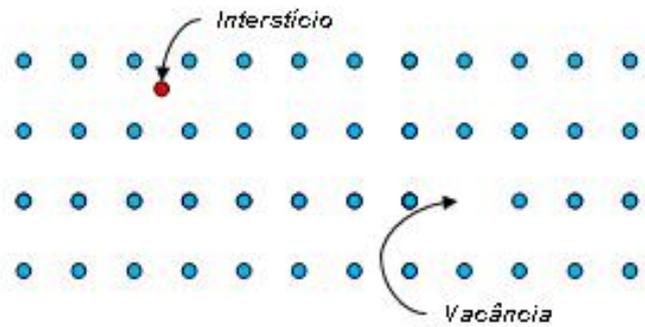


Figura 2.3: Ilustração de defeitos de fabricação em redes cristalinas.

este fenômeno também é conhecido como ruído rosa (analogia com o espectro de luz visível e em contraste com o ruído térmico, conhecido por ruído branco) ou $1/f$ [4].

2.1.3 Ruído no transistor MOS

Para melhor analisar as fontes de ruído do transistor MOS pode-se avaliá-lo como um pequeno circuito distribuído, formado por resistores, capacitores e componentes ativos. Desta forma fica mais fácil de identificar cada fonte de ruído.

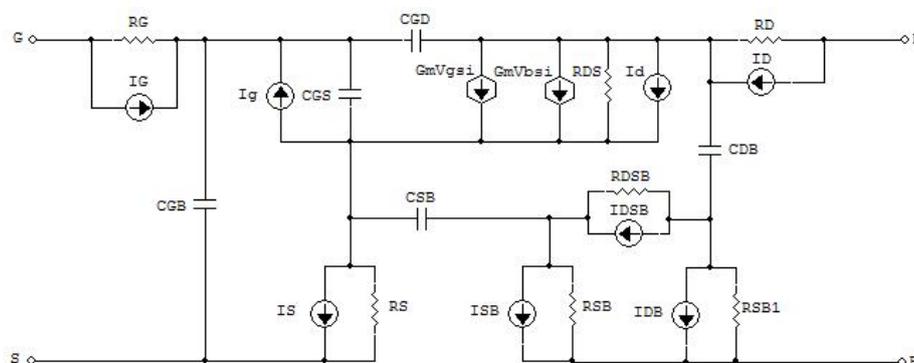


Figura 2.4: Circuito equivalente para ilustrar as fontes de ruído em um MOSFET, I_G , I_S e I_D são as contribuições de ruído das terminações resistivas da porta, fonte e dreno; I_d é a contribuição de ruído do canal, incluindo o ruído *flicker*; I_{DB} , I_{SB} I_{DSB} são as contribuições de ruído das resistências presentes no substrato; I_g representa o ruído induzido na porta [4].

Na figura 2.4 pode-se perceber que cada terminal do transistor apresenta uma certa resistência parasita, e a cada uma delas há um fonte de ruído térmico associada. Há uma fonte de ruído associada ao canal formado entre dreno (*drain*) e fonte (*source*), onde nela estão contidos os efeitos do ruído térmico e *flicker* do canal. Também estão

presentes no modelo o ruído induzido capacitivamente na porta (*gate*) do transistor e fontes de ruído térmico associadas às resistências do substrato.

Dentre as fontes de ruído existentes nos transistores MOS, o ruído *flicker* é dominante em baixas frequências. Resultados experimentais encontrados na literatura apontam uma relação inversamente proporcional entre a densidade espectral do ruído referenciado a entrada de um transistores MOS e a sua frequência de operação [4].

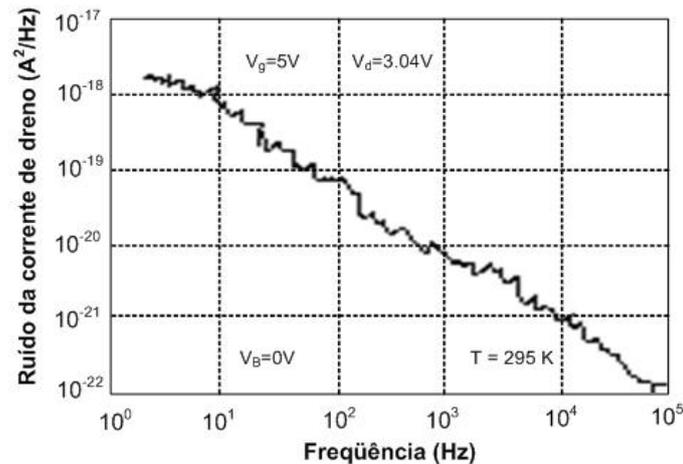


Figura 2.5: Densidade espectral de ruído na corrente de dreno de um NMOS, obtido de [4].

Entretanto para frequências altas a contribuição do ruído *flicker* é praticamente desprezível, como será mostrado mais adiante. Nestas condições a análise do transistor com todas as fontes de ruído mostradas na figura 2.4 é uma tarefa complexa e trabalhosa. Uma prática comum para realizar a análise manual de ruído é agrupar as fontes de ruído principais e desprezar aquelas cujas contribuições podem ser negligenciadas. Tipicamente este agrupamento é feito através da fonte de ruído de porta (*gate*) e fonte de ruído de canal (ou dreno) [7].

Se certos cuidados forem tomados no *layout* do transistor, como a utilização de *gate* interdigitados para redução da resistência distribuída, cerca de 90% do ruído no dreno do transistor passa a ser devido ao ruído térmico intrínseco do próprio canal do transistor. As outras fontes de ruído, somadas, contribuem com pouco mais de 10%, como mostra a figura 2.6[8].

O ruído de porta considera as contribuições do ruído térmico de canal induzido capacitivamente na porta e, assim como o de dreno, considera também a contribuição do ruído de resistências de porta, fonte e substrato. Alguns autores [8] afirmam que

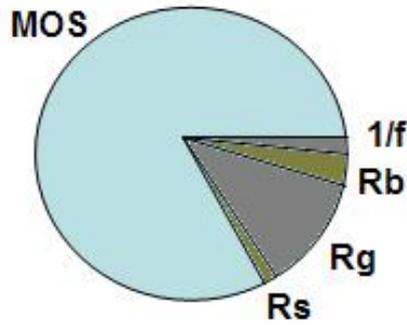


Figura 2.6: Contribuição para o ruído de dreno simulada para um dispositivo com $L = 0,18\mu m$ em $3GHz$. MOS representa o ruído intrínseco térmico de canal, $1/f$ a contribuição do ruído *flicker*, R_b , R_g e R_s são as contribuições das resistências de substrato, porta e fonte, respectivamente [8].

aproximadamente 65% do ruído de porta é devido à resistência da mesma e apenas 30% tem como origem o ruído induzido capacitivamente pelo canal na porta. Apesar destas considerações a análise clássica considera, pelo menos para cálculos iniciais, apenas o ruído induzido na porta e o ruído térmico de canal, como fontes de ruído do transistor MOS [7] [9] [10], como mostra o modelo da figura 2.7.

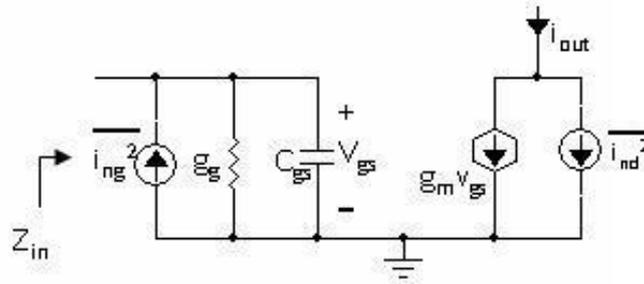


Figura 2.7: Modelo de transistor ruidoso simplificado [9].

Onde o ruído térmico de canal $\overline{i_{nd}^2}$ e o ruído térmico induzido na porta $\overline{i_{ng}^2}$ são dados pela equação (2.1) e equação (2.2), respectivamente.

$$\overline{i_{nd}^2} = 4K_B T \gamma g_{do} \Delta f \quad (2.1)$$

$$\overline{i_{ng}^2} = 4K_B T \delta g_g \Delta f, \quad (2.2)$$

onde $g_g = \frac{\omega^2 C_{gs}^2}{5g_{do}}$, e g_{do} é a condutância do canal sem tenso aplicada entre fonte e

dreno, e, γ o coeficiente de excesso de ruído no canal [7].

O ruído induzido na porta do transistor é correlacionado ao ruído térmico de canal, pelo coeficiente de correlação c , dado pela equação (2.3), que é estimado teoricamente em $j0,395$ para transistores de canal longo [9].

$$c = \frac{\overline{i_{ng} \cdot i_{nd}^*}}{\sqrt{i_{nd}^2} \sqrt{i_{ng}^2}} \quad (2.3)$$

O objetivo principal no projeto de um amplificador de baixo ruído (*LNA*) minimizar o ruído que o bloco ou circuito acrescenta ao sinal de interesse. Diferentes técnicas podem ser utilizadas para atingir esta meta, mas uma delas se destaca pela sua praticidade. Este método em questão é conhecido como a otimização de ruído em quadripolos [7].

2.1.4 Otimização de ruído em quadripolos

Muito já foi dito sobre ruído, mas até o presente momento ainda não foi apresentada nenhuma figura de mérito que caracterize o quanto de ruído adicionado a um sinal quando o mesmo processado por um circuito. Os blocos de um receptor de RF são mensurados através do fator de ruído e da figura de ruído. Esta convenção deve-se à conveniência computacional e à tradição [5]. Segundo Lee, T. [7], o fator de ruído é definido como a razão entre ruído total na saída do circuito e o ruído total na saída do circuito devido apenas a fonte do sinal¹, como mostra a expressão (2.4), e a figura de ruído é simplesmente o fator de ruído expresso em decibel [7].

$$F = \frac{\text{Ruído total na saída do sistema}}{\text{Ruído na saída devido à fonte}} \quad (2.4)$$

Onde a fonte está na temperatura de 290 K [1]. Dessa forma, se um sistema não introduz ruído algum a um sinal, o ruído total de saída será devido, exclusivamente, à fonte, e conseqüentemente seu fator de ruído será unitário, sendo este o limite inferior para o fator de ruído.

¹Também é comum encontrar na literatura o fator de ruído expresso como a razão entre a relação sinal ruído na entrada (SNR_{ent}) e na saída (SNR_{sai}) $F \equiv \frac{SNR_{ent}}{SNR_{sai}}$, que é equivalente a expressão (2.4).

A teoria clássica faz uso de um modelo equivalente de ruído, onde as fontes de ruído do bloco são referenciadas na entrada de um sistema ideal, como mostra a figura 2.8.

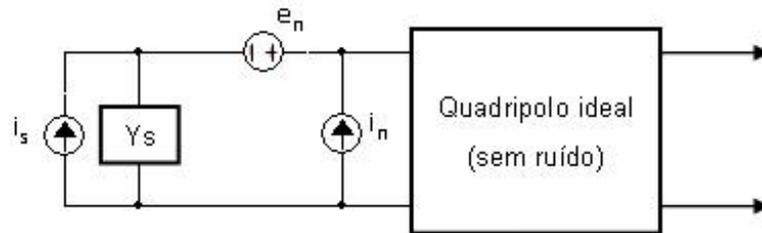


Figura 2.8: Modelo de fontes de ruído em quadripolo, obtido de [7].

Um método equivalente e mais eficaz de estimar o fator de ruído do modelo apresentado é calcular (usando a média quadrática) a corrente de ruído total de curto-circuito, e dividí-la pela corrente de curto-circuito devido à fonte. Utilizando este procedimento iremos nos deparar com a combinação de diversas fontes de ruído com vários graus de correlação, mas para o caso especial em que não há correlação entre as fontes de ruído pode-se aplicar o princípio da superposição de potências. Assumindo que a potência de ruído da fonte não possui qualquer correlação com o ruído do quadripolo, o que é razoável, a expressão para o fator de ruído pode ser expressa pela equação (2.5) [7].

$$F = \frac{\overline{i_s^2} + \overline{|i_n + Y_s e_n|^2}}{\overline{i_s^2}} \quad (2.5)$$

A equação 2.5 não assume que os geradores de ruído do quadripolo devem ser não correlacionados. Para acomodar a possibilidade de correlação entre e_n e i_n , o gerador i_n é escrito como a soma de dois componentes. Um, i_c correlacionado com e_n , e outro, i_u , não correlacionado, como mostra a expressão (2.6).

$$i_n = i_c + i_u \quad (2.6)$$

A componente i_c pode ser tratada como proporcional a e_n através de uma constante Y_c conhecida como admitância de correlação.

$$i_c = Y_c e_n,$$

Combinando estas equações, o fator de ruído adquire a forma da equação 2.7.

$$F = \frac{\overline{i_s^2} + \overline{|i_u + (Y_s + Y_c)e_n|^2}}{\overline{i_s^2}} = 1 + \frac{\overline{i_u^2} + \overline{|Y_s + Y_c|^2 e_n^2}}{\overline{i_s^2}} \quad (2.7)$$

A expressão acima possui três fontes de ruído não correlacionadas, cada uma delas pode ser tratada como uma fonte de ruído térmico produzido por uma resistência ou condutância equivalente [7].

$$R_n = \frac{e_n^2}{4K_B T \Delta f} \quad (2.8)$$

$$G_u = \frac{i_u^2}{4K_B T \Delta f} \quad (2.9)$$

$$G_s = \frac{i_s^2}{4K_B T \Delta f} \quad (2.10)$$

Através destas resistências e condutâncias equivalentes pode-se reescrever a expressão para fator de ruído como mostrado na equação 2.11.

$$F = 1 + \frac{G_u + |Y_s + Y_c|^2 R_n}{G_s} \quad (2.11)$$

$$F = 1 + \frac{G_u + [(G_s + G_c)^2 + (B_s + B_c)^2] R_n}{G_s},$$

onde $Y_s = G_s + jB_s$ e $Y_c = G_c + jB_c$.

Desta forma pode-se calcular qual a admitância da fonte que minimizaria o fator de ruído do circuito. Derivando a expressão em relação admitância de fonte e a igualando a zero obtém-se a admitância de ruído ótima $Y_{opt} = G_{opt} + B_{opt}$, dada separadamente pelas suas partes reais e imaginárias na equação 2.12 e equação 2.13.

$$G_{opt} = G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} \quad (2.12)$$

$$B_{opt} = B_s = -B_c \quad (2.13)$$

Reavaliando a expressão do fator de ruído utilizando a admitância de ruído ótima, atinge-se o fator de ruído mínimo dado pela equação 2.14.

$$F_{min} = 1 + 2R_n[G_{opt} + G_c] = 1 + 2R_n[\sqrt{\frac{G_u}{R_n} + G_c^2} + G_c] \quad (2.14)$$

E o fator de ruído pode ser reescrito em função do fator de ruído mínimo, como mostra a equação 2.15:

$$F = F_{min} + \frac{R_n}{G_s} [(G_s - G_{opt})^2 + (B_s - B_{opt})^2] \quad (2.15)$$

2.2 Parâmetros de ruído para transistor MOS como quadripolo

Na seção anterior foi visto que para otimizar o ruído de um determinado quadripolo deve-se impor um condutância e susceptância da fonte do sinal iguais as expressões nas equação 2.12 e equação 2.13, respectivamente. Esta técnica de análise considera que o quadripolo modela um dispositivo com características bem definidas, como impedância de entrada e fontes de ruído. Ou seja, nos permite, por exemplo, o casamento simultâneo da impedância de fonte com a impedância ótima de ruído e com a impedância de entrada, o que seria altamente desejável.

Entretanto para circuitos integrados, onde há liberdade para definir algumas características intrínsecas do dispositivo, tais restrições são superadas, com dimensionamento adequados do tamanho dos componentes. O ponto de partida para alcançar as métricas desejadas é a obtenção dos quatro parâmetros de ruídos de quadripolos G_u , R_n , G_c e B_c , discutidos na seção anterior, para o transistor MOS[7].

As fontes de ruído referenciadas à entrada, utilizadas no cálculo dos parâmetros supracitados, são encontradas a partir do modelo ruidoso da figura 2.7. O que se deseja fazer aqui é representar um sistema ruidoso, como um sistema sem ruídos com duas fontes de ruído em suas entradas, como mostra a figura 2.9 [5].

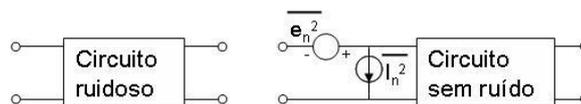


Figura 2.9: Representação do ruído de um quadripolo através de fontes de ruído na entrada, obtido de [5].

Considere o amplificador de fonte comum com apenas uma fonte de ruído (térmico de canal), como mostra a figura 2.10(a). Para o modelo da figura 2.10(b), calcula-se

$\overline{e_n^2}$ curto-circuitando as portas de entrada e $\overline{i_n^2}$ deixando-as em aberto [5].

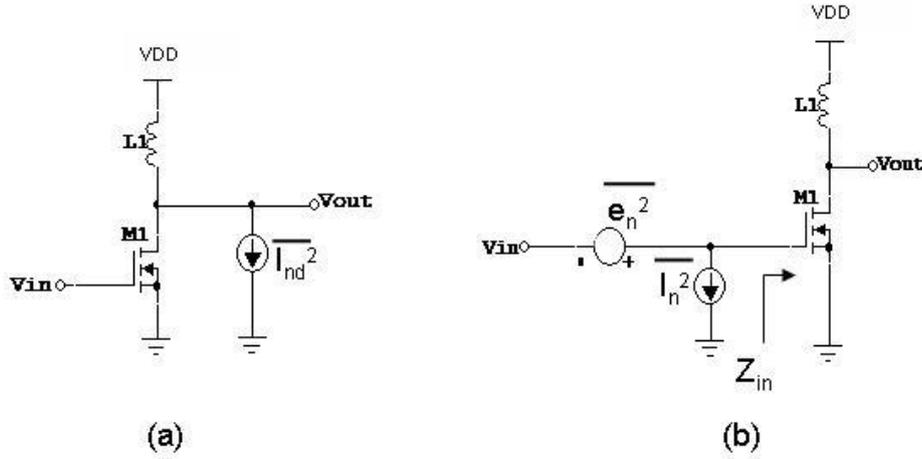


Figura 2.10: Representação do ruído de um quadripolo através de fontes de ruído na entrada, obtido de [5].

Como ambos circuitos da figura 2.10 devem produzir o mesmo ruído em suas saídas, tem-se $\overline{e_n^2} = \frac{\overline{I_{nd}^2}}{g_m^2}$ e $\overline{I_n^2} = \frac{\overline{I_{nd}^2}}{g_m^2 |Z_{in}|}$. Nesta dedução percebe-se que $\overline{i_n^2}$ é completamente correlacionada com $\overline{e_n^2}$ e o modelo não inclui a fonte de ruído da porta do transistor. Avaliando um modelo que também considera a fonte de ruído na porta do transistor (basicamente composta pelo ruído induzido na porta, dado pela equação 2.2) tem-se que as fontes de ruído referenciadas a entrada $\overline{e_n^2}$ e $\overline{i_n^2}$, podem ser expressas pela equação 2.16 e equação 2.17, respectivamente.

$$\overline{e_n^2} = \frac{\overline{i_{nd}^2}}{g_m^2} = \frac{4K_B T \gamma g_{do} \Delta f}{g_m^2} \quad (2.16)$$

$$\overline{i_n^2} = \frac{\overline{i_{nd}^2} (j\omega C_{gs})^2}{g_m^2} + \overline{i_{ng}^2} \quad (2.17)$$

A partir da equação 2.16 pode-se determinar o primeiro dos quatro parâmetros de ruído desejados: a resistência de ruído equivalente, dada pela equação 2.18.

$$\overline{R_n} = \frac{\overline{e_n^2}}{4K_B T \Delta f} = \frac{\gamma g_{do}}{g_m^2} \quad (2.18)$$

Para determinar a admitância de correlação e, conseqüentemente a condutância e susceptância, primeiro deve-se decompor a fonte de ruído da equação 2.17 em termos de sua correlação com $\overline{e_n^2}$. Naturalmente o primeiro termo do segundo membro da

equação (2.17) é totalmente correlacionado com $\overline{e_n^2}$, uma vez que $\overline{i_{nd}^2}$ e $\overline{e_n^2}$ são diretamente proporcionais, entretanto o ruído induzido na porta apresenta apenas uma parte correlacionada com $\overline{i_{nd}^2}$ (e conseqüentemente $\overline{e_n^2}$) dada pelo primeiro termo do segundo membro da equação 2.19.

$$\overline{i_{ng}^2} = |c|^2 \overline{i_{ng}^2} + (1 - |c|^2) \overline{i_{ng}^2} = \overline{i_{ngc}^2} + \overline{i_{ngu}^2} \quad (2.19)$$

Assim, pode-se calcular a admitância de correlação através da componente correlata da equação 2.17, como apresentado na equação 2.20 [7].

$$Y_c = \frac{i_c}{e_n} = j\omega C_{gs} + g_m \frac{i_{ngc}}{i_{nd}} \quad (2.20)$$

Através da combinação das equações 2.2, 2.1, 2.3, 2.20 e de algumas manipulações matemáticas a admitância de correlação resulta na equação 2.21 [7].

$$Y_c = j\omega C_{gs} (1 - \alpha |c| \sqrt{\frac{\delta}{5\gamma}}), \quad (2.21)$$

onde $\alpha = \frac{g_m}{g_{do}}$.

Observa-se que a admitância de correlação é puramente imaginária, ou seja, a condutância de correlação é nula e sua susceptância é a própria admitância.

Por fim, o último parâmetro, a condutância no correlata G_u , obtido da combinação de $\overline{i_{ngu}^2}$ e da equação 2.9, o que resulta na equação 2.22.

$$G_u = \frac{(1 - |c|^2) \overline{i_{ng}^2}}{4K_B T \Delta f} = (1 - |c|^2) \delta g_g = \frac{\delta \omega^2 C_{gs}^2}{5g_{do}} \quad (2.22)$$

Tabela 2.1: Resumo dos parâmetros de ruído do transistor MOS como quadripolo, obtido de [7].

Parâmetro	Expressão
R_n	$\frac{\gamma g_{do}}{g_m^2}$
G_u	$\frac{\delta \omega^2 C_{gs}^2}{5g_{do}}$
G_c	≈ 0
B_c	$\omega C_{gs} (1 - \alpha c \sqrt{\frac{\delta}{5\gamma}})$

Substituindo os parâmetros sumarizados na tabela 2.1 nas equações 2.12, 2.13 e 2.14 obtém-se, finalmente, a admitância de fonte ótima e o fator de ruído mínimo para tal admitância, como mostram as equações 2.23, 2.24 e 2.25.

$$G_{opt} = \sqrt{\frac{G_u}{R_n} + G_c^2} = \alpha\omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (2.23)$$

$$B_{opt} = -B_c = -\omega C_{gs} \left(1 - \alpha |c|^2 \sqrt{\frac{\delta}{5\gamma}} \right) \quad (2.24)$$

$$F_{min} = 1 + 2R_n [G_{opt} + G_c] \approx 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma\delta (1 - |c|^2)} \quad (2.25)$$

2.3 Técnicas de otimização de ruído para LNA

As expressões 2.23 e 2.24 mostram que a impedância de fonte ótima tem um comportamento de caracter indutivo, o que vai de encontro com a condição de máxima transferência de potência², visto que a impedância de entrada intrínseca do transistor MOS é capacitiva. Portanto, obter casamento de impedância de entrada sem prejudicar a performance de ruído é uma atividade na qual muito esforço vem sendo empregado por diversos pesquisadores [5] [7] [9] [10] [11].

Diversas topologias de circuitos de amplificadores de baixo ruído são utilizadas para prover uma impedância de entrada de 50Ω , entretanto poucas conseguem realizar este casamento de impedância sem degradar a figura de ruído do amplificador. A configuração que vem demonstrando atingir este objetivo é a de degeneração indutiva na fonte [5] [7] [9] [10] [11].

O projeto de um amplificador de baixo ruído requer o compromisso de várias figuras de mérito como: baixa figura de ruído, casamento da impedância de entrada e saída, consumo, linearidade e outros. Várias técnicas são encontradas na literatura para otimizar tais figuras de mérito, das quais as principais serão revisadas nas próximas subseções.

²A condição para máxima transferência de potência é alcançada quando a impedância da fonte e de entrada do circuito possuem partes reais iguais e partes complexas conjugadas [7].

2.3.1 Casamento Clássico de ruído - CCR

Nesta técnica o amplificador é projetado para obter uma figura de ruído igual a mínima possível, através da utilização da impedância de entrada ótima, que é implementada através da adição de um circuito de casamento entre a fonte do sinal e a entrada do amplificador, como mostra a figura 2.11 a.

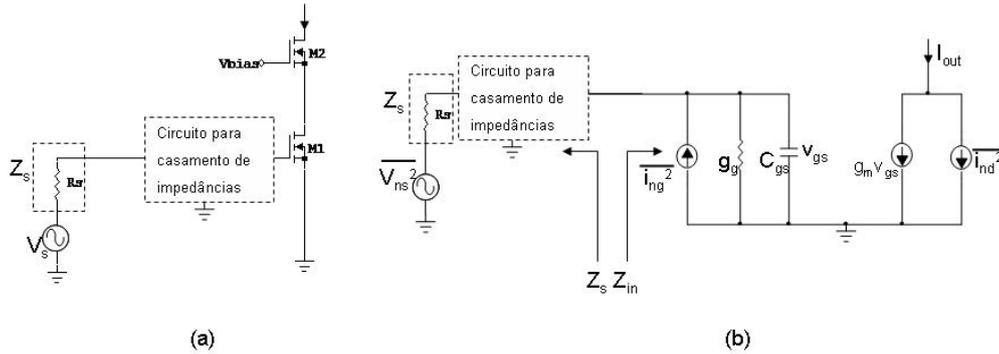


Figura 2.11: Topologia para o casamento clássico de ruído. a) Diagrama esquemático do circuito de casamento. b) modelo de pequenos sinais do esquemático.

Como a entrada deste amplificador é simplesmente um transistor MOS com a fonte aterrada, como mostra o modelo equivalente de pequenos sinais, apresentado na figura 2.11 b, os parâmetros de ruído são os mesmos das equações 2.23, 2.24 e 2.25, deduzidas na seção anterior, reorganizados nas equações 2.26, 2.27 e 2.28.

$$R_n = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m} \quad (2.26)$$

$$Y_{opt} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} - s C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (2.27)$$

$$F_{min} = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.28)$$

Então, para realizar a otimização da figura de ruído deve-se dimensionar o transistor de entrada para que a parte real da admitância ótima, expressão 2.27, seja igual a $\frac{1}{R_s}$ e escolher adequadamente o circuito de casamento para que este seja igual a parte imaginária da equação 2.27 na frequência de interesse, pelo menos.

Uma análise mais detalhada da figura 2.11 revela que a admitância de entrada do circuito é puramente capacitiva, dada por $Y_{in} = j\omega C_{gs}$. Percebe-se que há uma diferença inerente desta última com a admitância ótima da fonte, tanto na parte real

como na imaginária, portanto, não é possível obter simultaneamente casamento de impedância e de ruído. Por essa razão, há uma limitação fundamental para alcançar a mínima figura de ruído no casamento clássico de ruído aplicado para a topologia da figura 2.11. Por fim, a componente imaginária de 2.23 é indutiva, mas com resposta em frequência capacitiva, ou seja, varia com o inverso da frequência. o que é uma limitação fundamental para alcançar figura de ruído mínimo, para uma banda larga de frequência [9].

2.3.2 Casamento Simultâneo de Ruído e Impedância de entrada - CSRI

Para contornar o problema do casamento simultâneo de impedância e ruído, técnicas de realimentação são frequentemente adotadas para deslocar a impedância ótima de ruído para o ponto desejado [9]. A realimentação em paralelo tem sido adotada para obter melhor casamento de impedância e bandas de frequências mais largas [12] –[13] . Já as realimentações em série são preferidas para obter casamento simultâneo de ruído e impedância [9]. A realimentação série com degeneração indutiva na fonte largamente utilizada para aplicações de banda estreita [9]. O modelo esquemático desta topologia em configuração cascode apresentada na figura 2.12

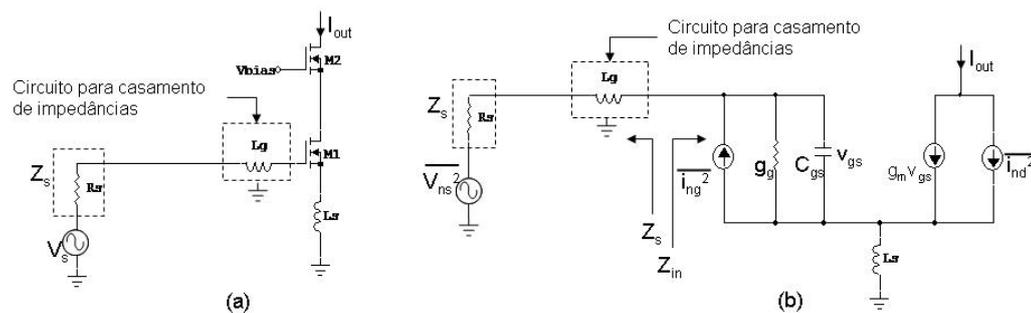


Figura 2.12: Topologia para o casamento simultâneo de impedância e ruído. a) Diagrama esquemático do circuito. b) modelo de pequenos sinais do esquemático, obtida de [9].

Segundo Nguyen [9], a extração dos parâmetros de ruído da figura 2.12 b) pode ser feita de mais de uma maneira e o seu resultado, mostrado pelas equações 2.29, 2.30 e 2.31, é bastante interessante.

$$R_n = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m} \quad (2.29)$$

$$Z_{opt} = \frac{1}{Y_{opt_{ccr}}} - sL_s \quad (2.30)$$

$$F_{min} = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma\delta(1-|c|^2)}, \quad (2.31)$$

onde

$$\frac{1}{Y_{opt_{ccr}}} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left(1 + \alpha|c| \sqrt{\frac{\delta}{5\gamma}}\right)}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(1 + \alpha|c| \sqrt{\frac{\delta}{5\gamma}}\right)^2 \right]}$$

Em comparação com a técnica de casamento clássico de ruído (CCR), apenas a expressão da impedância (condutância) de ruído ótima difere pelo termo $-sL_s$, enquanto que R_n e F_{min} são os mesmos das equações 2.26 e 2.28, respectivamente. Também é importante notar que devido a realimentação indutiva na fonte a impedância de entrada do circuito, em destaque na figura 2.12 b), deixa de ser puramente capacitiva e passa a possuir uma parte real, como mostra a expresso 2.32 [9].

$$Z_{in} = sL_s + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (2.32)$$

Agora tanto a impedância de entrada do circuito quanto a impedância de ruído ótimo Z_{opt} possuem uma parte real e uma parte imaginria. A fim de tornar mais evidente a aproximação entre as duas impedâncias supracitadas Z_{opt} pode ser reescrita como na equação 2.33.

$$Z_{opt} = -sL_s - m \frac{1}{sC_{gs}} + Re [Z_{opt}], \quad (2.33)$$

onde m pode ser considerado próximo da unidade e $Re [Z_{opt}]$ é dada por 2.34 [9].

$$Re [Z_{opt}] = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(1 + \alpha|c| \sqrt{\frac{\delta}{5\gamma}}\right)^2 \right]} \quad (2.34)$$

Desta forma para obter casamento simultâneo as equações 2.35-2.38 devem ser satisfeitas.

$$Re [Z_{opt}] = Re [Z_s] \quad (2.35)$$

$$Im [Z_{opt}] = Im [Z_s] \quad (2.36)$$

$$Im [Z_{in}] = -Im [Z_s] \quad (2.37)$$

$$Re [Z_{in}] = Re [Z_s] \quad (2.38)$$

Observando 2.32 e 2.33 pode-se considerar que suas partes imaginárias são praticamente iguais, pois m muito próximo da unidade. Então a expressão 2.37 pode ser desprezada, reduzindo assim o sistema para um conjunto de apenas três equações. Dado um determinado valor de impedância de fonte as expressões 2.35, 2.36 e 2.37 podem ser resolvidas para o casamento simultâneo de ruído e impedância. Onde os parâmetros de projeto que satisfazem 2.35, 2.36 e 2.37 são V_{GS} , W (ou C_{GS}) e L_s . O comprimento do transistor considerado o mínimo possível para maximizar a frequência de corte [9].

O principal problema do CSRI é que não se consegue atingir o casamento simultâneo para níveis reduzidos de potência. Isto deve-se ao fato de que para níveis de dissipação de potência pequenos o tamanho do transistor deve ser reduzido (para manter igualdade do sistema de equações), o que leva a valores elevados de $Re [Z_{opt}]$. De acordo com 2.32, L_s deve ser elevado para manter 2.38 válida, entretanto para valores elevados de L_s a figura de ruído mínima é degradada devido a resistência parasita acrescentada pelo indutor. Assim o valor mínimo da figura de ruído que pode ser obtido para baixa potência não é o mínimo possível para um transistor em fonte comum, inviabilizando a idéia de casamento simultâneo [9].

2.3.3 Casamento Simultâneo de Ruído e Impedância com Restrição de Potência - CSRIRP

Alto consumo certamente é um dos principais desafios dos sistemas de comunicação sem fio, principalmente para as aplicações remotas onde a troca ou recarga de baterias

nem sempre é uma tarefa fácil e viável economicamente. Por isso, para contornar o problema de se obter o casamento simultâneo de ruído e impedância mantendo o consumo de energia baixo uma terceira técnica é apresentada.

Na verdade o CSRIRP é obtido através da simples adição de um capacitor em paralelo com o transistor de entrada, como mostra a figura 2.13.

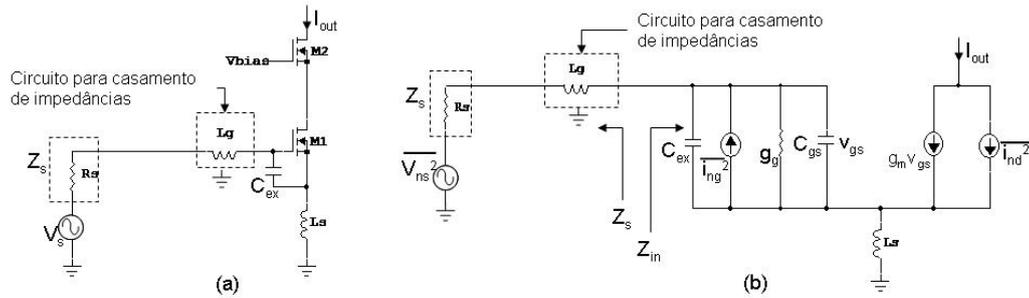


Figura 2.13: Topologia para o casamento simultâneo de impedância e ruído com restrição de potência. a) Diagrama esquemático do circuito. b) modelo de pequenos sinais do esquemático. Obtida de [9].

Ao se fazer a extração dos parâmetros de ruído para esta nova topologia percebe-se, mais uma vez, que tanto a resistência equivalente de ruído quanto o fator de ruído mínimo permanecem os mesmos das equações 2.28 e 2.26. Apenas a impedância de fonte ótima Z_{opt} é alterada, como mostram as equações 2.39, 2.40 e 2.41.

$$R_n = \frac{\gamma}{\alpha} \cdot \frac{1}{g_m} \quad (2.39)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right]} - sL_s, \quad (2.40)$$

onde $C_t = C_{gs} + C_{ex}$.

$$F_{min} = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.41)$$

A adição do capacitor modifica também a impedância de entrada do circuito, agora dada pela equação 2.42.

$$Z_{in} = sL_s + \frac{1}{sC_t} + \frac{g_m L_s}{C_t} \quad (2.42)$$

Empregando o mesmo método utilizado na subseção anterior para o CSRI, tem-se que o sistema de equações que levam ao CSRIRP pode ser dado pelas equações 2.43, 2.44 e 2.45.

$$Re [Z_s] = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right]} \quad (2.43)$$

$$Im [Z_s] = \frac{j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right]} - sL_s \quad (2.44)$$

$$Re [Z_s] = \frac{g_m L_s}{C_t} \quad (2.45)$$

Os parâmetros de projeto são os mesmo do CSRI com a adição de C_{ex} , ou seja, V_{GS} , W (ou C_{gs}), L_s e C_{ex} . Como se tem quatro variáveis e apenas três equações, ganha-se um grau de liberdade que é utilizado restringindo a potência dissipada. Portanto utilizando a técnica para projeto de amplificadores de baixo ruído CSRIRP, pode-se conseguir casamento simultâneo de ruído e impedância para baixos níveis de dissipação de potência [9].

Mesmo assim a CSRIRP também apresenta algumas limitações, onde a principal delas é a não consideração da resistência parasita do indutor de porta e o seu tamanho, que tipicamente atinge valores da ordem de algumas dezenas de *nano henries*, o que nem sempre permite sua integração. Com isso, procurou-se um método onde o fator de ruído, o casamento de impedância e o consumo do circuito pudessem ser otimizados para valores de indutores factíveis de integração, ou seja, com indutância inferior a 10nH, que será apresentada no próximo capítulo.

2.4 Linearidade

Para amplificadores de baixo ruído a linearidade também é um fator importante que deve ser levado em consideração durante seu projeto. Se, por um lado, a figura de ruído define um valor mínimo de sinal de entrada, a linearidade define um valor máximo. As principais figuras de mérito utilizadas para mensurar a linearidade de um

amplificador são o ponto de compressão de ganho e os produtos de intermodulação, que serão abordados nas próximas subseções.

2.4.1 Ponto de compressão do ganho

Quando o sinal de entrada do circuito é elevado alguns componentes do mesmo podem deixar a região de saturação. Neste momento o ganho do amplificador cai, fazendo com que apareça um desvio na resposta linear do circuito. O nível de potência do sinal de entrada que causa um desvio de 1 dB na resposta linear da saída do amplificador de baixo ruído é definido como ponto de 1dB de compressão do ganho, como mostrado na Figura 2.14 [14].

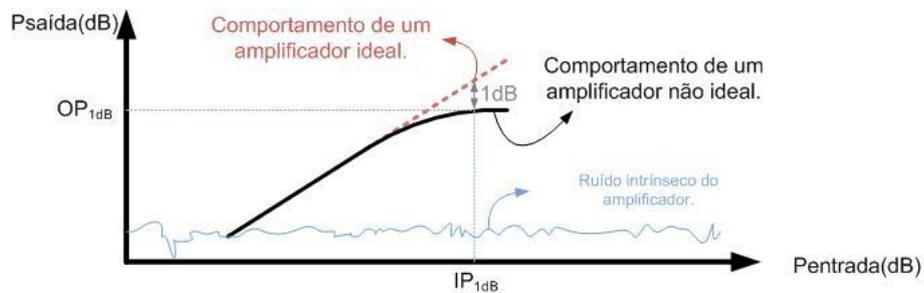


Figura 2.14: ponto de compressão do ganho de 1dB, obtido de [14].

Esta figura de mérito é utilizada então para determinar o nível de potência máximo que os sinais de entrada devem possuir para que a amplificação dos mesmos ocorra sem distorções. Em conjunto com o mínimo sinal detectável (MSD), visto na seção de figura de ruído, o ponto de compressão de ganho de 1dB define uma outra figura de mérito conhecida como faixa dinâmica de operação.

2.4.2 Produtos de intermodulação

Até agora foi considerado que há apenas um sinal bem definido na entrada do amplificador. Entretanto, quando mais de um sinal de entrada está presente no amplificador, o circuito começa a lidar com mais de uma frequência em sua saída, isto porque a não linearidade da função de transferência do circuito "embaralha" os sinais no espectro de frequência. Para entender melhor, imagine que a função de transferência do amplificador seja dada pela equação (2.46) e o sinal de entrada é composto por dois tons como mostrado na equação (2.47).

$$F(x) = 1 + x + \frac{x^2}{2} \quad (2.46)$$

$$x = \text{sen}(\omega_{RF}t) + \text{cos}(\omega_{int}t) \quad (2.47)$$

O resultado da substituição da equação (2.46) na equação (2.47) é dado pela expressão (2.48).

$$\begin{aligned} F(x) &= 1 + \text{sen}(\omega_{RF}t) + \text{cos}(\omega_{int}t) + \frac{(\text{sen}(\omega_{RF}t) + \text{cos}(\omega_{int}t))^2}{2} \\ &= 1 + \text{sen}(\omega_{RF}t) + \text{cos}(\omega_{int}t) + \frac{1}{2} (\text{sen}(\omega_{RF}t)^2 + \text{cos}(\omega_{int}t)^2 + 2\text{sen}(\omega_{RF}t)\text{cos}(\omega_{int}t)) \\ &= \dots + \frac{1}{2} \left(1 - \frac{1}{2}\text{cos}(2\omega_{RF}t) + \frac{1}{2}\text{cos}(2\omega_{int}t) + \text{sen}[(\omega_{RF} + \omega_{int})t] + \text{sen}[(\omega_{RF} - \omega_{int})t] \right) \end{aligned} \quad (2.48)$$

Pode-se perceber que quando o sinal de entrada for composto pelo sinal de interesse e um sinal interferente, na saída do circuito estarão presentes sinais nas frequências dadas pela equação (2.49).

$$f = (\pm a_1 f_{RF} \pm a_2 f_{int}), \quad (2.49)$$

onde $a_1, a_2 = 0, 1, 2, 3, \dots$,

Segundo Ferreira [14], o grau da intermodulação de ordem N é definido como $N = a_1 + a_2$. Desta forma, os produtos de intermodulação de segunda ordem (N=2) são dados por sinais cujas frequências são combinações de $\pm a_1 f_{RF} \pm a_2 f_{int}$ e os de terceira ordem (N=3) por sinais cujas frequências são combinações de $\pm 2f_{RF} \pm f_{int}$ ou $\pm f_{RF} \pm 2f_{int}$. No exemplo da equação (2.48) há apenas produtos de intermodulação de segunda ordem, entretanto devido a ausência de termos quadráticos, responsáveis pelos produtos de segunda ordem, na função de transferência de diversas configurações de amplificadores e devido ao fato das combinações $\pm 2f_{RF} \pm f_{int}$ e $\pm f_{RF} \pm 2f_{int}$ serem as mais intensas, que podem cair na banda de interesse, o produto de intermodulação de terceira ordem é tipicamente mais utilizado na análise da linearidade.

A figura de mérito empregada para mensurar o nível de interferência ou distorção que estes produtos de intermodulação podem causar no sinal de interesse é o ponto de intersecção de terceira ordem referido à entrada (*Input-referred 3rd order Intercept*

Point, IIP3). Que representa o nível de potência na entrada onde a potência de saída do sinal de interesse e do produto de intermodulação de terceira seriam iguais se não houvesse a compressão do ganho[14], como bem mostra a figura 2.15.

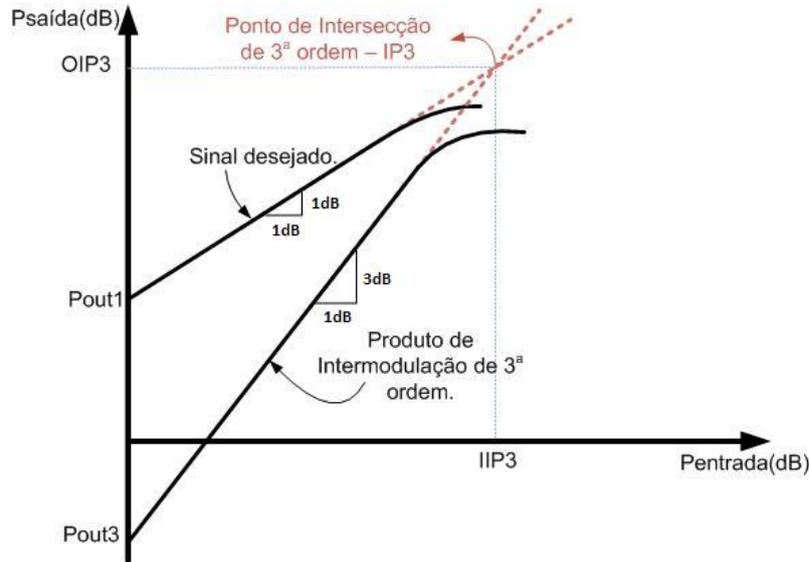


Figura 2.15: Ponto de intersecção de terceira ordem IIP3, obtido de [14].

2.5 Indutores Integrados

A busca pela implementação de sistemas de rádio em tecnologia CMOS gerou também a necessidade da integração de componentes passivos, como resistores, capacitores e indutores. Hoje há uma grande variedade de implementações de resistores e capacitores integrados, onde a grande maioria é facilmente modelada. No caso de indutores existem poucas opções práticas de implementação em circuitos integrados, das quais as principais são através de estruturas planares e microfios de solda (*Bond wires*). A última opção, apesar de apresentar indutores de boa qualidade, não possui valores de indutâncias necessariamente controlados, logo projetos que optam por este tipo de indutor integrado devem acomodar variações da indutância [15]. Por outro lado, as implementações através de geometrias planares apresentam um baixo fator de qualidade, mas valores bem definidos de indutância são alcançados sob uma larga faixa de variações de processo. Por essas razões um enorme esforço vem sendo alocado na implementação de indutores de geometrias planares [15].

Hoje, há ferramentas gratuitas que modelam indutores integrados com boa pre-

ção, como o *Asitic* (*Analysis and Simulation of Inductors and Transformers in Integrated Circuits*), incluindo rotinas de extração do modelo π e fator de qualidade a partir de uma dada geometria [16]. Entretanto o conhecimento das relações entre os parâmetros da geometria do indutor com os valores de sua indutância, resistência parasita e capacitância parasita são indispensáveis para a utilização de tais ferramentas.

Os indutores de geometria planar consistem em espirais poligonais, que assumem geralmente formatos de estruturas simples como quadrados, hexágonos, octágonos e circunferências, mostrados na figura 2.16. Para um dado formato um indutor completamente especificado por quatro parâmetros: n , o número de voltas, ω , a largura de cada volta, s , o espaçamento entre as voltas e d_{in} , o diâmetro interno do polígono.

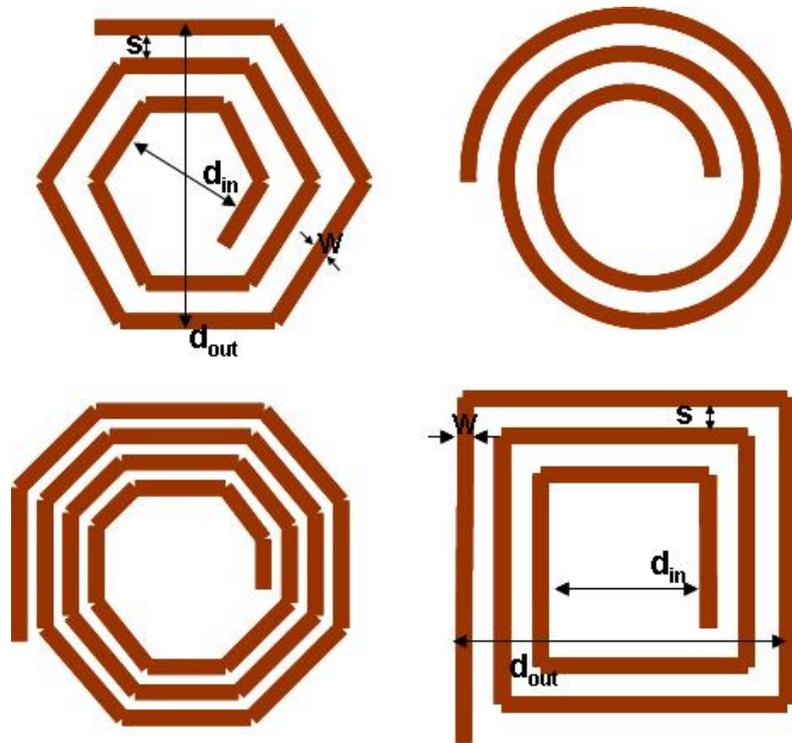


Figura 2.16: Geometrias típicas de indutores planares, obtido de [7].

Para as estruturas de indutores integrados supracitadas um modelo relativamente completo, mostrado na figura 2.17, com expressões simples para o cálculo de resistências e capacitâncias parasitas é largamente utilizado na literatura [7], [15] e [17]. Algumas destas expressões foram reproduzidas de Lee, T. [7] nas equações (2.50) - (2.53)³

³Onde G_{sub} e C_{sub} representam a condutância e capacitância do substrato, respectivamente. l ,

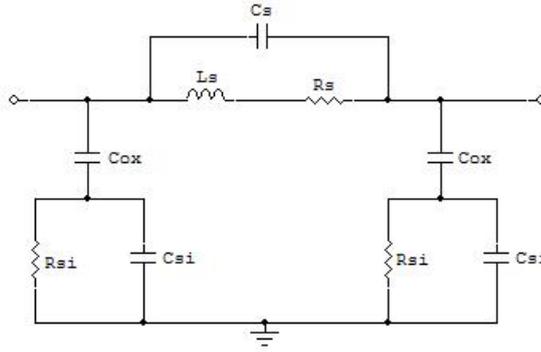


Figura 2.17: Modelo pi para indutores planares integrados, obtido de [15].

$$R_s \approx \frac{l}{\omega \alpha \delta (1 - e^{-\frac{l}{\delta}})} \quad (2.50)$$

$$C_s = n \omega^2 \frac{\epsilon_{ox}}{t_{ox}} \quad (2.51)$$

$$R_{si} \approx \frac{2}{\omega l G_{sub}} \quad (2.52)$$

$$C_{si} \approx \frac{\omega l C_{sub}}{2} \quad (2.53)$$

O cálculo preciso de suas indutâncias requer a utilização de ferramentas que resolvam diretamente as equações de Maxwell, mais conhecidas como (*Electromagnetic field solver*). Entretanto existem expressões analíticas que aproximam razoavelmente bem o valor de indutores planares de acordo com a geometria escolhida [7].

Harold A. Wheeler propôs duas fórmulas simples para o cálculo de indutância de espiras discretas [18]. A partir destas fórmulas, uma nova expressão para calcular a indutância de espiras planares integradas, mostrada na equação 2.54, foi apresentada por Lee, T. H et al [15].

$$L = K_1 \mu_0 \frac{n^2 d_{avg}^2}{1 + K_2 \rho}, \quad (2.54)$$

onde ρ é o fator de preenchimento, definido como $\rho \equiv \frac{d_{out} - d_{in}}{d_{out} + d_{in}}$, K_1 e K_2 são parâmetros dependentes da geometria do indutor como mostra a tabela 2.2.

α , ω e t são, respectivamente, o comprimento total, a condutividade, a largura e a profundidade do material da espira planar e por fim, δ é a sua profundidade efetiva (*skin depth*).

Tabela 2.2: Coeficientes da expressão modificada de Wheeler, obtida de [15].

Layout	K1	K2
Square	2.34	2.75
Hexagonal	2.33	3.82
Octagonal	2.25	3.55

Além da equação 2.54 outras duas expressões para o cálculo dos indutores planares integrados são apresentadas por Lee, T. H et al [15]. A primeira é baseada em um modelo de planos de correntes paralelos e perpendiculares, onde planos com correntes ortogonais possuem indutância mútua nula. Para este modelo é proposta a equação 2.55, onde os coeficientes c_1 , c_2 , c_3 e c_4 são dependentes da geometria do indutor como mostra a tabela 2.3.

$$L = \frac{\mu n^2 d_{avg} c_1}{2} \left[\ln\left(\frac{c_2}{\rho}\right) + c_3 \rho + c_4 \rho^2 \right] \quad (2.55)$$

Tabela 2.3: Coeficientes da expressão para corrente de folha, obtida de [15].

Layout	c_1	c_2	c_3	c_4
Square	1.27	2.07	0.18	0.13
Hexagonal	1.09	2.23	0.00	0.17
Octogonal	1.07	2.29	0.00	0.19
Circle	1.00	2.46	0.00	0.20

A segunda é baseada em uma técnica de ajuste de dados, resultando na equação 2.56, que é monomial nas variáveis d_{out} , w , d_{avg} , n e s , por essa razão é conhecida como *Monomial Fit*[15]. Assim como as duas expressões anteriores, os coeficientes β e α_i são dependentes da geometria do indutor como mostra a tabela 2.4.

$$L = \beta d_{out}^{\alpha_1} w^{\alpha_2} d_{avg}^{\alpha_3} n^{\alpha_4} s^{\alpha_5} \quad (2.56)$$

Uma vasta análise comparativa entre equações 2.54, 2.55 e 2.56, apresentada na figura 2.18, revela que as expressões supracitadas possuem uma margem de erro de aproximadamente 5%, o que se traduz em expressões satisfatórias para uma primeira aproximação [15].

Tabela 2.4: Coeficientes da expressão para corrente de folha, obtida de [15].

Layout	β	$\alpha_1(d_{out})$	$\alpha_2(w)$	$\alpha_3(d_{avg})$	$\alpha_4(n)$	$\alpha_5(s)$
Square	$1,62 \cdot 10^{-3}$	-1.21	-0.147	2.40	1.78	-0.030
Hexagonal	$1,28 \cdot 10^{-3}$	-1.24	-0.174	2.47	1.77	-0.049
Octogonal	$1,33 \cdot 10^{-3}$	-1.21	-0.163	2.63	1.75	-0.030

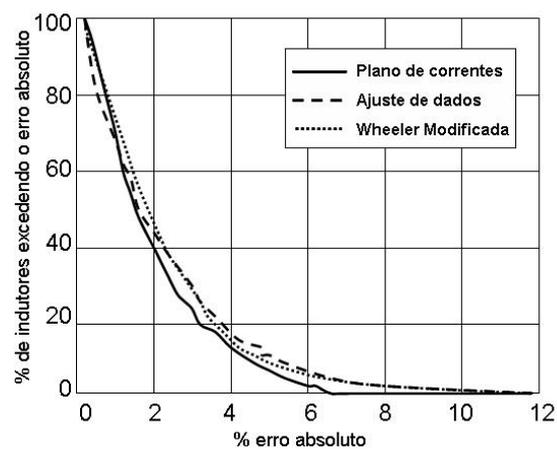


Figura 2.18: comparação entre as expressões e resultados simulados, obtido de [15].

Capítulo 3

Metodologia

3.1 introdução

Após o estudo das diversas topologias e técnicas de otimização existentes na literatura, foi desenvolvida uma metodologia baseada no trabalho de Leonid Belostotski e James W. Haslett [19]. A principal razão desta escolha deve-se à liberdade de projeto que este método proporciona, pois lhe permite escolher o par de figura de ruído e ganho que melhor se adequa às necessidades do projeto para valores fixos de consumo e fator de qualidade do indutor de porta.

Neste artigo [19] são apresentados 7 casos de otimização para a topologia com degeneração indutiva. No caso 1 a técnicas de otimização da figura de ruído para ganhos constantes é revisada sem a consideração da resistência parasita de porta, o caso 2 mostra a melhoria obtida quando tal resistência é levada em consideração nos cálculos. De forma análoga, nos casos 3 e 4 são apresentadas técnicas de otimização da figura de ruído para consumos de energia fixos desconsiderando a resistência parasita de porta (caso 3) e considerando (caso 4). Os casos 1 e 2, de otimização para ganhos definidos, não dispõem de nenhum controle sobre a potência dissipada do amplificador [19], por outro lado, as técnicas de otimização para consumo fixo tendem a aumentar o valor do indutor de porta e conseqüentemente degradam a figura de ruído do LNA através do aumento da resistência parasita de porta [20].

O caso 5 considera a adição de um capacitor extra¹ entre a porta e a fonte do

¹A adição deste capacitor já tinha sido apresentada em trabalhos anteriores como em [9], [10] e [21].

transistor para desacoplar a relação entre o consumo do LNA e o valor da resistência parasita de porta. Com isto é possível plotar curvas da figura de ruído, transcondutância (consequentemente ganho) e resistência de parasita de porta em função do capacitor total de entrada C_t e da tensão de *overdrive* (polarização) do LNA. Os dois casos restantes deste artigo, caso 6 e 7, são subconjuntos do caso 5, logo o caso 5 é o mais abrangente e com maior liberdade de projeto, por isso uma variante deste caso foi adotada para a realização de dois LNAs.

Inicialmente foi realizada a derivação do fator de ruído da topologia fonte comum com degeneração indutiva e capacitor extra, como mostrado na figura 3.1. A derivação completa é bastante extensa e pode ser encontrada no Apêndice A, por questões de praticidade o resultado final é re-apresentado aqui na equação (3.1).

$$F = \frac{R}{R_s} \left\{ 1 + \frac{C_t^2}{C_{gs}^2} \frac{R}{R_s} \frac{\omega^2 R_s g_m \gamma}{\alpha \omega_{To}^2} \chi \right\}, \quad (3.1)$$

onde:

$$\chi = \left(\frac{\delta \alpha^2}{5\gamma} [Q_s^2 + 1] \frac{C_{gs}^2}{C_t^2} + 1 - 2|c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right)$$

$$Q_s = \frac{\omega(L_g + L_s)}{R}$$

$$\omega_{To} = \frac{g_m}{C_{gs}}$$

$$\alpha = \frac{g_m}{g_{do}}$$

$$R = R_s + R_g$$

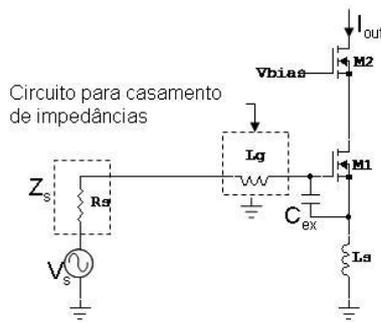


Figura 3.1: Topologia de LNA adotada.

O segundo passo foi representar a equação (3.1) em função da tensão de *overdrive*² (v_{od}) e da capacitância extra (C_{ex}), considerando a condição de casamento de impedância na entrada do LNA e utilizando o modelo elétrico de segunda ordem para transistores de canais curtos [7], [19] e [20]. Assim foi possível escrever a equação para o fator de ruído, para a transcondutância e resistência parasita de porta do LNA em função das duas variáveis de interesse, v_{od} e C_{ex} , dadas respectivamente pelas equações (3.2), (3.4) e (3.3). Os detalhes da derivação destas equações estão descrito no Apêndice B deste trabalho.

$$F(v_{od}, C_{ex}) = \frac{R_s + R_g(v_{od}, C_{ex})}{R_s} \left\{ 1 + \frac{[R_s + R_g(v_{od}, C_{ex})]\omega^2 C_t(v_{od}, C_{ex})^2 \gamma}{g_m(v_{od})\alpha(v_{od})} \chi(v_{od}, C_{ex}) \right\} \quad (3.2)$$

$$R_g(v_{od}, C_{ex}) = \frac{\frac{1}{\omega C_t(v_{od}, C_{ex})} - \frac{R_s \omega C_t(v_{od}, C_{ex})}{g_m(v_{od})} + R_{g,bw}(Q_{ind} - Q_{bw}) + R_{g,fet}(v_{od})Q_{ind}}{Q_{ind} - \frac{\omega C_t(v_{od}, C_{ex})}{g_m(v_{od})}} \quad (3.3)$$

$$G_m(v_{od}, C_{ex}) = \frac{g_m(v_{od})}{2R_s \omega C_t(v_{od}, C_{ex})} \quad (3.4)$$

Para validar as equações calculadas, as mesmas foram reescritas em função de C_t ao invés de C_{ex} e utilizando-se os mesmo parâmetros que Belostotski e Haslett utilizaram, as curvas da figura de ruído, transcondutância e resistência parasita de porta foram traçadas e comparadas com os resultados apresentados em em [19], como pode ser visto nas figuras 3.2, 3.3 e 3.4. Os parâmetros utilizados para plotar as três curvas foram: $\gamma = \frac{2}{3}$; $\delta = \frac{4}{3}$; $c = j0,395$; $E_{sat} = 4,7 \cdot 10^6$ V/m; $v_{sat} = 8,43 \cdot 10^4$ m/s; $f = 2,5$ GHz; $P_D = 15$ mW; $V_{dd} = 1,8$ V; $R_{sheet} = 10 \frac{\Omega}{\text{quadrado}}$; $W_f = 2,5$ μm ; $Q_{ind} = 10$; $L_{g,bw} = 1$ nH; $Q_{ind,bw} = 50$ e $L_{ef} = 0,16$ μm .

Analisando a curva 3.3, percebe-se que o sentido de crescimento da transcondutância do LNA é praticamente o mesmo da diminuição da figura de ruído, observado em 3.2. Nota-se também que dois valores distintos de C_t podem produzir a mesma figura de ruído para uma determinada tensão de *overdrive*, e, os menores valores de resistência parasita de porta não produzem necessariamente a menor figura de ruído, como pode ser visto em 3.4.

²Tensão aplicada entre a porta e a fonte do transistor que excede a tensão necessária para a formação do canal (V_{th}).

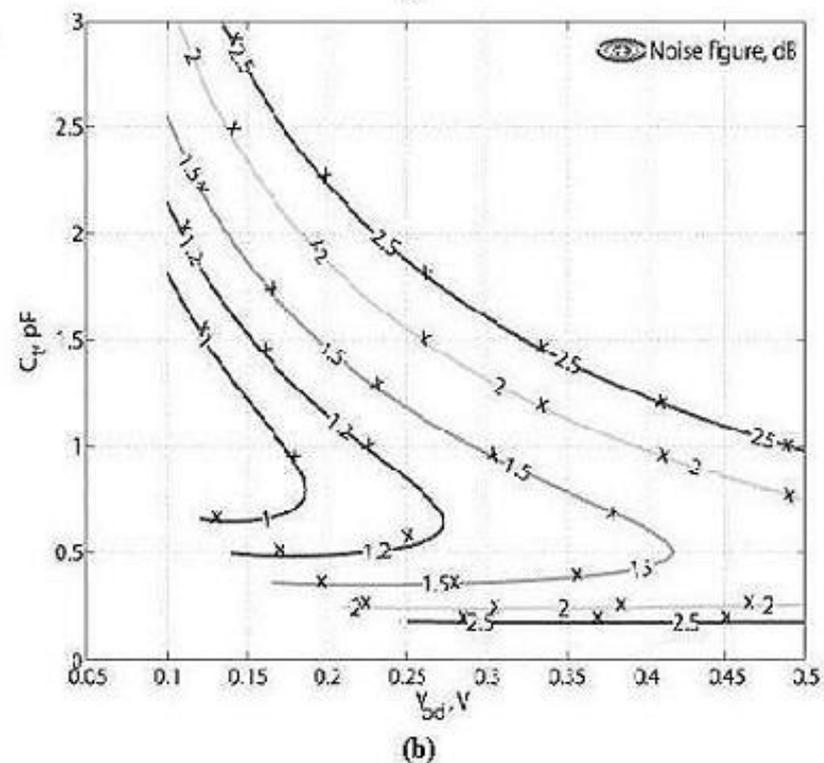
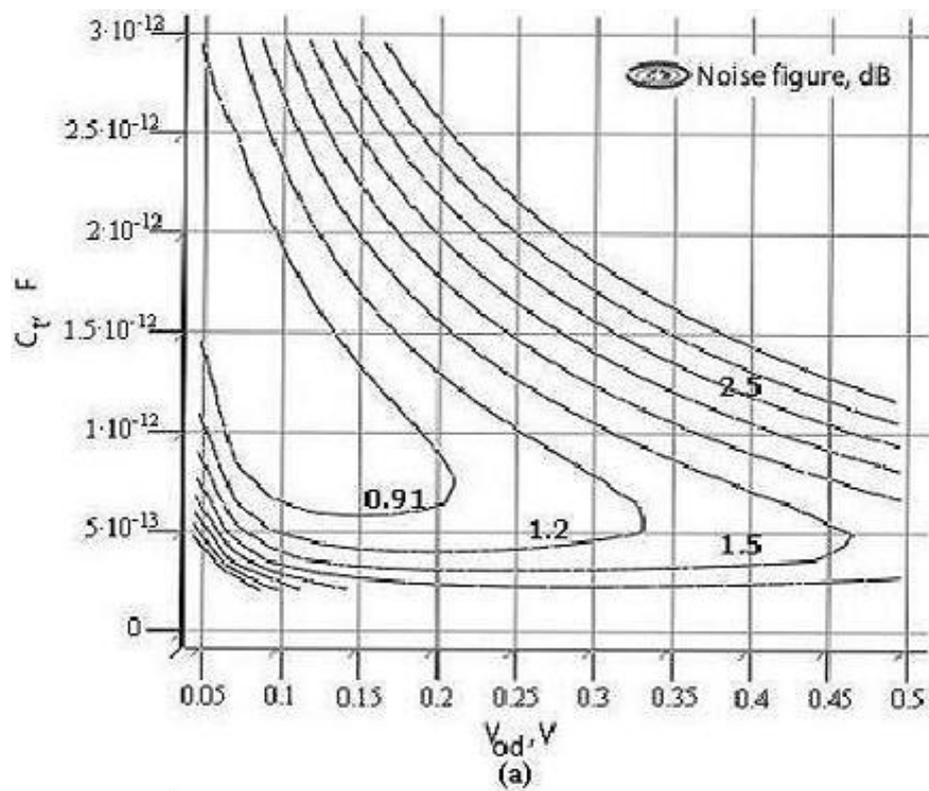


Figura 3.2: Contornos de figuras de ruído constantes (em decibel) em função de v_{od} e C_t . (a) curvas obtida das expressões calculadas neste trabalho. (b) curvas obtidas de [19].

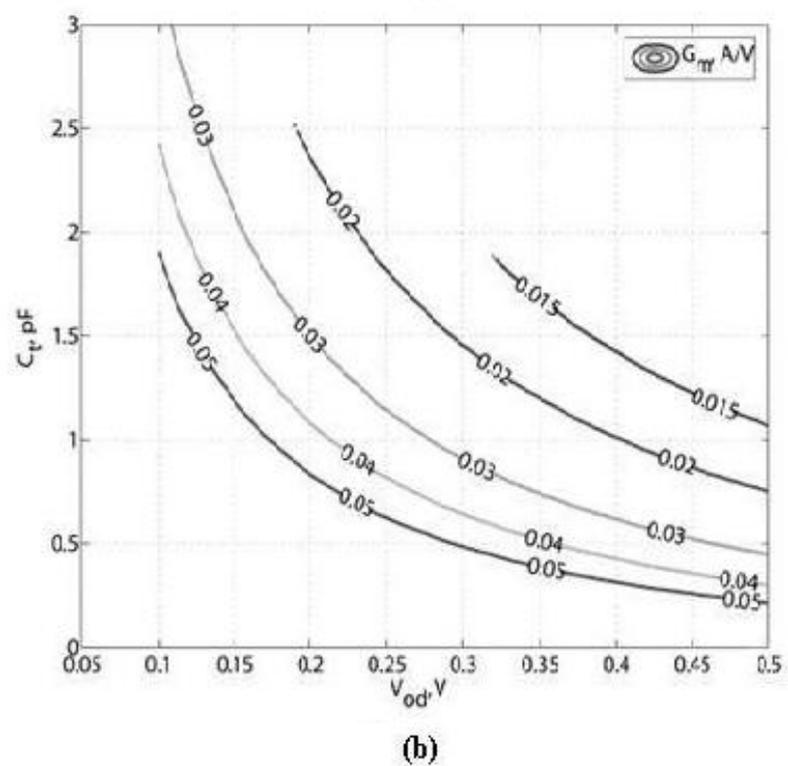
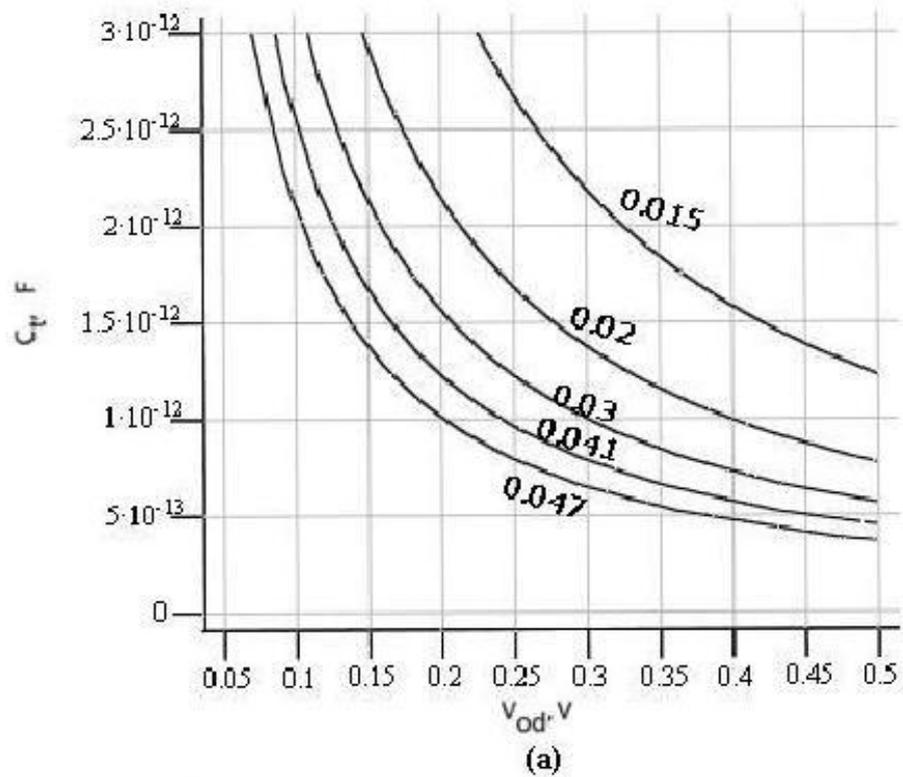


Figura 3.3: Contornos da transcondutância do LNA em função de v_{od} e C_t . (a) curvas obtida das expressões calculadas neste trabalho. (b) curvas obtidas de [19].

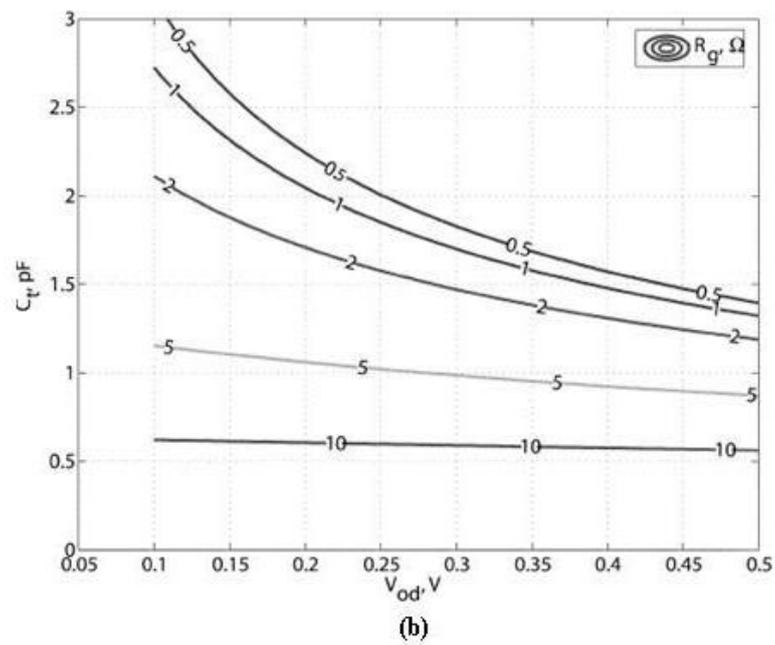
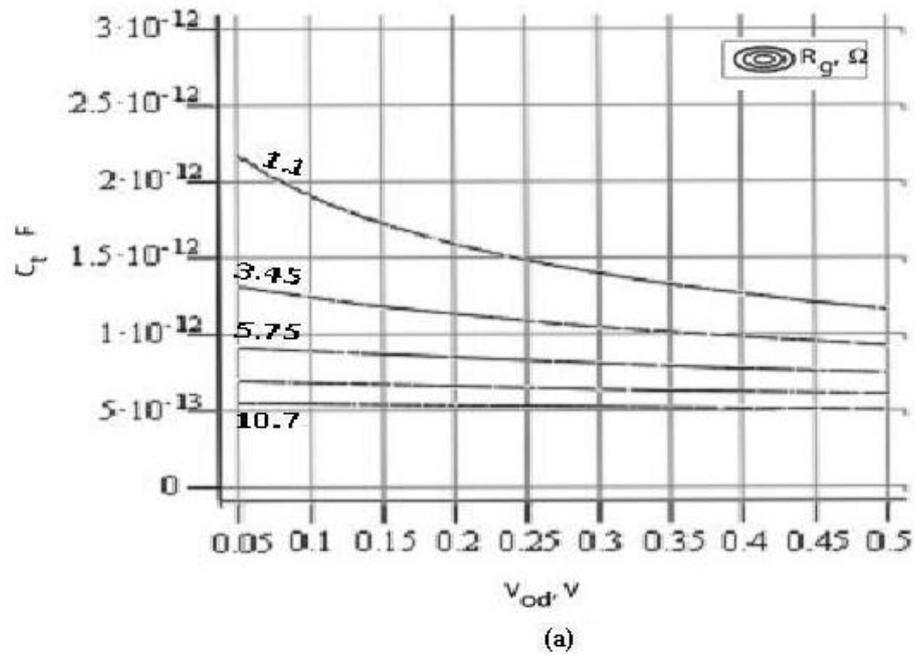


Figura 3.4: Contornos da resistência parasita de *gate* em função de v_{od} e C_t . (a) curvas obtida das expressões calculadas neste trabalho. (b) curvas obtidas de [19].

Superpondo as curvas da figura de ruído e da transcondutância é possível encontrar os valores de C_t e v_{od} que satisfazem as condições de projeto, como mostra a figura 3.5. Uma vez definidos os valores de v_{od} e C_t pode-se dimensionar todos os componentes restantes do circuito. A partir de $R_g(v_{od}, C_t)$ e do fator de qualidade do indutor de *gate*, o valor deste último pode ser calculado através da equação (3.5). Através de $C_{gs}(v_{od})$ e de posse do valor de L_g , calcula-se a largura do transistor e o indutor de degeneração respectivamente, através das equações (3.6) e (3.7).

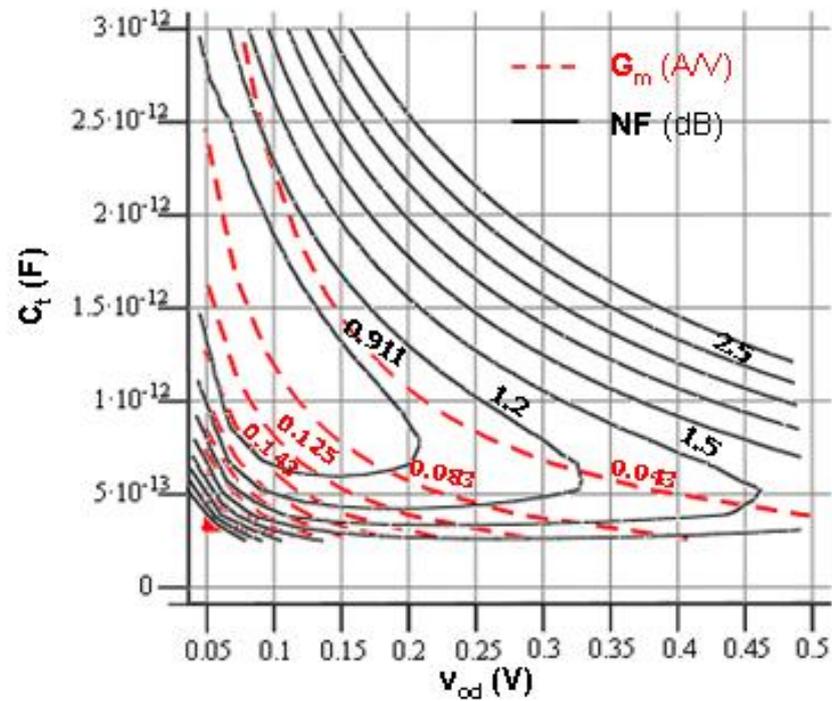


Figura 3.5: Superposição das curvas 3.2 (a) e 3.3 (a).

$$L_g = \frac{Q_{ind}(R_g - R_{g,fet})}{\omega} \quad (3.5)$$

$$W(v_{od}) = \frac{3C_{gs}(v_{od})}{2LC_{ox}} \quad (3.6)$$

$$L_s = \frac{1}{C_t\omega^2} - L_g \quad (3.7)$$

O estágio de saída é escolhido como um amplificador em configuração *gate* comum, que tem a característica de aumentar o isolamento reverso S12 e reduzir a o efeito Miller da capacitância C_{gd} do transistor de entrada [7]. O efeito Miller altera a impedância de entrada significativamente se uma grande impedância for colocada diretamente no dreno do transistor de entrada. Isto porque a capacitância equivalente do *gate* ao terra ($C_{gd-shunt}$), devido ao efeito Miller, no *gate* do transistor de entrada é dada por:

$$C_{gd-shunt} = C_{gd}(1 + g_m \cdot Z_{load}) \quad (3.8)$$

A impedância de entrada da configuração *gate* comum é dada por $\frac{1}{g_m}$, assim o valor da capacitância de *shunt* é consideravelmente menor, se o transistor cascode, for do mesmo tamanho ou maior que o de entrada. Neste caso a parte real da impedância de entrada é dada por:

$$Re[Z_{in}] = \frac{\omega_T L_s}{1 + 2\frac{C_{gd}}{C_t}} \quad (3.9)$$

Devido a este pequeno desvio na parte real de Z_{in} recomenda-se aumentar a indutância de degeneração L_s , para compensar esta diminuição causada pelo efeito Miller [7] e [22].

Assim como na entrada, a saída deve possuir uma impedância característica bem definida na frequência de ressonância. É justamente esta impedância, sintonizada na frequência, que ajuda a reduzir o isolamento do amplificador e determinar o ganho do LNA juntamente com a transcondutância do amplificador. Para isso se introduz um indutor entre o dreno do transistor de saída e a alimentação do circuito para ressoar com a capacitância total parasita C_d presente neste nó, como mostra a figura 3.6.

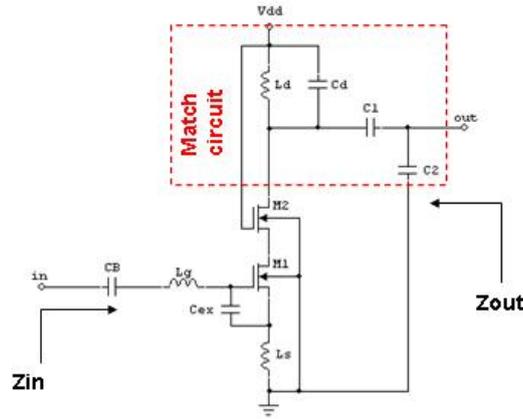


Figura 3.6: Circuito para casamento de impedância na saída do LNA.

Esta arquitetura para casamento foi escolhida por isolar em o nível DC (polarização) do amplificador e permitir o dimensionamento de forma simples a partir do uso da carta de *smith*.

Escolhendo-se 0,1 V para v_{od} e 0.9pF para C_t , por exemplo, seria possível alcançar uma figura de ruído de 0.76dB e um ganho de potência de aproximadamente 15dB, utilizando os parâmetros sugeridos por [19]³, como mostra a tabela 3.1.

Tabela 3.1: Dimensionamento dos componentes.

v_{od} (V)	0,1
C_t (pF)	0,9
NF (dB)	0,76
A_v (dB)	14,88
C_{ex} (fF)	1,62
W (mm)	1,855
L_g (nH)	4,25
L_s (nH)	0,256
f (GHz)	2,5
Consumo (mW)	15

No exemplo anterior, na frequência de 2,45GHz, é possível obter ganho de potência elevado com baixíssima figura de ruído para uma dissipação de potência de 15mW,

³Uma pequena contradição foi observada na escolha dos parâmetros de simulação em [19]. O autor utiliza o modelo de transistor para canal curto no desenvolvimento de suas equações, entretanto os parâmetros de ruído γ e δ , possuem os valores de $\frac{2}{3}$ e $\frac{4}{3}$, que são considerados para transistores de canal longo segundo [7], [9], [10], [20] e [22].

o que não acontece para circuitos de frequência e consumo mais baixos. A principal meta de projetistas tem sido a combinação de bons resultados, baixo consumo e integração dos componentes em um único circuito integrado ou *chip*. Entretanto nem sempre é possível atingir os três objetivos simultaneamente. Neste sentido, foram implementados dois LNAs: o primeiro para operar com baixo consumo e indutor de *gate* externo, e o segundo com todos os indutores integrados.

3.2 Projeto

3.2.1 Otimização de ruído para largura de transistores fixas

No primeiro amplificador a preocupação principal é o consumo de energia. Seguindo a metodologia descrita na seção anterior, plotou-se um gráfico com os contornos da figura de ruído (em dB), da transcondutância do LNA (em $\frac{A}{V}$) e da largura do transistor (em mm). Neste primeiro projeto (LNA1) procurou-se manter a largura do transistor inferior a $200\mu m$, pois esta é a largura máxima permitida para um único transistor pela tecnologia adotada (CMOS-0,35 μm da AMS). Também foram utilizados os parâmetros de ruído, $\gamma = 2$ e $\delta = 4$, considerando o modelo para transistores de canal curto, um consumo de potência de $4mW$ e o fator de qualidade do indutor de *gate* foi adotado como 100, uma vez que pretende-se utilizar este último externo ao *chip* para melhorar o desempenho de ruído.

A partir da análise das curvas de contorno, mostradas na figura 3.7, escolheu-se as coordenadas $v_{od} = 0,276$ e $C_{ex} = 2,8$ pF como ponto de partida do projeto. A escolha de $v_{od} = 0,276$, e conseqüentemente, da largura de transistor de $W = 200\mu m$ permite uma boa aproximação da figura de ruído mínima, encontrada no ponto $v_{od} = 0,2$ V e $C_{ex} = 0,48$ pF. Entretanto se este conjunto de valores fosse escolhido a transcondutância e o ganho do amplificador seriam penalizados, portanto optou-se por aumentar o ganho em detrimento da figura de ruído.

Os resultados da tabela 3.2 representam a melhor combinação para um valor predeterminado de consumo de potência. Foram testadas várias combinações de C_{ex} e v_{od} para outros níveis de dissipação de potência, mantendo-se a figura de ruído no seu valor mínimo. Com isso, pode-se observar que há uma pequena degradação da

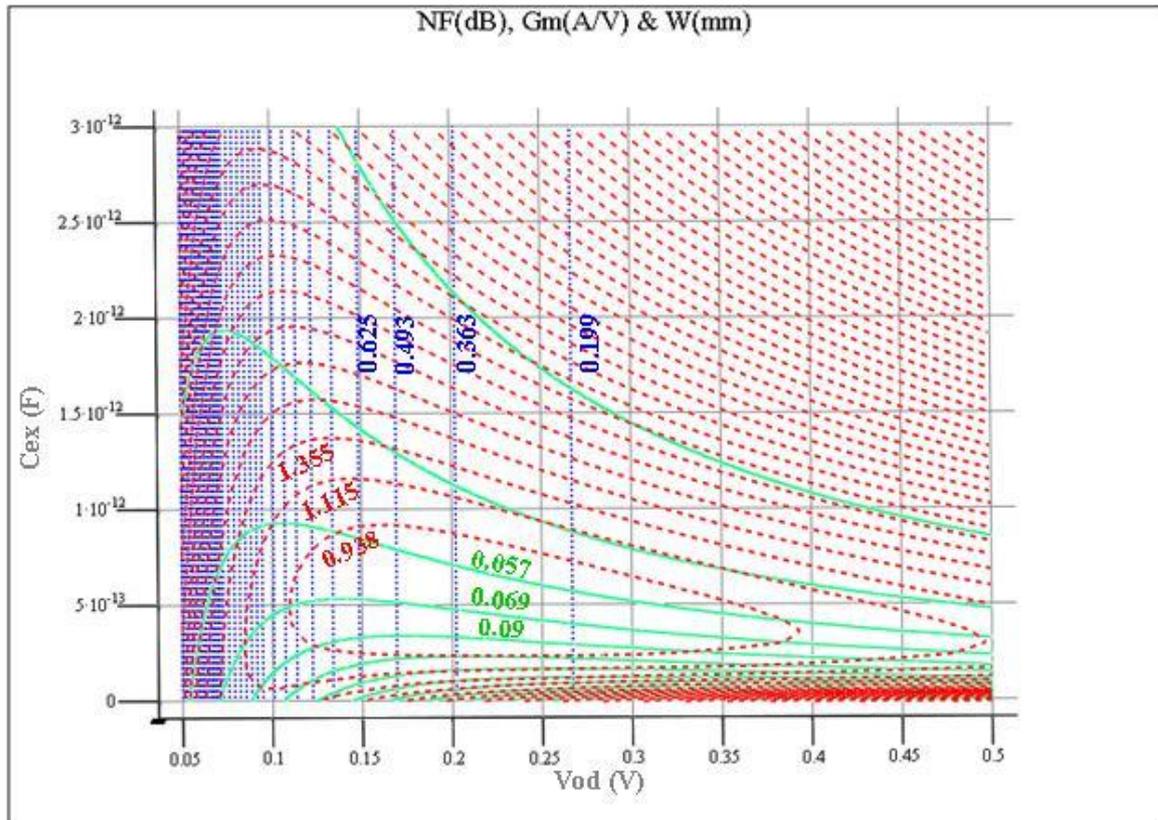


Figura 3.7: Contornos da figura de ruído em dB (linha tracejada vermelha), da transcondutância do LNA dada em $\frac{A}{V}$ (linha verde sólida) e da largura do transistor em mm (linha pontilhada azul). Os parâmetros utilizados foram: $\gamma = 2$, $\delta = 4$, $c = j0,395$, $E_{sat} = 4,7 \cdot 10^6 \text{V/m}$, $v_{sat} = 8,43 \cdot 10^4 \text{ m/s}$, $f = 0,915 \text{GHz}$, $P_D = 4 \text{mW}$, $V_{dd} = 1,8 \text{V}$, $R_{sheet} = 8 \frac{\Omega}{\text{quadrado}}$, $W_f = 10 \mu\text{m}$, $Q_{ind} = 100$, $L_{g,bw} = 0 \text{nH}$, $Q_{ind,bw} = 0$ e $L_{ef} = 0,29 \mu\text{m}$ (para tecnologia de $0,35 \mu\text{m}$).

figura de ruído e no ganho do amplificador na medida em que o consumo do circuito diminui, como mostra a tabela 3.3.

3.2.2 Otimização de ruído para indutâncias de *gate* fixas

Para superar o problema da integração do indutor de *gate* e necessário aumentar o consumo do dispositivo para obter valores de indutâncias suficientemente baixas que permitam sua inclusão ao CI. Seguindo o exemplo de [19], adotou-se o consumo de 15mW para o projeto do segundo amplificador (LNA2) e um fator de qualidade de 4 para o indutor de *gate*, que é um valor viável para indutores de até 10nH [7]. O mesmo método foi utilizado para este LNA, mas desta vez, foi utilizado o gráfico com os contornos do fator de ruído, transcondutância do LNA (em $\frac{A}{V}$) e indutâncias de *gate* (nH) constantes, como mostra a 3.8.

Tabela 3.2: Resultados dos cálculos teóricos do LNA.

C_{ex} (pF)	0,28
v_{od} (V)	0,276
W (μm)	200
L_g (nH)	65,5
L_s (nH)	0,93
G_m ($\frac{A}{V}$)	0,09
Av (dB)	13,08
NF(dB)	0,902
Consumo(mW)	4,00
f(GHz)	0,915

Tabela 3.3: Resultados dos cálculos teóricos do LNA1 para 4, 2 e 1 mW de potência consumida.

Consumo(mW)	4,00	2,00	1,00
C_{ex} (pF)	0,48	0,43	0,41
v_{od} (V)	0,2	0,17	0,13
W (μm)	363	246	205
L_g (nH)	36,71	45,2	48,47
L_s (nH)	1,17	1,59	2,21
G_m ($\frac{A}{V}$)	0,072	0,053	0,038
Av (dB)	11,184	8,49	5,59
NF(dB)	0,799	0,951	1,136
f(GHz)	0,915	0,915	0,915

Procurando minimizar o fator de ruído (consequentemente a figura de ruído) mantendo um ganho de potência acima de 13dB e a indutância de *gate* inferior a 10 nH, escolheu-se $v_{od} = 0,1$ V e $C_{ex} = 0,1$ pF. Estes valores produziram os resultados apresentados na tabela 3.4.

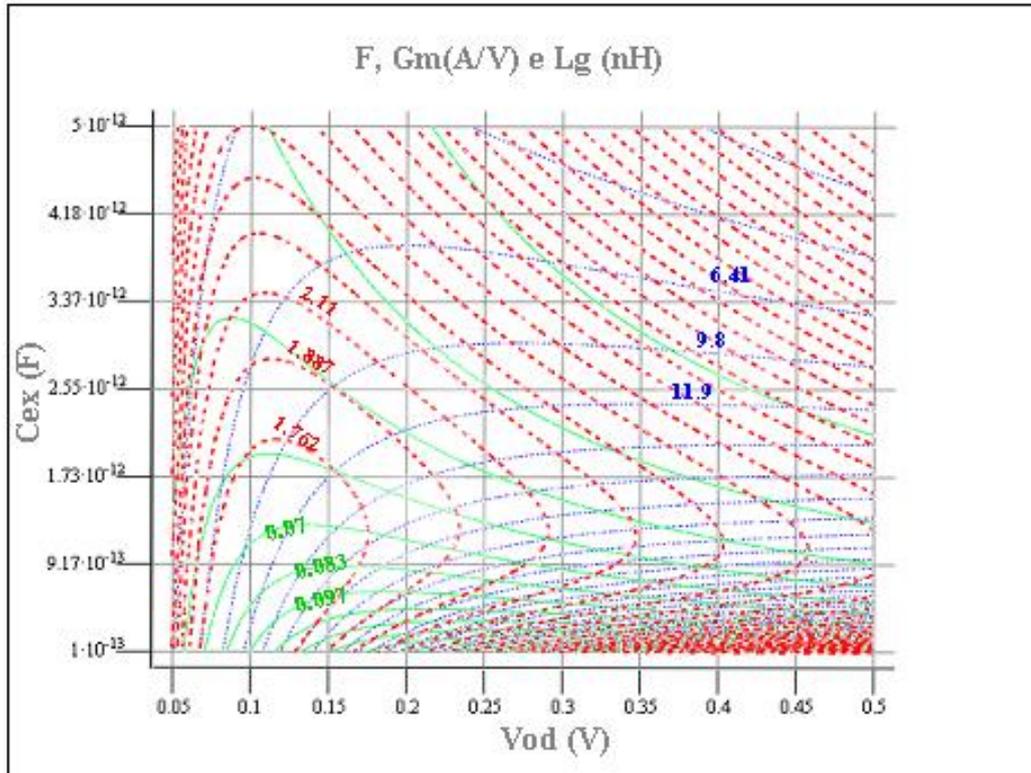


Figura 3.8: Contornos da figura de ruído em dB (linha tracejada vermelha), da transcondutância do LNA dada em $\frac{A}{V}$ (linha verde sólida) e da largura do transistor dada em μm (linha pontilhada em azul). Os parâmetros utilizados foram: $\gamma = 2$, $\delta = 4$, $c = j0,395$, $E_{sat} = 4,7 \cdot 10^6 V/m$, $v_{sat} = 8,43 \cdot 10^4 m/s$, $f = 0,915 GHz$, $P_D = 15 mW$, $V_{dd} = 1,8 V$, $R_{sheet} = 8 \frac{\Omega}{quadrado}$, $W_f = 10 \mu m$, $Q_{ind} = 4$, $L_{g,bw} = 0 nH$, $Q_{ind,bw} = 0$ e $L_{ef} = 0,29 \mu m$ (para tecnologia de $0,35 \mu m$).

Tabela 3.4: Resultados dos cálculos teóricos do LNA2.

C_{ex} (pF)	0,1
v_{od} (V)	0,1
W (μm)	3186
L_g (nH)	9,8
L_s (nH)	0,645
G_m ($\frac{A}{V}$)	0,097
Av (dB)	13,69
NF(dB)	2,15
Consumo(mW)	15,00
f (GHz)	0,915

3.3 Considerações e observações

Neste capítulo foram apresentados os passos utilizados para derivação das expressões da figura de ruído, transcondutância e resistência parasita de porta do transistor de entrada do amplificador de baixo ruído, em função da capacitância extra aplicada entre porta e fonte e em função da tensão de *overdrive*. Foram derivadas também expressões que relacionam o valor da indutância de porta e largura do transistor de entrada em função das mesmas variáveis. Dessa forma pode-se conciliar a busca pela figura de ruído mínimo e máxima transcondutância com valores de indutores que podem ser integrados.

Uma análise foi feita para avaliar a influência de alguns parâmetros da especificação do projeto nos resultados teóricos calculados. A diminuição na frequência de operação provoca um aumento no indutor de porta, que dificulta a sua integração com altos fatores de qualidade. Uma maior restrição no consumo de potência compromete diretamente o ganho do circuito, como mostra a tabela 3.5. Também foi possível observar que o emprego de tecnologias mais avançadas (menor comprimento de canal) favorecem melhores resultados. Entretanto, nem sempre se dispõe das especificações mais favoráveis, por isso se faz importante avaliar o compromisso existente entre os principais parâmetros disponíveis na especificação.

Tabela 3.5: Variação de parâmetros da especificação.

f(GHz)	2,5	0,915	2,5	2,5	2,5	0,915
Potência(mW)	15	15	5	15	15	5
Q indutor	10	10	10	4	10	4
Lmin(μm)	0,18	0,18	0,18	0,18	0,35	0,35
Lg(nH)	4,25	12,8	3,1	15,1	3,1	9,21
W(μm)	1,885	1,855	1,7	3,9	1,15	2,87
NF(dB)	0,76	0,76	0,87	0,882	0,936	1,53
AV	14,88	15,46	8,46	11,16	8,56	8,68

Capítulo 4

Resultados

Este capítulo apresenta os resultados obtidos para dois LNAs projetados. Na primeira seção são mostrados os resultados de simulações utilizando componentes passivos ideais e o modelo de transistor de RF fornecido pelo fabricante. Em seguida são apresentados os modelos de simulação e *layout* dos indutores integrados gerados com o auxílio do programa *ASITIC*. De posse de tais modelos foi possível realizar simulações considerando as perdas devido aos parasitas de todos os componentes do circuito. Por fim são apresentados os *layouts* dos dois circuitos desenvolvidos.

4.1 Simulação com componentes ideais

4.1.1 LNA1

Uma vez calculados os valores de todos os componentes do circuito, o seu diagrama esquemático foi montado (vide figura 4.1) e simulado utilizando as ferramentas da *MentorGraphics Design Architecture* e *ELDO*, respectivamente.

O circuito de saída foi projetado conforme descrito na metodologia, fazendo o transistor cascode do mesmo tamanho do de entrada. Uma vez definido o transistor de saída a sua capacitância parasita de dreno foi estimada, e um indutor¹ de aproximadamente 6.5 nH foi colocado no dreno para cancelar a parte imaginária da impedância de saída na frequência de interesse. Também foram colocados dois capacitores C_1 e C_2 , com valores calculados de 5 pF e 1 pF para realizar o casamento de

¹Suficientemente grande para permitir o casamento de através da topologia de circuito apresentada na seco anterior.

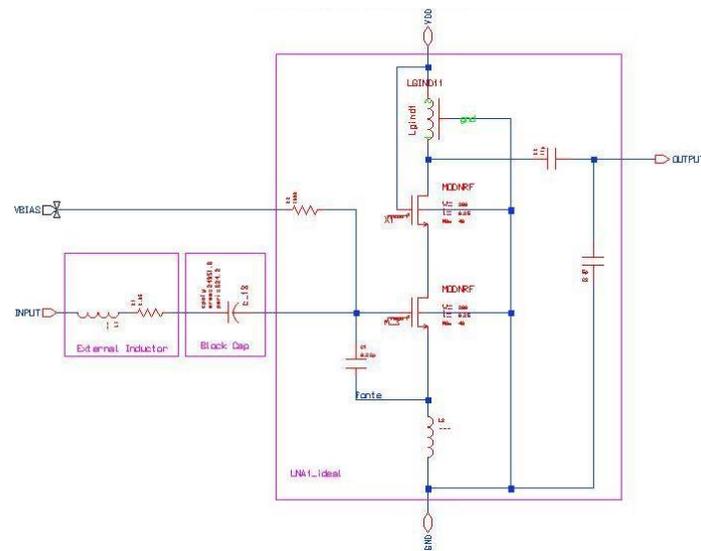


Figura 4.1: Diagrama esquemático de LNA com componentes ideais utilizado nas simulaes.

impedâncias na saída. Este palpite inicial serve para encontrar o valor do coeficiente de reflexão na saída e, a partir dele, calcular a impedância no dreno do transistor de saída considerando os valores das capacitâncias C_1 e C_2 em 915 MHz. A partir deste novo ponto pode-se estimar novos valores para os capacitores do casamento através da versão gratuita do software *Smith-Chart*, que permite realizar curvas da carta de *Smith* mais rapidamente, como mostra a figura 4.2.

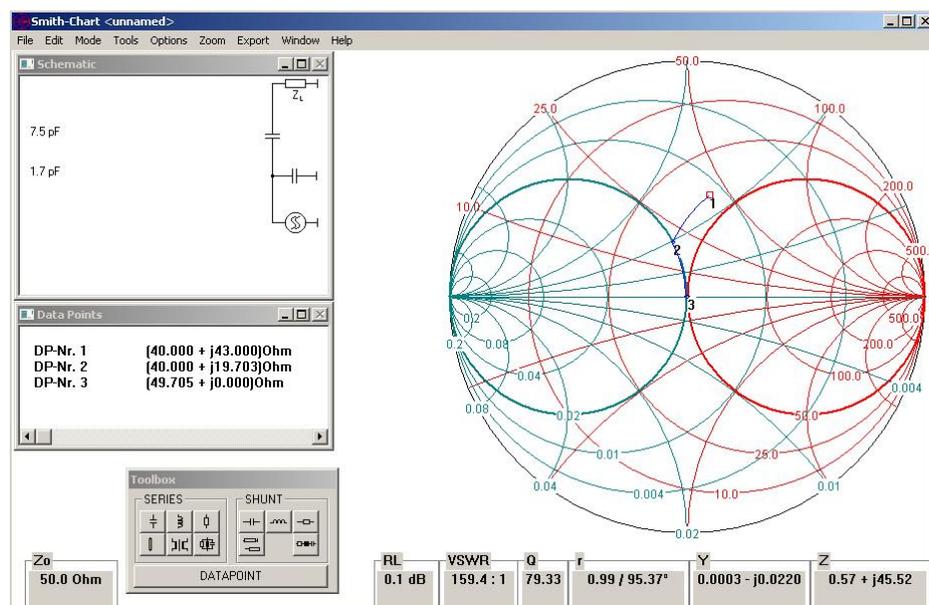


Figura 4.2: Casamento de impedância usando a carta de *Smith*.

Inicialmente foi realizada uma análise de frequência, variando de 700 MHz até 1400 MHz, para avaliar o desempenho do circuito com relação ao consumo e parâmetros de espalhamento (parâmetros S). Em seguida foi feita outra análise de frequência, novamente de 700 MHz até 1400 MHz, mas desta vez implementando uma rotina de análise de ruído, para obter o fator de ruído e fator de ruído mínimo do LNA. Os resultados obtidos para os parâmetros de espalhamento e para a análise de ruído podem ser vistos nas figuras 4.3, 4.4 e 4.5.

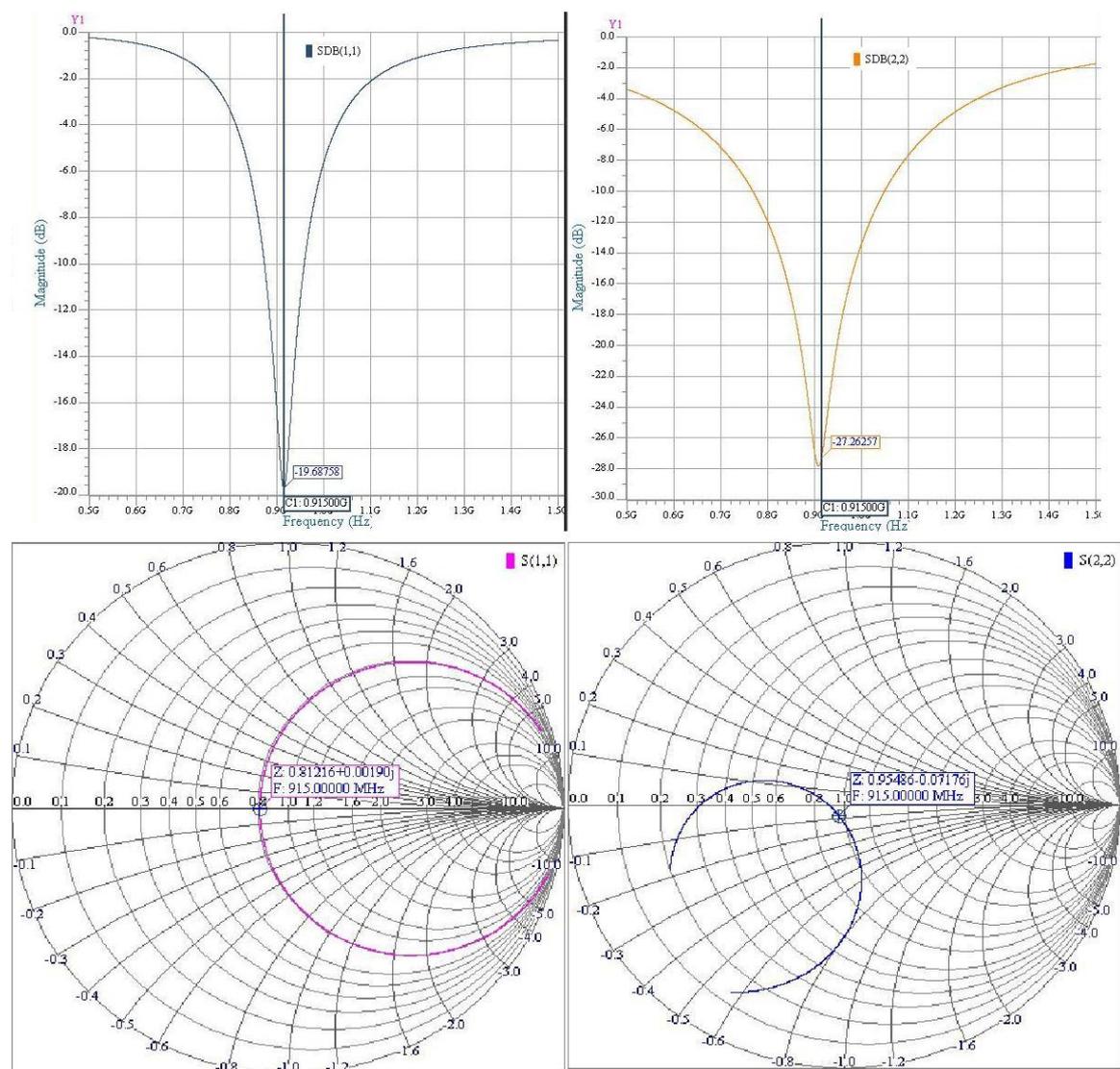


Figura 4.3: Coeficientes de reflexão na entrada S11 e na saída S22.

Para a mesma tensão de *overdrive* a dissipação de potência do circuito foi de 5.14 mW, maior que os 4 mW calculados no capítulo anterior. Este aumento do consumo é responsável por um aumento no ganho do amplificador e na diminuição da figura de

ruído, que caracteriza um melhor desempenho. Entretanto, a principal meta aqui é a redução do consumo, então uma nova rodada de simulações foi realizada para uma tensão de *overdrive* menor para atingir os 4 mW propostos na metodologia. Por fim uma última rodada de simulações foi executada para uma tensão de *overdrive* ainda menor para reduzir ainda mais o consumo, mas sem deixar que o ganho do circuito caísse mais que 10 dB. Os resultados obtidos para as três novas rodadas de simulação estão resumidos na tabela 4.1.

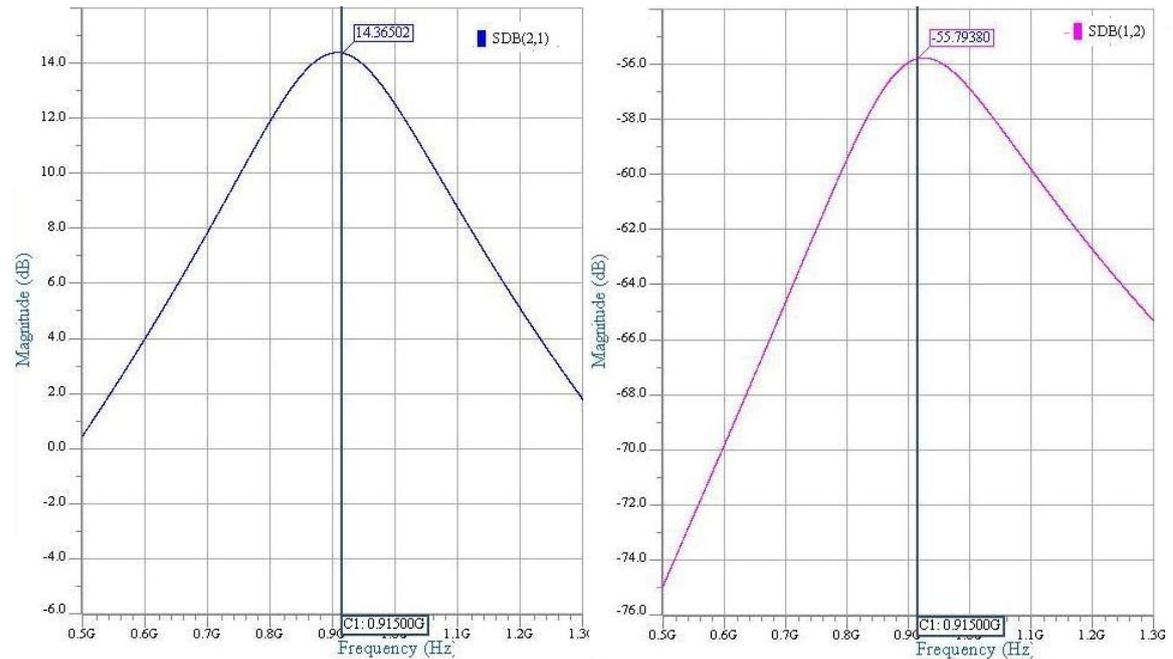


Figura 4.4: Coeficiente de transmissão direto S21 e reverso S12 (em dB).

Tabela 4.1: Resultados das simulações utilizando componentes ideais para o LNA1 para diferentes tensões de *overdrive*.

v_{od} (V)	0,276	0,247	0,210
Consumo(mW)	5,14	4,035	2,775
F	1,20	1,21	1,23
NF(dB)	0,82	0,83	0,90
S11(dB)	-19,68	-17,64	-14,87
S12(dB)	-55,79	-56,22	-56,66
S21(dB)	14,36	13,88	12,93
S22(dB)	-27,26	-27,46	-27,72
f(GHz)	0,915	0,915	0,915

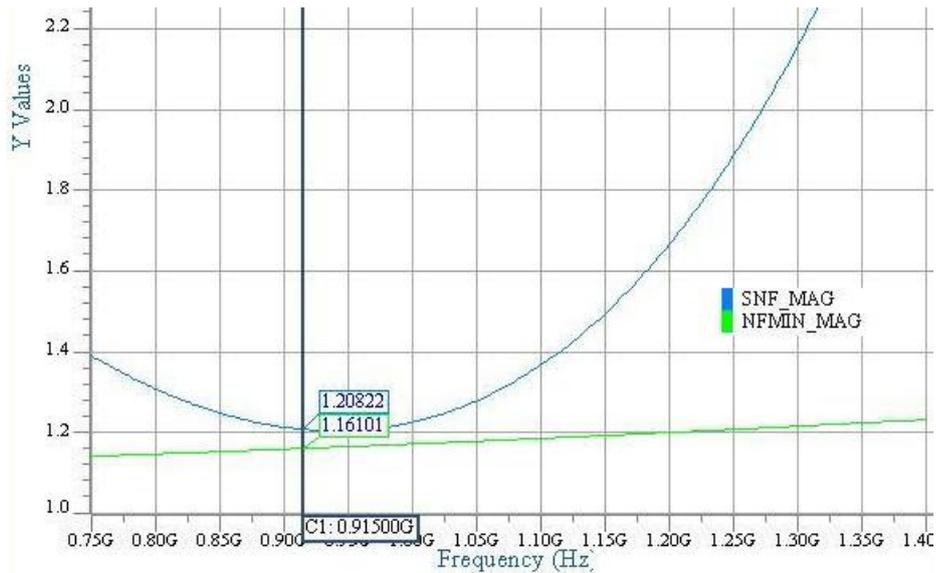


Figura 4.5: Figura de ruído do LNA1 (dB).

4.1.2 LNA2

Assim como o LNA1, este segundo amplificador teve seu diagrama esquemático montado e simulado nas mesmas condições que o anterior. A diferença básica entre os dois projetos é que neste foi necessário colocar 16 transistores em paralelo para atingir a largura definida pelos cálculos teóricos. O dimensionamento dos capacitores de saída também seguiu os mesmos procedimentos. Os resultados para as análises de parâmetros de espalhamento e de ruído podem ser verificados na figura 4.6.

A tabela 4.2 resume os resultados obtidos para as primeiras simulações com componentes ideais do LNA2.

Tabela 4.2: Resultados das simulações utilizando componentes ideais para o LNA2.

$v_{od}(V)$	0,076
Consumo(mW)	15,14
F	1,633
NF(dB)	2,13
$S_{11}(dB)$	-10,69
$S_{12}(dB)$	-49,21
$S_{21}(dB)$	14,39
$S_{22}(dB)$	-27,78
f(GHz)	0,915

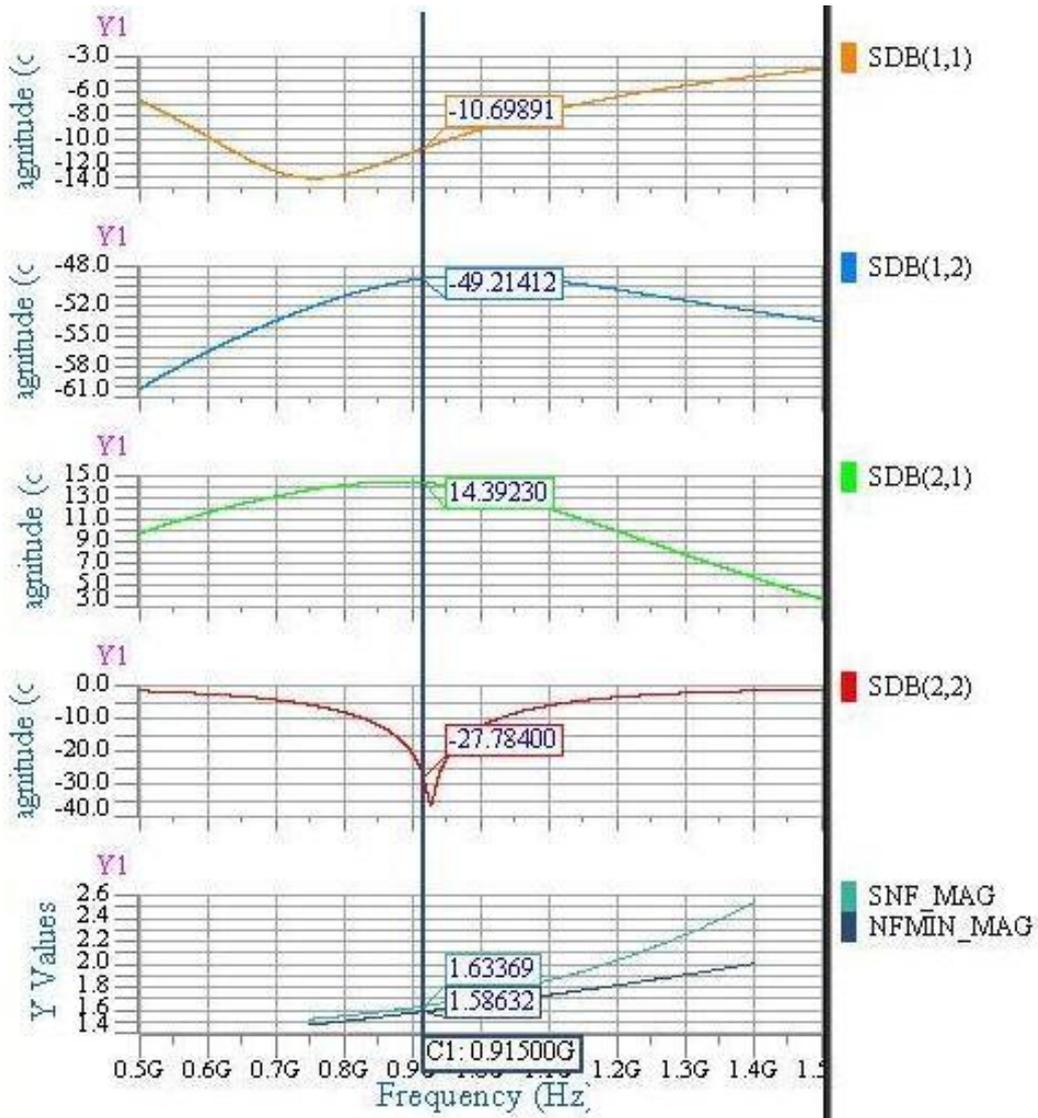


Figura 4.6: Parâmetros de espalhamento (dB) e fator de ruído para o LNA2.

4.2 Caracterização dos indutores integrados

Os indutores foram implementados utilizando a ferramenta gratuita *Asitic*, mencionada no capítulo 2, que dispõe de rotinas de otimização para indutores planares quadrados, por isso esta foi a geometria adotada para todos os indutores. Considerando que os indutores ditam o tamanho no final do circuito, foram reservados para cada um deles um quadrado de aproximadamente $500 \mu\text{m}$ de lado para seu *layout*. Assim, seria possível implementar com folga os dois estudos de caso desejados.

Para estimar as perdas nos indutores foi utilizada a função "pi" do *Asitic*, que converte os parâmetros de espalhamento de uma frequência específica no modelo elétrico mostrado na figura 4.7. Nota-se que este modelo é ligeiramente diferente

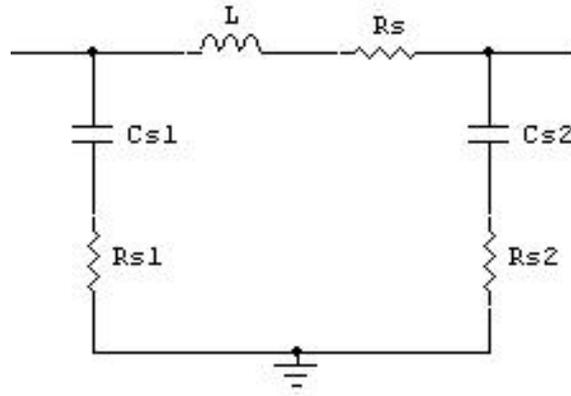


Figura 4.7: Modelo elétrico de indutor para banda estreita fornecida pelo *Asitic*.

daquele mostrado anteriormente no capítulo 2 (vide 2.17), isto porque a representação elétrica do indutor mostrada na figura 4.7 é um modelo para banda estreita ou para um único tom [16].

Com a utilização dos algoritmos de otimização, foi possível alcançar um fator de qualidade acima do valor pretendido para o indutor de entrada L_g , bem como resultados ainda melhores para os demais indutores, como mostra a tabela 4.3. Nesta mesma tabela são apresentados também os valores das capacitâncias e resistências parasitas C_{s1} , C_{s2} , R_{s1} , R_{s2} e R_s de cada indutor, conforme o modelo apresentado na figura 4.7

Tabela 4.3: Resultados das simulações dos indutores com o *Asitic*.

Parâmetros	L_{g2}	L_{s2}	L_{d2}	L_{s1}	L_{d1}
R_{s1} (Ω)	463	1000	588	966	554
R_{s2} (Ω)	407	826	476	839	504
C_{s1} (fF)	639	112	440	145	557
C_{s2} (fF)	632	116	431	147	555
R_s (Ω)	7,47	1,21	6,41	1,55	5,69
L (nH)	9,76	0,656	6,14	0,939	6,61
Q	4,21	3,1	4,33	3,4	4,78
n	3,25	1,5	2,75	1,5	2,5
s (μm)	0,8	0,8	0,8	0,8	0,8
W (μm)	35	35	30	35	35
Lado interno (μm)	376	118	320	166	408

Na figura 4.8 estão presentes os indutores do LNA1. O indutor de saída L_{d1} apresentou maior fator de qualidade entre todos os projetados chegando a quase 5,

enquanto que o indutor de degeneração L_{s1} obteve um fator de qualidade inferior a 4.

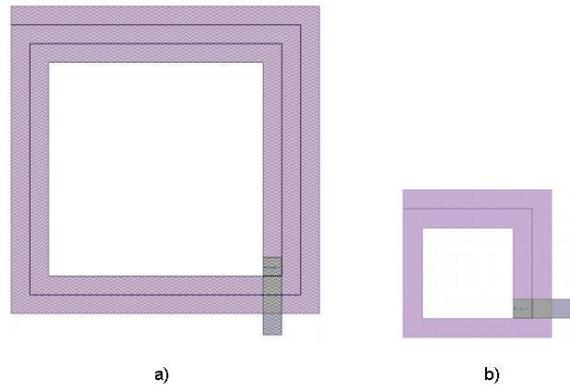


Figura 4.8: *Layout* dos indutores usados no LNA1. a) L_{d1} . b) L_{s1} .

Os indutores do segundo amplificador, LNA2, também apresentaram resultados semelhantes. Na figura 4.9, estão presentes os indutores do LNA2. Novamente o indutor de saída L_{d2} apresentou maior fator de qualidade entre todos os projetados, enquanto que o indutor de degeneração L_{s2} obteve um fator de qualidade inferior a 4.

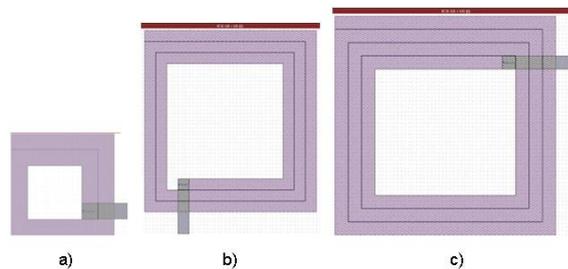


Figura 4.9: *Layout* dos indutores usados no LNA2. a) L_{s2} . b) L_{d2} . c) L_{g2}

4.3 Re-simulação com parasitas

4.3.1 LNA1

Uma vez terminado o dimensionamento dos indutores de degeneração e de dreno, os componentes ideais, utilizados nas simulações anteriores, foram substituídos pelo modelo com parasitas mostrado na figura 2.17. Os capacitores também foram substituídos pelos modelos de capacitores para RF existentes na biblioteca de componentes

do fabricante, assim como o resistor de polarização, substituído por um resistor implementado usando polisilício de alta resistividade, como mostra a figura 4.10.

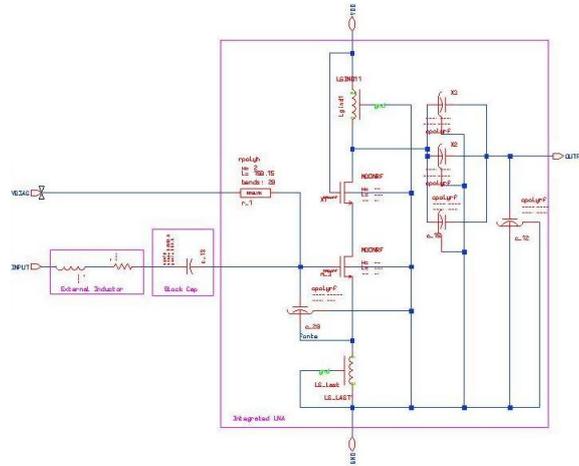


Figura 4.10: Diagrama esquemático de LNA com componentes da biblioteca do fabricante.

As mesmas jigas de teste utilizadas nas simulações anteriores foram aplicadas nos circuitos com parasitas. Esta substituição deslocou a frequência de ressonância do circuito tanque da saída da frequência de interesse, de forma que os valores dos capacitores de casamento C_1 e C_2 tiveram que ser levemente alterados para trazer a frequência ressonância de volta para a frequência desejada. Os resultados obtidos com as simulações podem ser vistos nas figuras 4.11, 4.12 e 4.13.

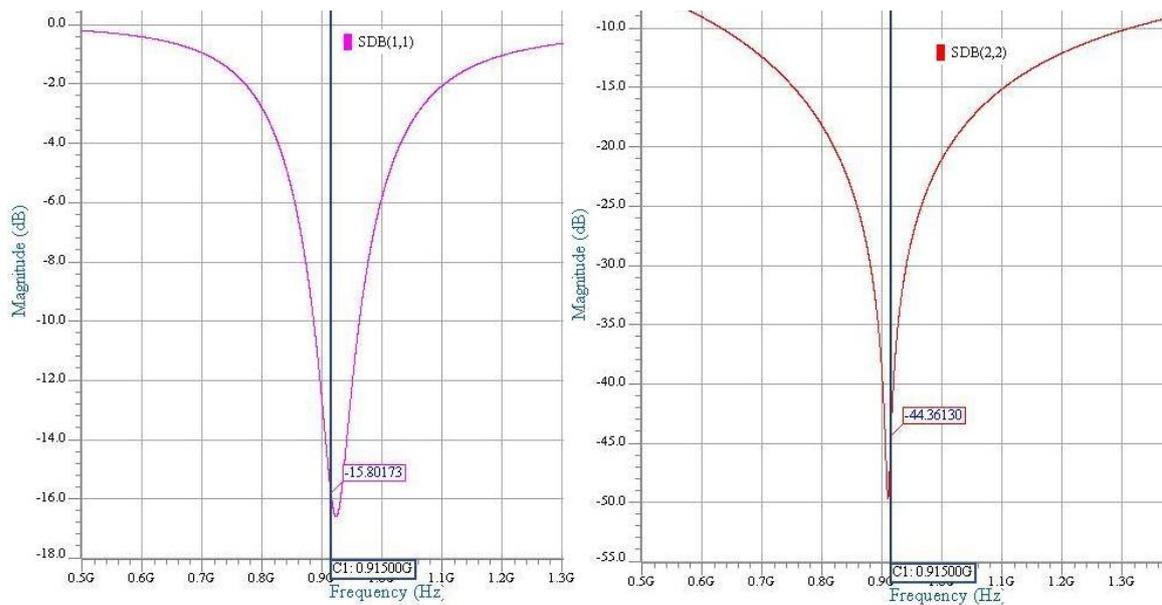


Figura 4.11: Coeficiente de reflexo na entrada (S11) e na sada (S22) medidos em decibel.

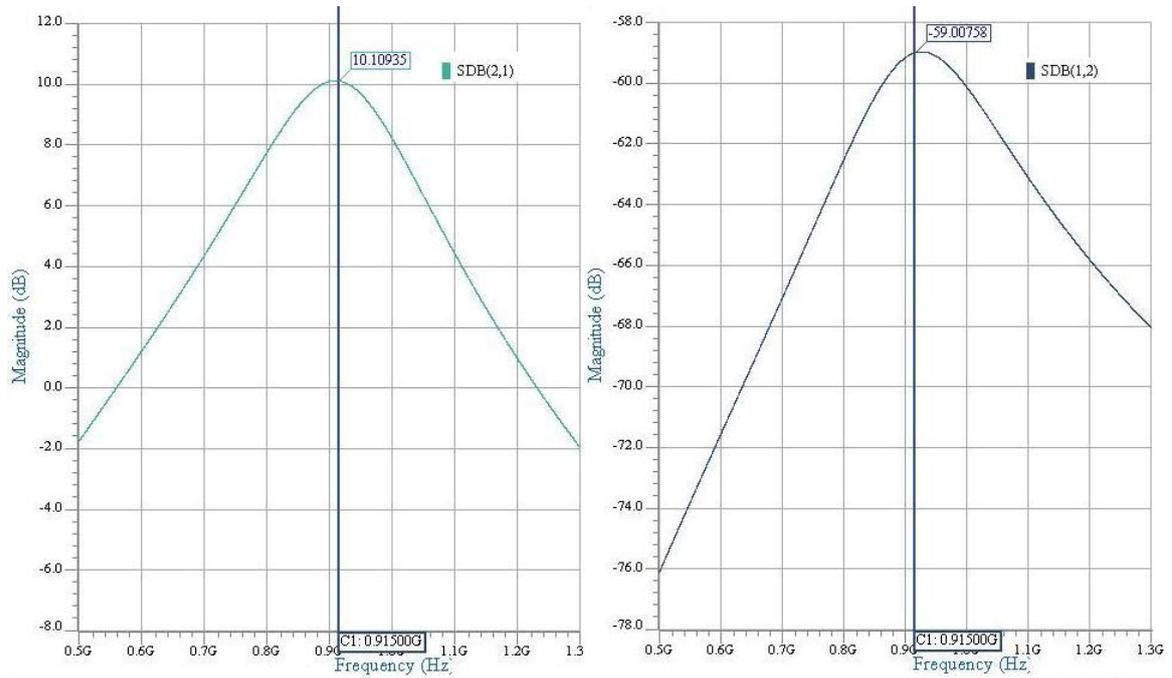


Figura 4.12: Coeficiente de transmissão direto (S21) e reverso (S12) medido em decibel.

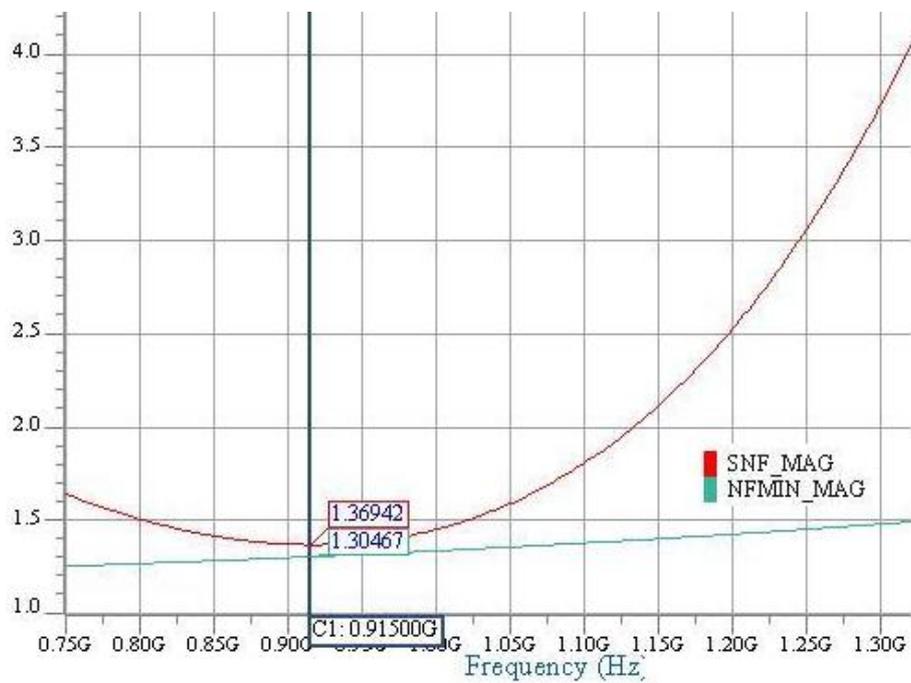


Figura 4.13: Fator de ruído do LNA1 simulado com parasitas.

Também foram realizadas análises de linearidade através de simulações para extrair o IIP3 e ponto de 1dB de compressão do ganho, para diferentes valores de polarização, como mostra a tabela 4.4.

Tabela 4.4: Resultados das simulações com extração de parasitas.

$v_{od}(V)$	0,276	0,247	0,210
Consumo(mW)	4,9	3,86	2,67
F	1,33	1,34	1,37
NF(dB)	1,24	1,27	1,37
IIP3(dBm)	-8,18	-8,46	-8,27
S_{11} (dB)	-19,33	-17,95	-15,82
S_{12} (dB)	-58,03	-58,50	-59,00
S_{21} (dB)	11,6	11,09	10,11
S_{22} (dB)	-42,38	-43,19	-44,36
f(GHz)	0,915	0,915	0,915

4.3.2 LNA2

O LNA totalmente integrado foi simulado inicialmente com as mesmas condições da simulação ideal. Nesta situação houve uma grande semelhança com os resultados da secção anterior, como pode ser visto na figura 4.14.

Como a figura de ruído e o ganho apresentam uma certa folga dos requisitos iniciais (3 dB e 10 dB, respectivamente), resolveu-se diminuir a tensão de *overdrive* através da polarização para tentar reduzir um pouco o consumo sem degradar muito os parâmetros supracitados. Os efeitos dessa pequena mudança podem ser observados na figura 4.16.

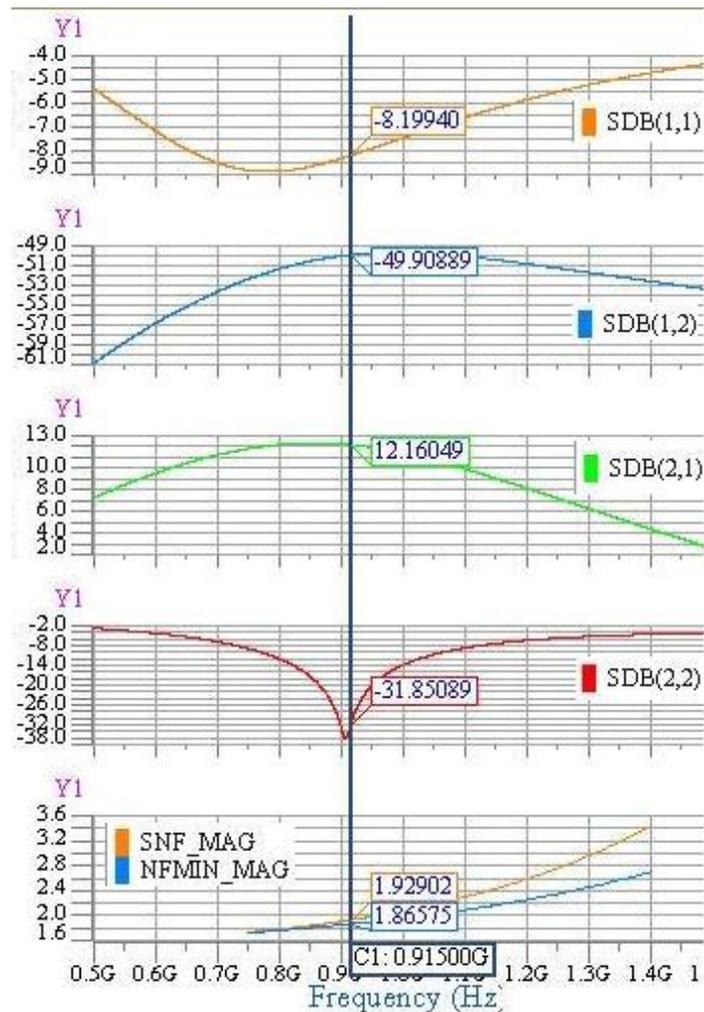


Figura 4.14: Resultado das simulações dos parâmetros de espalhamento e de ruído com tenso de *overdrive* de 0.075 V.

Após algumas simulações com tensões de polarização diferentes, escolheu-se aquela em que houve menor consumo (12.47 mW) para realizar o projeto do circuito de polarização. Então foi utilizada uma topologia de fonte de tensão com transcondutância fixa, como mostra a figura 4.17, para gerar uma tensão de 635 mV em sua saída.

Depois da verificação do funcionamento do circuito de polarização, uma nova rodada de simulações foi executada para validar o funcionamento do LNA2 auto-polarizado, incluindo simulações de linearidade como mostra a figura 4.15. Os resultados obtidos são muito próximos dos anteriores, como pode ser comprovado pela figura 4.18.

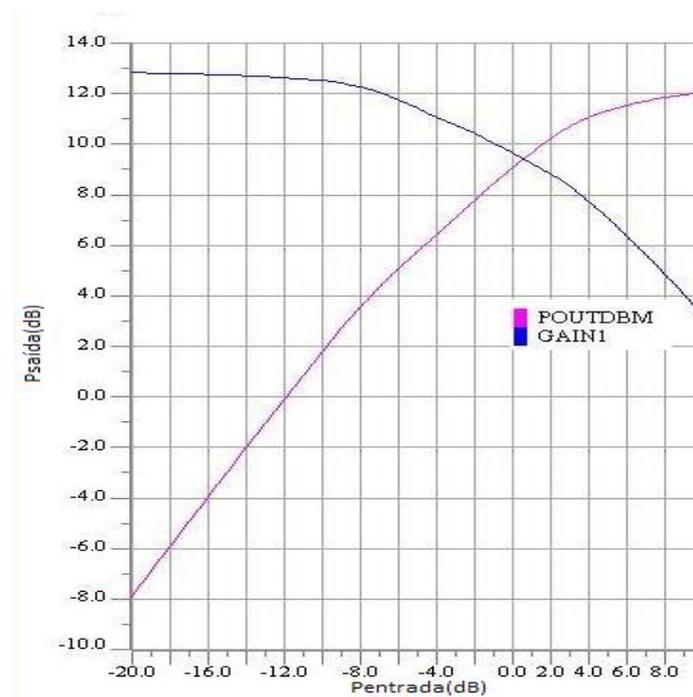


Figura 4.15: Ponto de compressão do ganho de 1dB.

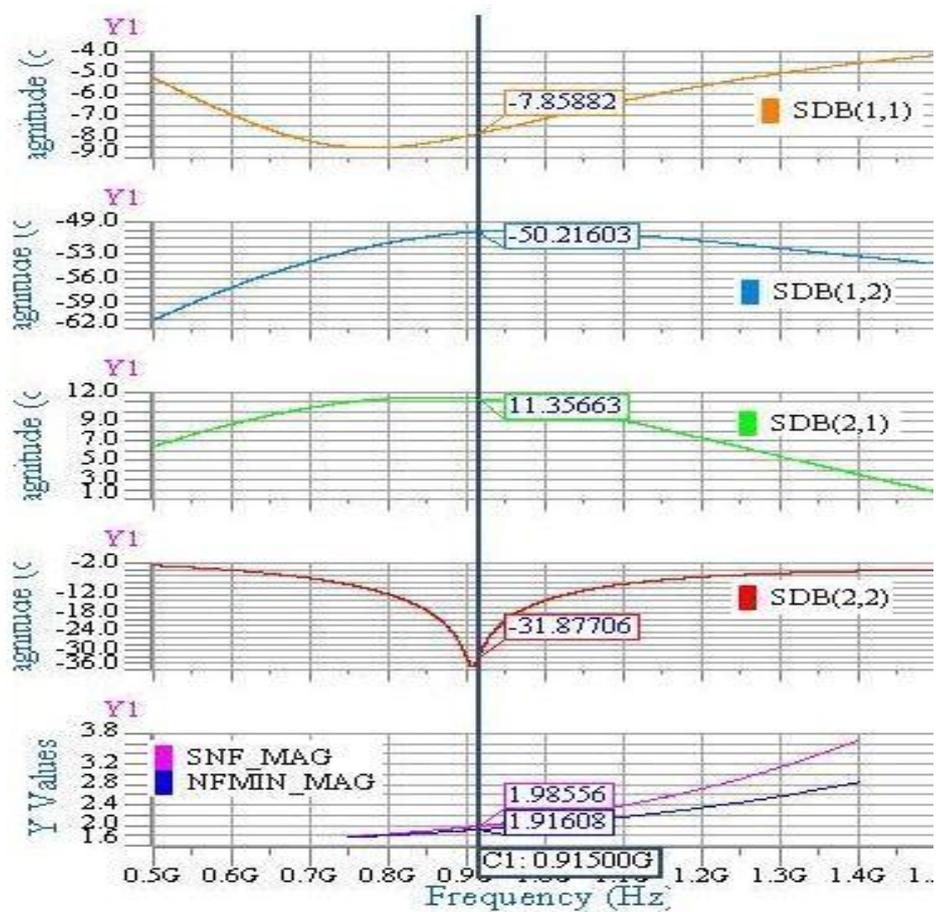


Figura 4.16: Resultado das simulações dos parâmetros de espalhamento e de ruído com tensão de *overdrive* de 0.063 V.

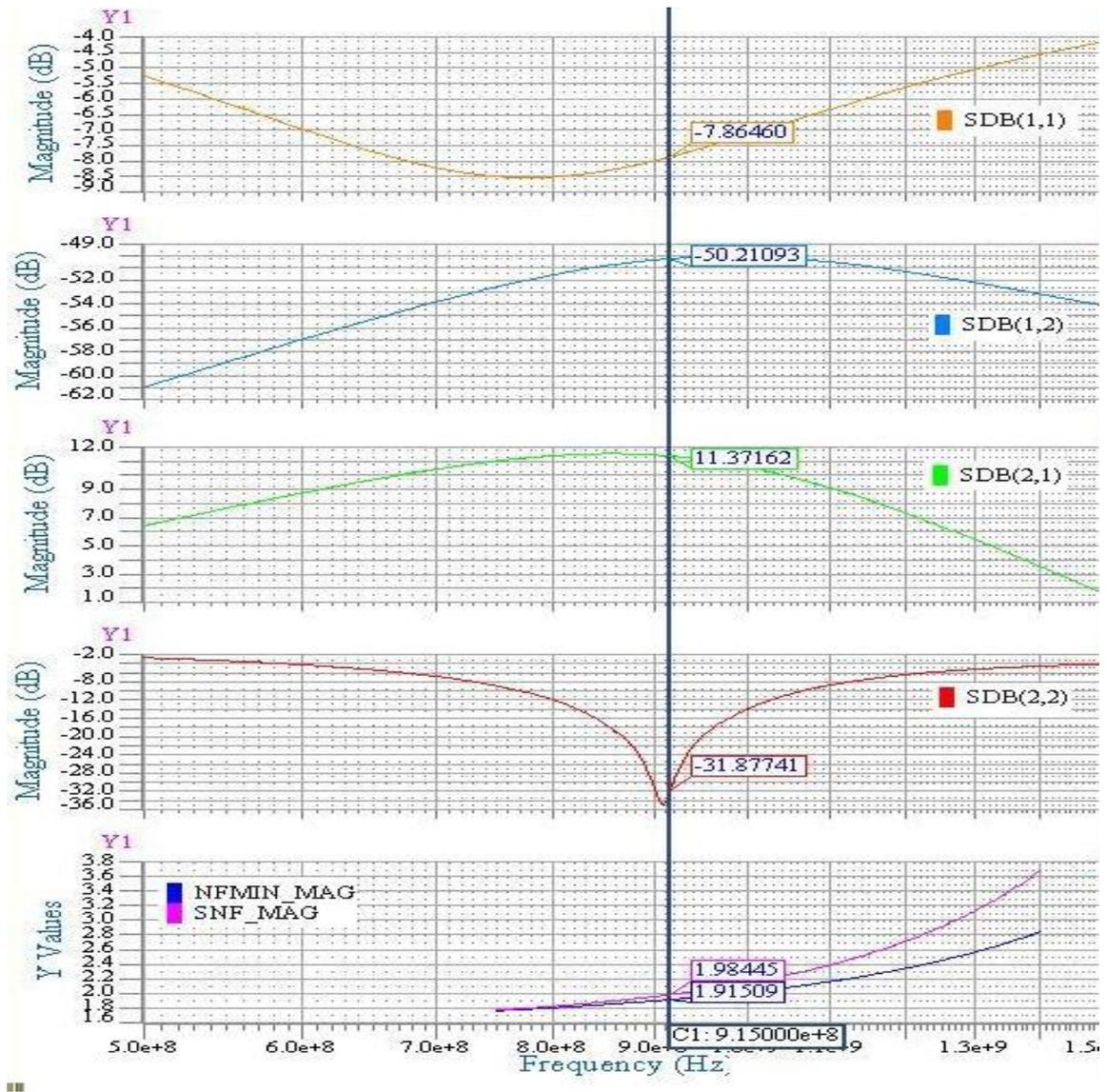


Figura 4.18: Resultado das simulações dos parâmetros de espalhamento e de ruído com circuito de polarização.

4.4 *Layout*

Uma vez atingidos os resultados que satisfizeram as metas específicas do projeto através da simulação com parasitas deu-se início a etapa de *layout* dos circuitos.

O *layout* dos transistores é muito importante no desempenho de ruído do circuito, pois a resistência parasita do *gate* pode e deve ser diminuída com distribuição do *gate* em uma estrutura inter-digitada [7]. Assim, os transistores dos dois LNAs foram projetados utilizando esta técnica, como mostram as figuras 4.19 e 4.20. Os transistores são circundados por "anéis" de guarda para a polarizar o substrato e evitar o efeito de *latch-up*.

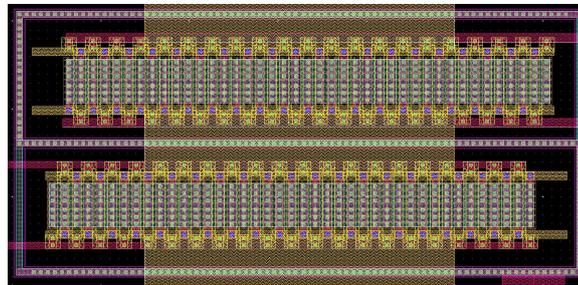


Figura 4.19: *Layout* dos transistores do LNA1 com anéis de polarização para o poço.

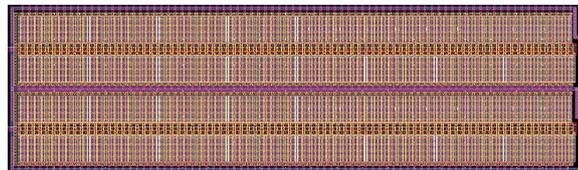


Figura 4.20: *Layout* dos transistores do LNA2 com anéis de polarização para o poço.

O circuito de polarização utilizou uma área total de $25\ \mu\text{m} \times 35\ \mu\text{m}$. Os transistores PMOS foram projetados em par cruzado para reduzir o descasamento inerente ao processo de fabricação, como pode ser observado na figura 4.21.

Além de reduzir a resistência parasita de *gate*, projetar os transistores interdigitados reduz bastante a área ocupada. Com isso, foi possível posicionar os transistores, capacitores e resistores de forma a agrupá-los nos espaços entre os indutores, como mostra a figura 4.22. Na figura 4.22 a) tem-se o *layout* do LNA1 com todas as conexões feitas entre os dispositivos e os PADS que darão acesso ao CHIP, formado pelo "anel" externo. O mesmo pode ser observado na figura 4.22 b) para o LNA2.

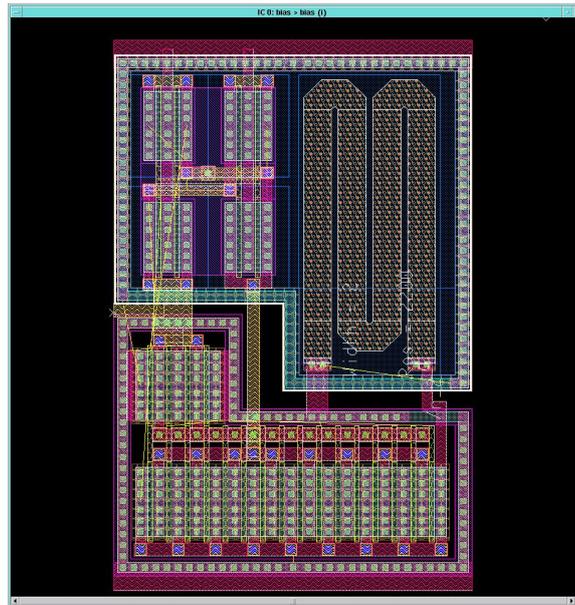


Figura 4.21: *Layout* do circuito de polarização com transistores PMOS em par cruzado no canto superior esquerdo.

O LNA1 teve dimensões finais de aproximadamente $1381 \mu\text{m} \times 1681 \mu\text{m}$ incluindo os PADS de alimentação, aterramento, entrada e saída, enquanto que o LNA2 ficou com $1882 \mu\text{m} \times 1682 \mu\text{m}$. Colocar os dois circuitos dessa forma para a fabricação seria ineficiente em termos de área ocupada, por isso foi realizado uma nova distribuição dos dois amplificadores dentro do mesmo "anel" de PADS, como mostra a figura 4.23. Essa distribuição com dimensões de $1990 \mu\text{m} \times 2300 \mu\text{m}$, economizou uma área de 0.91 mm^2 e ainda foi possível posicionar o indutor de saída do LNA2, cujo fator de qualidade é maior, para ser caracterizado individualmente, para validação do processo de projeto de indutores integrados.

Por fim a tabela 4.7, resume todos os dados importantes sobre os dois amplificadores desenvolvidos neste trabalho.

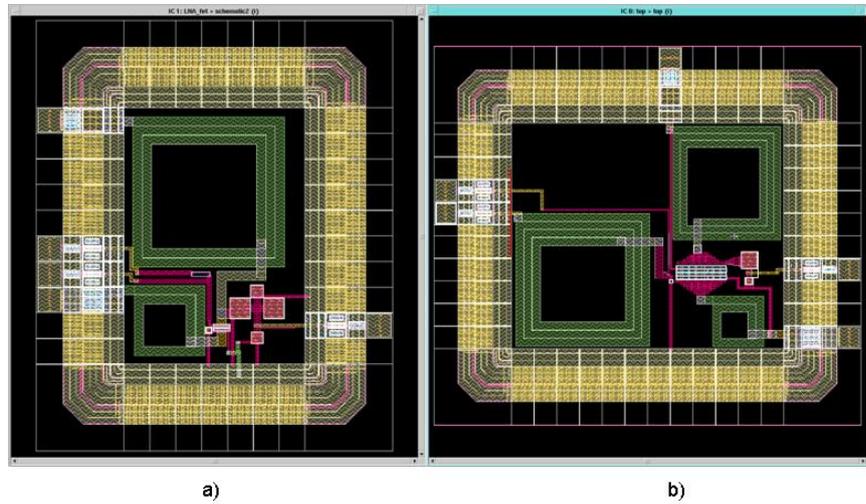


Figura 4.22: *Layout* final dos dois amplificadores.

Tabela 4.7: Resumo dos resultados dos amplificadores projetados.

	<i>LNA1</i>	<i>LNA2</i>
Consumo(mW)	2,67	12,67
F	1,37	1,98
NF(dB)	1,37	2,97
IIP3(dBm)	-8,27	3,67
S_{11} (dB)	-15,82	-7,86
S_{12} (dB)	-59,00	-50,21
S_{21} (dB)	10,11	11,37
S_{22} (dB)	-44,36	-31,87
f(GHz)	0,915	0,915
área (mm^2)	2,32	3,16

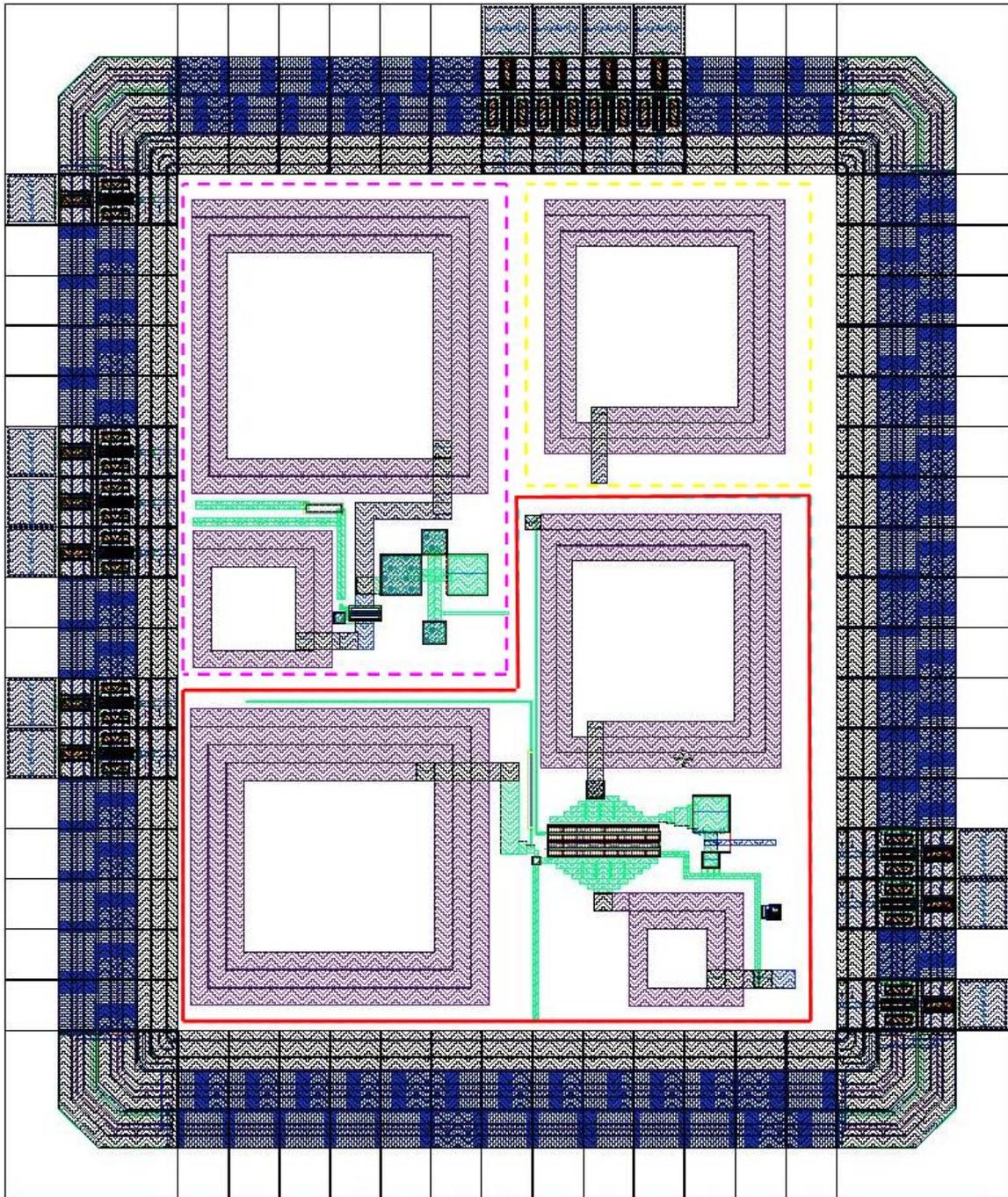


Figura 4.23: *Layout* dos dois amplificadores e do indutor de saída do LNA2 para *tapeout*. LNA1 destacado em roxo, LNA2 em vermelho e o indutor em amarelo.

4.5 Análise dos resultados

Os primeiros resultados obtidos, seguindo as duas metodologias propostas com componentes ideais, se mostraram com boa regularidade com relação às previsões teóricas apresentadas na tabela 3.3 e na tabela 3.4 do capítulo 3. As pequenas diferenças podem ser atribuídas a maior complexidade do modelo (BSIM3) do transistor empregado nas simulações.

O projeto dos indutores integrados utilizando a ferramentas de otimização do *Asitic*, produziu resultados para o fator de qualidade do indutor de *gate* melhor que o valor estimado e empregados no cálculo dos amplificadores apresentados no capítulo 3.

Foi possível perceber que os resultados da re-simulação após a extração dos parasitas apresentaram uma ligeira diferenças dos anteriores. Na verdade, comparando-se a tabela 4.1 com a tabela 4.4, assim como comparando a tabela 4.2 com a tabela 4.6, pode-se perceber que houve uma leve diminuição no ganho acompanhado de um aumento discreto na figura de ruído e do consumo. Estas pequenas variações eram esperadas pois foram adicionados novos componentes (parasitas) que não foram considerados na metodologia (justamente por terem pouco influência nos resultados) como é possível constatar através da comparação das tabelas supracitadas. Tais variações não comprometem os projetos uma vez que mantém os valores das figuras de mérito principais dentro das metas definidas, que são: ganho superior a 10 dB, figura de ruído inferior a 3 dB e consumo menor que 15 mW.

Por fim, foi possível constatar que quando utilizando a mesma tecnologia de fabricação e mesma frequência de operação, o desempenho dos amplificadores projetados aqui (LNA 1 e LNA 2) são similares aos de outros trabalhos publicados, como mostra a tabela 4.8. Constatou-se também que o emprego de indutores integrados deteriora bastante a figura de ruído como pode ser observado neste e em outros trabalhos. Observando a tabela 4.8, nota-se que para mesma tecnologia e frequência os trabalhos que utilizam indutores discretos apresentam menor figura de ruído e consumo. No grupo de trabalhos que não utilizam indutores integrados, mas que usam a mesma frequência e tecnologia, percebeu-se que o consumo se reflete diretamente no ganho do dispositivo. O mesmo acontece se isolarmos os trabalhos onde os indutores são

integrados. Na análise da metodologia aplicada neste trabalho, percebeu-se as mesmas relações. Assim utilizando este método pode-se obter resultados diferentes para diferentes especificações respeitando as relações supracitadas e mantendo a figura de ruído muito próximo do seu valor mínimo, como foi mostrado nas secções anteriores.

Tabela 4.8: Comparação com outros trabalhos publicados.

Referência	Tecnologia (μm)	Ganho (dB)	NF (dB)	IIP3 (dBm)	Consumo (mW)	Frequência (GHz)	Indutores Integrados	Ano
LNA1	0,35	10,11	1,37	-8,27	2,67	0,915	Não	2010
LNA2	0,35	11,37	2,97	3,67	12,67	0,915	Sim	2010
[23]	0,35	18	4,6	4,6	32,4	0,945	Sim	2007
[11]	0,18	14	2,3	-14	7,5	0,9	Sim	2007
[24]	0,18	11,9	2,41	0,7	0,95	0,9	Não	2006
[25]	0,35	17	3,4	-5,1	13	0,9	Não	2005
[9]	0,25	12	1,35	-4	2	0,9	Não	2004
[1]	0,35	22	2,8	0	29	1,8	Sim	2004
[26]	0,35	20	2	-1,8	4	2,45	Sim	2003
[27]	0,25	20	0,8	-11	8	1,23	Não	2001
[28]	0,35	20	1,4	-14	6,5	1,9	Não	1999
[20]	0,6	22	3,5	-9,3	30	1,5	Não	1997

Capítulo 5

Conclusões

5.1 Contribuições

Nesta dissertação foi apresentado o projeto de um bloco do circuito de recepção como parte da solução do problema de monitoramento de poços de petróleo. Para isso foram revisados alguns conceitos básicos utilizados no projeto de circuitos integrados para rádio frequência, bem como técnicas de otimização para amplificadores de baixo ruído em CMOS que utilizam a topologia de fonte comum com degeneração indutiva.

Uma adaptação de uma técnica já existente foi adotada para analisar os impactos do consumo de potência na integração do indutor de *gate*. Com isso foi possível desenvolver dois LNAs. O primeiro utilizando indutor de *gate* externo e o segundo sendo completamente integrado, ambos em tecnologia CMOS de $0.35\ \mu\text{m}$. Para o primeiro caso o circuito apresentou um ganho de potência de 10.11 dB, figura de ruído de 1.34 dB, consumindo 2.67mW e com ponto de intersecção de terceira ordem referido à entrada de -8.27 dBm . O segundo amplificador obteve ganho de potência de 11.35 dB, figura de ruído de 2.97 dB, consumo de 12,47 mW e ponto de intersecção de terceira ordem referido à entrada (IIP3) de 3.67 dBm.

Os resultados para as figuras de mérito apresentadas atingiram as metas propostas inicialmente, mas infelizmente não foi possível realizar a integração de todos os indutores mantendo o compromisso entre os diversos requisitos de projeto do LNA para níveis de consumo inferiores a 12mW.

5.2 Propostas para trabalhos futuros

Como atividades pendentes deste trabalho encontram-se a análise dos resultados do circuito a ser enviado para fabricação; desenvolvimento de uma expressão para o fator de ruído considerando mais fontes de ruído, como a resistência parasita do indutor de degeneração; aplicação da técnica apresentada para outras faixas de frequência como 2.45GHz e o desenvolvimento do restante dos blocos do receptor de RF (Misturador, oscilador e filtros).

O principal entrave deste projeto foi o baixo fator de qualidade dos indutores integrados que não permitiu a sua integração a baixos níveis de consumo, para tentar contornar este problema sugere-se projetar a espiral do indutor utilizando mais de uma camada de metal sobrepostas e conectadas através de vias para reduzir a resistência série do indutor. Por fim, sugere-se avaliar o desempenho dos circuitos projetados utilizando um modelo com perdas de indutores planares integrados para banda larga.

Apêndice A

Derivação da Figura de ruído

Tipicamente a expressão para a figura de ruído de LNA's sem degeneração são obtidas através dos parâmetros de ruído do transistor MOS representado como um quadripolos [7], [9] e [10]. Entretanto existem poucas demonstrações do cálculo detalhado do fator de ruído de LNA's com degeneração indutiva disponíveis na literatura. Por essa razão esta secção é dedicada a explicação completa e detalhada do desenvolvimento desta expressão.

A figura A.1 representa o modelo de pequenos sinais com todas as fontes de ruído consideradas neste trabalho. Para calcular o fator de ruído do sistema será utilizada a equação (2.4) convenientemente repetida aqui na expressão (A.1).

$$F = \frac{\text{Ruído total na saída do sistema}}{\text{Ruído na saída devido à fonte}} \quad (\text{A.1})$$

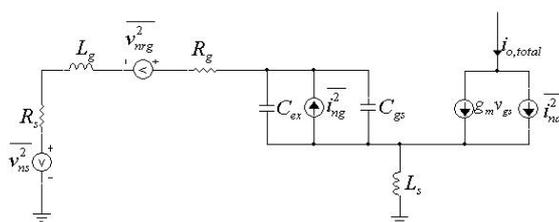


Figura A.1: Fontes de ruído.

Considerando uma mesma impedância de carga, tanto o ruído total na saída, quanto o ruído total na saída devido à fonte pode ser representado por correntes de ruído referenciadas à saída do amplificador. Desta forma se i_{out1} , i_{out2} , i_{out3} e i_{out4} forem as correntes de ruído devido ao ruído de fonte, ao ruído térmico da resistência

parasita de *gate*, ao ruído induzido no *gate* e ao ruído térmico de canal, respectivamente, a expressão para o fator de ruído do LNA pode ser reescrita como (A.2).

$$F = \frac{|i_{o,total}|^2}{|i_{out1}|^2} \quad (\text{A.2})$$

Onde, $i_{o,total} = i_{out1} + i_{out2} + i_{out3} + i_{out4}$.

Se for considerado que o ruído de fonte não é correlacionado com o ruído térmico de canal nem com o ruído induzido no *gate*, o fator de ruído pode ser dado por:

$$F = 1 + \frac{|i_{out2}|^2 |i_{out3} + i_{out4}|^2}{|i_{out1}|^2} \quad (\text{A.3})$$

Ou ainda por:

$$F = 1 + \frac{|i_{out2}|^2 + |i_{out3}|^2 + |i_{out4}|^2 + i_{out3}^* i_{out4} + i_{out3} i_{out4}^*}{|i_{out1}|^2} \quad (\text{A.4})$$

Assim para derivar a expressão para o fator de ruído do LNA deve-se calcular as correntes de ruído de saída devido a cada uma das fontes isoladamente. Estas deduções serão realizadas nas próximas secções, considerando que $R = R_s + R_g$, $C_t = C_{gs} + C_{ex}$ e, na ressonância, $\frac{1}{sC_t} + s(L_g + L_s) = 0$. Entretanto, para tornar o texto mais agradável os resultados obtidos são apresentados imediatamente de (A.5) a (A.8).

$$i_{out1} = \frac{g_m}{sC_t \left(R + \frac{g_m L_s}{C_t} \right)} v_{ns} = \frac{g_m}{D} v_{ns} \quad (\text{A.5})$$

$$i_{out2} = \frac{g_m}{sC_t \left(R + \frac{g_m L_s}{C_t} \right)} v_{nrg} = \frac{g_m}{D} v_{nrg} \quad (\text{A.6})$$

$$i_{out3} = \frac{g_m [s(L_g + L_s) + R]}{sC_t \left(R + \frac{g_m L_s}{C_t} \right)} i_{ng} = \frac{\Delta(j\omega)}{D} i_{ng} \quad (\text{A.7})$$

$$i_{out4} = \frac{sC_t R}{sC_t \left(R + \frac{g_m L_s}{C_t} \right)} i_{nd} = \frac{\Gamma(j\omega)}{D} i_{nd} \quad (\text{A.8})$$

Substituindo (A.5), (A.6), (A.7) e (A.8) em (A.4), tem-se que:

$$F = \frac{|gm/D|^2 \overline{v_{nrg}^2} + |gm/D|^2 \overline{v_{ns}^2} + |\Delta/D|^2 \overline{i_{ng}^2} + |\Gamma/D|^2 \overline{i_{nd}^2} + \overline{i_{ng}^* i_{nd}} \frac{\Delta^* \Gamma}{|D|^2} + \overline{i_{ng} i_{nd}^*} \frac{\Delta \Gamma^*}{|D|^2}}{|gm/D|^2 \overline{v_{ns}^2}}$$

$$F = 1 + \frac{|gm|^2 \overline{v_{nrg}^2} + |\Delta|^2 \overline{i_{ng}^2} + |\Gamma|^2 \overline{i_{nd}^2} + \overline{i_{ng}^* i_{nd}} \Delta^* \Gamma + \overline{i_{ng} i_{nd}^*} \Delta \Gamma^*}{|gm|^2 \overline{v_{ns}^2}} \quad (\text{A.9})$$

Utilizando a definição do coeficiente de correlação segundo [7], tem-se:

$$c = \frac{\overline{i_{ng} i_{nd}^*}}{\sqrt{\overline{i_{nd}^2} \overline{i_{ng}^2}}} = -j0,395 \quad (\text{A.10})$$

$$i_{ng} = -j |c| i_{nd} \frac{\sqrt{\overline{i_{ng}^2}}}{\sqrt{\overline{i_{nd}^2}}} \quad (\text{A.11})$$

$$\overline{i_{ng} i_{nd}^*} = -j |c| \frac{\sqrt{\overline{i_{ng}^2}}}{\sqrt{\overline{i_{nd}^2}}} \overline{i_{nd} i_{nd}^*} = -\overline{i_{nd}^2} \cdot j |c| \frac{\sqrt{\overline{i_{ng}^2}}}{\sqrt{\overline{i_{nd}^2}}} \quad (\text{A.12})$$

Conseqüentemente:

$$\overline{i_{ng}^* i_{nd}} = \overline{i_{nd}^2} \cdot j |c| \frac{\sqrt{\overline{i_{ng}^2}}}{\sqrt{\overline{i_{nd}^2}}} \quad (\text{A.13})$$

Substituindo (A.12) e (A.13) em (A.9), tem-se:

$$F = 1 + \frac{|gm|^2 \overline{v_{nrg}^2} + |\Delta|^2 \overline{i_{ng}^2} + |\Gamma|^2 \overline{i_{nd}^2} + \overline{i_{nd}^2} j |c| \frac{\sqrt{\overline{i_{ng}^2}}}{\sqrt{\overline{i_{nd}^2}}} [\Delta^* \Gamma - \Delta \Gamma^*]}{|gm|^2 \overline{v_{ns}^2}} \quad (\text{A.14})$$

$$F = 1 + \frac{|gm|^2 \overline{v_{nrg}^2} + |\Delta|^2 \overline{i_{ng}^2} + \overline{i_{nd}^2} \left(|\Gamma|^2 + j |c| \frac{\sqrt{\overline{i_{ng}^2}}}{\sqrt{\overline{i_{nd}^2}}} [\Delta^* \Gamma - \Delta \Gamma^*] \right)}{|gm|^2 \overline{v_{ns}^2}} \quad (\text{A.15})$$

$$\overline{v_{ns}^2} = 4K_B T R_s \Delta f \quad (\text{A.16})$$

$$\overline{v_{nrg}^2} = 4K_B T R_g \Delta f \quad (\text{A.17})$$

$$\overline{i_{nd}^2} = 4K_B T \gamma g_{do} \Delta f \quad (\text{A.18})$$

$$\overline{i_{ng}^2} = 4K_B T \delta g_g \Delta f \quad (\text{A.19})$$

Onde $g_g = \frac{\omega^2 C_{gs}^2}{5g_{do}}$.

Aplicando (A.16), (A.17), (A.18) e (A.19) à (A.15), obtem-se:

$$F = 1 + \frac{|gm|^2 R_g + |\Delta|^2 \delta g_g + \gamma g_{do} \left(|\Gamma|^2 + j|c| \frac{\omega C_{gs}}{g_{do}} \sqrt{\frac{\delta}{5\gamma}} [\Delta^* \Gamma - \Delta \Gamma^*] \right)}{|gm|^2 R_s} \quad (\text{A.20})$$

Utilizando-se (A.7) e (A.8) pode-se calcular:

$$|\Delta|^2 = g_m^2 [\omega^2 (L_g + L_s)^2 + R^2] \quad (\text{A.21})$$

$$|\Gamma|^2 = (\omega C_t R)^2 \quad (\text{A.22})$$

$$\Delta \Gamma^* = g_m [j\omega (L_g + L_s) + R] (-j\omega C_t R) \quad (\text{A.23})$$

$$\Delta \Gamma^* = g_m [\omega^2 C_t R (L_g + L_s) - j\omega C_t R^2] \quad (\text{A.24})$$

$$\Delta^* \Gamma = g_m [-j\omega (L_g + L_s) + R] (j\omega C_{gs} R_s) \quad (\text{A.25})$$

$$\Delta^* \Gamma = g_m [-\omega^2 C_t (L_g + L_s) + j\omega C_t R^2] \quad (\text{A.26})$$

$$[\Delta^* \Gamma - \Delta \Gamma^*] = 2g_m j\omega C_t R^2 \quad (\text{A.27})$$

Substituindo (A.21), (A.22) e (A.27) em (A.20), tem-se:

$$F = 1 + \frac{gm^2 R_g + g_m^2 [\omega^2 (L_g + L_s)^2 + R^2] \delta g_g + \gamma g_{do} \left((\omega C_t R)^2 + j |c| \frac{\omega C_{gs}}{g_{do}} \sqrt{\frac{\delta}{5\gamma}} [2g_m j \omega C_t R^2] \right)}{gm^2 R_s} \quad (\text{A.28})$$

$$F = 1 + \frac{gm^2 R_g + g_m^2 [\omega^2 (L_g + L_s)^2 + R^2] \delta \frac{\omega^2 C_{gs}^2}{5g_{do}} + \gamma g_{do} \left((\omega C_t R)^2 - 2 |c| \frac{g_m \omega^2 C_{gs} C_t R^2}{g_{do}} \sqrt{\frac{\delta}{5\gamma}} \right)}{gm^2 R_s} \quad (\text{A.29})$$

$$F = 1 + \frac{gm^2 R_g + g_m^2 \left[\omega^2 \frac{(L_g + L_s)^2}{R^2} + 1 \right] \delta \frac{R^2 \omega^2 C_{gs}^2}{5g_{do}} + \gamma g_{do} (\omega C_t R)^2 \left(1 - 2 |c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right)}{gm^2 R_s} \quad (\text{A.30})$$

$$F = \frac{R}{R_s} + \frac{(\omega C_t R)^2}{g_m^2 R_s} \left(\frac{g_m^2 \delta}{5g_{do}} \left[\omega^2 \frac{(L_g + L_s)^2}{R_s^2} + 1 \right] \frac{C_{gs}^2}{C_t^2} + \gamma g_{do} \left(1 - 2 |c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right) \right) \quad (\text{A.31})$$

$$F = \frac{R}{R_s} + \frac{(\omega C_t R)^2 \gamma g_{do}}{g_m^2 R_s} \left(\frac{g_m^2 \delta}{5g_{do}^2 \gamma} \left[\omega^2 \frac{(L_g + L_s)^2}{R_s^2} + 1 \right] \frac{C_{gs}^2}{C_t^2} + 1 - 2 |c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right) \quad (\text{A.32})$$

$$F = \frac{R}{R_s} \left\{ 1 + \frac{R}{R_s} \frac{C_t^2 \omega^2 R_s \gamma g_{do}}{g_m^2} \left(\frac{\delta \alpha^2}{5\gamma} \left[\omega^2 \frac{(L_g + L_s)^2}{R_s^2} + 1 \right] \frac{C_{gs}^2}{C_t^2} + 1 - 2 |c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right) \right\} \quad (\text{A.33})$$

$$F = \frac{R}{R_s} \left\{ 1 + \frac{C_t^2}{C_{gs}^2} \frac{R}{R_s} \frac{C_{gs}^2 \omega^2 R_s \gamma}{\alpha g_m} \left(\frac{\delta \alpha^2}{5\gamma} \left[\omega^2 \frac{(L_g + L_s)^2}{R_s^2} + 1 \right] \frac{C_{gs}^2}{C_t^2} + 1 - 2|c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right) \right\} \quad (\text{A.34})$$

$$F = \frac{R}{R_s} \left\{ 1 + \frac{C_t^2}{C_{gs}^2} \frac{R}{R_s} \frac{\omega^2 R_s g_m \gamma}{\alpha \omega_{T_o}^2} \left(\frac{\delta \alpha^2}{5\gamma} [Q_s^2 + 1] \frac{C_{gs}^2}{C_t^2} + 1 - 2|c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right) \right\} \quad (\text{A.35})$$

$$F = \frac{R}{R_s} \left\{ 1 + \frac{C_t^2}{C_{gs}^2} \frac{R}{R_s} \frac{\omega^2 R_s g_m \gamma}{\alpha \omega_{T_o}^2} \chi \right\} \quad (\text{A.36})$$

Onde:

$$\chi = \left(\frac{\delta \alpha^2}{5\gamma} [Q_s^2 + 1] \frac{C_{gs}^2}{C_t^2} + 1 - 2|c| \alpha \frac{C_{gs}}{C_t} \sqrt{\frac{\delta}{5\gamma}} \right) \quad (\text{A.37})$$

$$Q_s = \frac{\omega (L_g + L_s)}{R} \quad (\text{A.38})$$

$$\omega_{T_o} = \frac{g_m}{C_{gs}} \quad (\text{A.39})$$

$$\alpha = \frac{g_m}{g_{do}} \quad (\text{A.40})$$

A.1 Ruído na saída devido à fonte de entrada

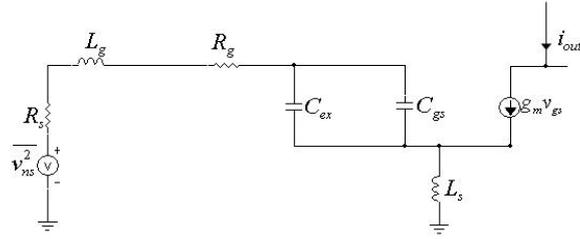


Figura A.2: Contribuição do ruído da fonte.

$$i_{out1} = g_m v_{gs} \quad (\text{A.41})$$

$$v_s = sL_s (i_{RS} + g_m \cdot v_{gs}) \quad (\text{A.42})$$

$$i_{RS} = v_{gs} sC_t \quad (\text{A.43})$$

Substituindo (A.43) em (A.42), obtém-se v_s em função de v_{gs} , como mostra (A.44).

$$v_s = sL_s (v_{gs} sC_t + g_m \cdot v_{gs}) \quad (\text{A.44})$$

A corrente de entrada i_{RS} também pode ser escrita como:

$$i_{RS} = \frac{v_{ns} - v_s}{R_s + R_g + sL_g + \frac{1}{sC_t}} \quad (\text{A.45})$$

Substituindo (A.43) e (A.44) em (A.45), tem-se uma expressão para v_{gs} em função de v_{ns} :

$$v_{gs} sC_t = \frac{v_{ns} - sL_s (v_{gs} sC_t + g_m \cdot v_{gs})}{R_s + R_g + sL_g + \frac{1}{sC_t}} \quad (\text{A.46})$$

$$v_{gs} sC_t \left(R_s + R_g + sL_g + \frac{1}{sC_t} \right) = v_{ns} - sL_s (v_{gs} sC_t + g_m v_{gs}) \quad (\text{A.47})$$

$$v_{gs} sC_t \left[R_s + R_g + s(L_g + L_s) + \frac{1}{sC_t} \right] = v_{ns} - sL_s g_m v_{gs} \quad (\text{A.48})$$

$$(\text{A.49})$$

Como $\frac{1}{sC_t} + s(L_g + L_s) = 0$, tem-se:

$$v_{gs} = \frac{v_{ns}}{sC_t \left(R + \frac{gmL_s}{C_t} \right)} \quad (\text{A.50})$$

Substituindo (A.50) em (A.41), tem-se:

$$i_{out1} = \frac{gm}{sC_t \left(R + \frac{gmL_s}{C_t} \right)} v_{ns} \quad (\text{A.51})$$

A.2 Ruído na saída devido ao ruído da resistência de *gate*

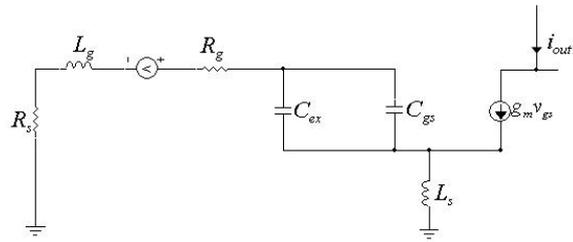


Figura A.3: Contribuição do ruído induzido no gate.

A análise do circuito da figura (A.3) mostra que este diagrama esquemático difere do (A.2) apenas pela posição da fonte de ruído. Esta diferença, entretanto, não leva a um resultado final da função de transferência diferente daquele obtido na secção anterior. Assim, a corrente de saída de ruído devido ao ruído da resistência de *gate* é dada pela expressão (A.52).

$$i_{out2} = \frac{gm}{sC_t \left(R + \frac{gmL_s}{C_t} \right)} v_{nrg} \quad (\text{A.52})$$

A.3 Ruído na saída devido ao ruído induzido no *gate*

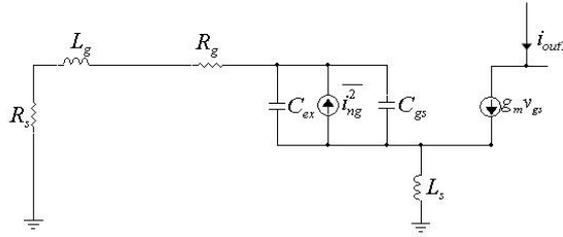


Figura A.4: Contribuição do ruído induzido no *gate*.

$$i_{out3} = g_m v_{gs} \quad (\text{A.53})$$

$$v_{gs} = i_{C_t} \frac{1}{sC_t} \quad (\text{A.54})$$

$$v_g = i_{R_s} (sL_g + R) \quad (\text{A.55})$$

A tensão no gate do transistor de entrada v_g também pode ser escrita como:

$$v_g = i_{C_t} \frac{1}{sC_t} + i_{C_t} \frac{g_m L_s}{C_t} - i_{R_s} sL_s \quad (\text{A.56})$$

Igualando (A.55) a (A.56), tem-se:

$$i_{R_s} (sL_g + R + sL_s) = i_{C_t} \left(\frac{1}{sC_t} + \frac{g_m L_s}{C_t} \right) \quad (\text{A.57})$$

$$i_{ng} = i_{R_s} + i_{C_t} \quad (\text{A.58})$$

$$i_{C_t} = i_{ng} - i_{C_t} \frac{\left(\frac{1}{sC_t} + \frac{g_m L_s}{C_t} \right)}{(sL_g + R + sL_s)} \quad (\text{A.59})$$

$$i_{C_t} \left[\frac{1}{sC_t} + s(L_g + L_s) + R + \frac{g_m L_s}{C_t} \right] = i_{ng} [s(L_g + L_s) + R] \quad (\text{A.60})$$

Como $\frac{1}{sC_t} + s(L_g + L_s) = 0$, tem-se que:

$$i_{C_t} = i_{ng} \frac{s(L_g + L_s) + R}{R + \frac{g_m L_s}{C_t}} \quad (\text{A.61})$$

Substituindo (A.61) em (A.54) e posteriormente em A.53, tem-se:

$$i_{out3} = \frac{g_m [s(L_g + L_s) + R]}{sC_t \left(R + \frac{g_m L_s}{C_t} \right)} i_{ng} \quad (\text{A.62})$$

A.4 Ruído na saída devido ao ruído térmico de canal

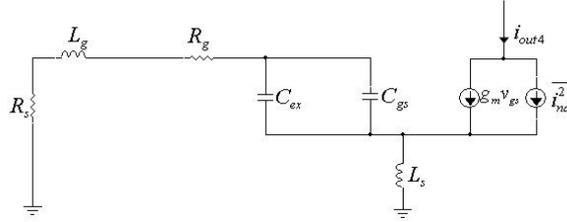


Figura A.5: Contribuição do ruído induzido no gate.

Na figura (A.5) pode-se calcular a impedância equivalente de cada ramo entre o nó v_s e o terra da seguinte forma:

$$A = R + L_g + \frac{1}{sC_t} \quad (\text{A.63})$$

$$B = sL_s \quad (\text{A.64})$$

A corrente de saída devido ao ruído térmico de canal pode ser calculada como:

$$i_{out4} = \frac{v_s}{\frac{AB}{A+B}} \quad (\text{A.65})$$

$$v_s = (i_{nd} + g_m v_{gs}) \frac{AB}{A+B} \quad (\text{A.66})$$

$$v_{gs} = -\frac{v_s}{A} \frac{1}{sC_t} \quad (\text{A.67})$$

$$v_s \left[1 + \frac{g_m}{sC_t} \frac{B}{A+B} \right] = i_{nd} \frac{AB}{A+B} \quad (\text{A.68})$$

$$v_s = i_{nd} \frac{\frac{AB}{A+B}}{\left[1 + \frac{g_m}{sC_t} \frac{B}{A+B} \right]} \quad (\text{A.69})$$

$$i_{out4} = \frac{i_{nd}}{\left[1 + \frac{g_m}{sC_{gs}} \frac{B}{A+B} \right]} \quad (\text{A.70})$$

$$i_{out4} = \frac{sC_{gs} (A+B)}{[sC_{gs} (A+B) g_m B]} i_{nd} \quad (\text{A.71})$$

Substituindo (A.63) e (A.64) na expressão acima, obtem-se:

$$i_{out4} = \frac{1 + s^2 C_t (L_g + L_s) + s C_t R}{1 + s^2 C_t (L_g + L_s) + s (C_t R + g_m L_s)} i_{nd} \quad (\text{A.72})$$

Como $\frac{1}{s C_t} + s (L_g + L_s) = 0$, tem-se que:

$$i_{out4} = \frac{s C_t R}{s C_t \left(R + \frac{g_m L_s}{C_t} \right)} i_{nd} \quad (\text{A.73})$$

Apêndice B

Cálculos auxiliares da metodologia

Para otimizar o fator de ruído considerando as resistências parasitas de *gate* é necessário relacionar as equações que modelam o comportamento elétrico do transistor com as condições de contorno de casamento de impedância para máxima transferência de potência. Segundo [7], [19] e [20], a corrente de dreno do modelo de transistores de canal curto adotado é dada pela equação (B.1).

$$I_D = WC_{ox}v_{sat}\frac{V_{od}^2}{V_{od} + LE_{sat}} \quad (\text{B.1})$$

Onde W e L representam a largura e o comprimento do *gate* do transistor, respectivamente. E_{sat} e v_{sat} , são o campo elétrico e a velocidade de saturação.

A transcondutância do transistor é dada pela derivada da corrente de dreno pela tensão de entrada V_{gs} como mostra (B.2).

$$g_m = \frac{\partial I_d}{\partial V_{gs}} = \mu_{eff}C_{ox}\frac{W}{L}V_{od}\alpha \quad (\text{B.2})$$

Onde,

$$\mu_{eff} = \frac{2v_{sat}}{E_{sat}} \quad (\text{B.3})$$

$$\alpha = \frac{g_m}{g_{do}} = \frac{1 + \frac{1}{2}\rho}{(1 + \rho)^2} \quad (\text{B.4})$$

$$\rho = \frac{V_{od}}{LE_{sat}} \quad (\text{B.5})$$

A resistência de folha do *gate*, que para a maioria das aplicações é desprezada, desempenha um papel importante na análise de ruído. Segundo [19], sua expressão é dada pela equação (B.6).

$$R_{g,fet} = \frac{R_{sheet}W}{12n^2L} = \frac{R_{sheet}W_f}{12WL} \quad (\text{B.6})$$

Onde, R_{sheet} é a resistência de folha do *polysilicio*, $n = \frac{W}{W_f}$ é o número de "dedos", W_f é a largura de cada "dedo" e o fator multiplicador $\frac{1}{12}$ é aplicado quando a estrutura interdigitada é alimentada pelos dois lados. A resistência parasita do indutor de entrada L_g também contribui para o desempenho de ruído do amplificador. Esta resistência por sua vez pode ser representada por duas componentes, $R_{g,ind}$ que é devido ao indutor integrado planar $L_{g,ind}$ com um fator de qualidade associado Q_{ind} e outra, $R_{g,bw}$, devido a indutância de *bondwire* L_{bw} com fator de qualidade Q_{bw} . Assim a resistência parasita total na entrada R_g do LNA deve-se a soma das contribuições do transistor, do indutor integrado e do *bondwire*, $R_g = R_{g,fet} + R_{g,ind} + R_{g,bw}$ [19].

Um dos requisitos do LNA é que haja casamento de impedâncias tanto na entrada quanto na saída. De acordo com a figura A.1 a impedância de entrada do amplificador é dada por (B.7).

$$Z_{in} = \frac{1}{sC_t} + s(L_g + L_s) + \frac{g_m L_s}{C_t} + R_g \quad (\text{B.7})$$

Para que a condição de casamento seja atendida a parte real de Z_{in} deve ser igual a R_s e sua parte imaginária ou reatância deve ser nula, como mostram (B.8) e (B.9).

$$\frac{g_m L_s}{C_t} + R_g = R_s \quad (\text{B.8})$$

$$\omega L_g = \frac{1}{\omega C_t} - \omega L_s \quad (\text{B.9})$$

Substituindo-se (B.8) em (B.9) e notando-se que o fator de qualidade do circuito RLC da entrada pode ser dado também por $Q_s = \frac{1}{\omega C_t(R_s + R_g)}$, tem-se:

$$\omega L_g = Q_s(R_s + R_g) - \frac{\omega(R_s - R_g)C_t}{g_m} \quad (\text{B.10})$$

Reorganizando (B.10) considerando a indutância de *gate* como a soma das duas parcelas supracitadas, obtém-se uma expressão para a condição máxima transferência

de potência em termos das resistências da fonte R_s , do *gate* R_g e dos fatores de qualidade associados aos indutores utilizados, como mostra (B.11).

$$R_s \left(Q_s - \frac{\omega}{\omega_T} \right) = R_g \left(Q_{ind} - Q_s - \frac{\omega}{\omega_T} \right) + R_{g,bw}(Q_{bw} - Q_{ind}) - R_{g,fet}Q_{ind} \quad (\text{B.11})$$

$$\text{Onde } \omega_T = \frac{g_m}{C_t} = \omega_{To} \frac{C_{gs}}{C_t}.$$

Outros dois aspectos importâtes que devem ser avaliados são a potência dc dissipada pelo transistor, P_D , e a transcondutância estágio de entrada do LNA, G_m . O primeiro pode ser expresso pelo produto da corrente de polarização do transistor I_D , dada por (B.1), por V_{dd} e o segundo diretamente pela equação (A.51), considerando a condição de ressonância. Efetuando-se esses passos pode-se chegar as expressões (B.12) e (B.13) para a potência e transcondutância, respectivamente.

$$P_D = WLC_{ox}V_{dd}E_{sat}v_{sat} \frac{\rho^2}{\rho + 1} \quad (\text{B.12})$$

$$|G_m| = \frac{g_m}{2\omega C_t R_s} \quad (\text{B.13})$$

Após a derivação das expressões acima, agora é possível reescrever (3.1) em função de V_{od} e C_{ex} , como se pretendia. Analisando (3.1) nota-se a necessidade de representar C_t , C_{gs} , R_g , g_m , α e Q_s em função das variáveis V_{od} e/ou C_{ex} . α é colocada facilmente em função V_{od} , substituindo (B.5) em (B.4), e, C_{gs} através de (B.12) e da fórmula teórica da capacitância parasita entre *gate* e fonte a operação do transistor na saturação, como mostra (B.14).

$$C_{gs}(V_{od}) = \frac{P_D}{P_o} \left(\frac{\rho(V_{od}) + 1}{\rho(V_{od})^2} \right) \frac{1}{\omega R_s} \quad (\text{B.14})$$

$$\text{Onde, } P_o = \frac{3V_{dd}v_{sat}E_{sat}}{2\omega R_s}.$$

Encontrada a fórmula de $C_{gs}(V_{od})$, $C_t(V_{od}, C_{ex})$ também já está definida automaticamente, uma vez que $C_t = C_{gs} + C_{ex}$. Também é possível determinar $g_m(V_{od})$, substituindo $W = \frac{3C_{gs}}{2LC_{ox}}$ em (B.2), resultando em (B.15).

$$g_m(V_{od}) = \frac{3v_{sat}}{E_{sat}L^2} V_{od}\alpha(V_{od})C_{gs}(V_{od}) \quad (\text{B.15})$$

$R_g(V_{od}, C_{ex})$ pode ser obtida considerando $Q_s = \frac{1}{\omega C_t(R_g + R_s)}$ e isolando R_g na expressão (B.11), resultando em (B.16).

$$R_g(v_{od}, C_{ex}) = \frac{\frac{1}{\omega C_t(v_{od}, C_{ex})} - \frac{R_s \omega C_t(v_{od}, C_{ex})}{g_m(v_{od})} + R_{g,bw}(Q_{ind} - Q_{bw}) + R_{g,fet}(v_{od})Q_{ind}}{Q_{ind} - \frac{\omega C_t(v_{od}, C_{ex})}{g_m(v_{od})}} \quad (\text{B.16})$$

Definindo-se $R_g(v_{od}, C_{ex})$ tem-se que: $Q_s(v_{od}, C_{ex}) = \frac{1}{\omega C_t(R_g(v_{od}, C_{ex}) + R_s)}$.

Substituindo todas estas expressões em (3.1), chega-se, finalmente na expressão para o fator de ruído em função de V_{od} e C_{ex} , dada por (B.17). Neste momento todas as equações necessárias para reescrever (B.13) em função de V_{od} e C_{ex} , como apresentada em (3.4) também já foram obtidas.

$$F(v_{od}, C_{ex}) = \frac{R_s + R_g(v_{od}, C_{ex})}{R_s} \left\{ 1 + \frac{[R_s + R_g(v_{od}, C_{ex})]\omega^2 C_t(v_{od}, C_{ex})^2 \gamma}{g_m(v_{od})\alpha(v_{od})} \chi(v_{od}, C_{ex}) \right\} \quad (\text{B.17})$$

Apêndice C

Publicações

Desta dissertação, foi publicado o seguinte artigo:

1. TÁVORA, F. E.; CAJUEIRO, J. P. C. **ANALYSIS OF OPTIMIZATION TECHNIQUES FOR FULLY INTEGRATED 915MHZ CMOS LNA DESIGN.**

Chip in Sampa, Student Forum of Microelectronics 2010 , Setembro 2010.

Bibliografia

- [1] VILASBOAS, F. R. C. **Desenvolvimento de um Amplificador CMOS Totalmente Integrado para Operar em 1.8GHz**. Dissertação (Mestrado) – Universidade Federal de Itajubá, 2004.
- [2] DARGIE, W.; POELLABAUER, C. **Fundamentals of Wireless Sensor Networks: Theory and Practice**. [S.I.]: *Wiley*, 2010.
- [3] LE, K. T. **ZigBee SoCs provide cost-effective solutions**. [S.I.:s.n.], 2005.
- [4] YTTERDAL, T.; CHENG, Y.; FJELDLY, T. A. **Device Modeling for Analog and RF CMOS Circuits Design**. England: *Wiley*, 2003.
- [5] RAZAVI, B. **RF Microelectronics**. Los Angeles: *Prentice Hall*, 1998.
- [6] JOHNSON, J. B. **Thermal Agitation of Electricity in conductors**, *Physical Review*, v. 32, p. 97 – 109, July 1928.
- [7] LEE, T. **The Design of CMOS Radio-Frequency Integrated Circuits**. New-York: *Cambridge University press*, 2004.
- [8] SCHOLTEN, A. J. et al. **Noise Modeling for RF CMOS Circuit Simulation**, *IEEE Trans. On Electron Devices*, v. 50, n. 3, Mar. 2003.
- [9] NGUYEN, T.-K. et al. **CMOS Low-Noise Amplifier Design Optimization Techniques**,. *IEEE Trans. On Microwave Theory And Techniques*, v. 52, n. 5, May 2004.
- [10] NGUYEN, T.-K. et al. **CMOS Low-Noise Amplifier Design Optimization Techniques**,. *IEEE International Midwest Symposium on Circuits and Systems*.
- [11] DAO, V. K. et al. **A Multi-band 900MHz/1.8GHz/5.2GHz LNA for Reconfigurable Radio**, *IEEE Radio Frequency Integrated Circuit Symposium*, 2007
- [12] NICLAS, K. **The Exact Noise Figure of Amplifiers With Parallel Feedback And Lossy Matching Circuits**, *IEEE Trans. Microwave Theory Techniques*, MTT-30, p. 832 – 835, 1982.

- [13] AL., F. A. et. **A novel cascode feedback GaAs MMIC LNA with transformer-coupled output using multiple fabrication processes**, IEEE Microwave Guided Wave Lett, v. 2, p. 70 – 72, Feb. 1992.
- [14] FERREIRA, F. J. A. **Projeto de um Misturador em Tecnologia CMOS 0.25 μ m**. Dissertação (Mestrado) – Universidade Federal de Itajubá, 2006.
- [15] MOHAN, S. S. et al. **Simple Accurate Expressions for Planar Spiral Inductances**, IEEE Journal of Solid-State Circuits, v. 34, n. 10, Oct. 1999.
- [16] NIKNEJAD, A. M. **ANALYSIS, DESIGN, AND OPTIMIZATION OF SPIRAL INDUCTORS AND TRANSFORMERS FOR SI RF ICs** Dissertation (Master) – University of California, Berkeley, 1997.
- [17] YUE, C. P. et al. **A physical model for planar spiral inductors on silicon**, IEEE International Electron Devices Meeting, 1996.
- [18] WHEELER, H. A. **SIMPLE INDUCTANCE FORMULAS FOR RADIO COILS**, Proceedings of the Institute of Radio Engineers, v. 16, n. 10, p. 1398 – 1400, Oct. 1928.
- [19] BELOSTOTSKI, L.; HASLETT, J. W. **Noise Figure Optimization of Inductively Degenerated CMOS LNAs With Integrated Gate Inductors**, IEEE Trans. on Circuits and Systems, v. 53, n. 7, July 2006.
- [20] SHAEFFER, D.; LEE, T. H. **A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier**, IEEE Journal of Solid-State Circuits, v. 32, n. 5, May 1997.
- [21] HUANG, J. C. et al. **A 2V 2.4GHz Fully Integrated CMOS LNA**, IEEE International Symposium on Circuits and Systems, v. 4, p. 466 – 469, May 2001
- [22] THIÉBAUT, M. J. A. **Receptor Super-Regenerativo (900 MHz) Implementado em Tecnologia CMOS 0,35 μ m**. Dissertação (Mestrado) – Universidade Estadual de Campinas, 2006.
- [23] HENG, C.; ZHENG, Y.; ANG, C. **A Multi-band CMOS Low Noise Amplifier for Multi-standard Wireless Receivers**, IEEE International Symposium on Circuits and Systems, 2007.
- [24] XIN, C.; SÁNCHEZ-SINENCIO, E. **A GSM LNA Using Mutual-Coupled Degeneration**, IEEE Microwave and Wireless Components Letters, 2005.
- [25] RANA, R. S.; LIANG, Z.; GARG, H. K. **Sub-mA single ended CMOS low noise amplifier with 2.41 dB noise figure**. Analog Integrated Circuits Signal Processing, 2006.
- [26] FUENTES, E. **METODOLOGIA DE PROJETO PARA AMPLIFICADORES DE BAIXO RUÍDO EM CMOS**. Dissertação (Mestrado) – Escola Politécnica da Universidade de São Paulo, 2003.

- [27] LEROUX, P.; JANSSENS, J. **A 0.8dB NF ESD-Protected 9mW CMOS LNA Operating at 1.23 GHz**, IEEE International Solid-State Circuits, 2002.
- [28] YANG, S.; MASON, R.; PLETT, C. **CMOS LNA in Wireless Applications**, IEEE 49th Vehicular Technology Conference, July 1999.